

BLDC 전동기 드라이브의 개방된 스위치 고장에 대한 고장 허용 시스템

朴炳建^{*}, 金泰成^{**}, 柳志帥^{***}, 玄東石[†], 李秉國^{****}

Fault Tolerant System for Open Switch Fault of BLDC Motor Drive

Byoung-Gun Park, Tae-Sung Kim, Ji-Su Ryu, Dong-Seok Hyun and Byoung-Kuk Lee

요 약

본 논문에서는 BLDC 전동기 구동용 인버터의 한 상에서 개방된 형태의 스위치 고장이 발생하여도 구동 시스템의 제어 성능을 유지하기 위한 고장 허용 시스템이 제안되었다. 고장의 확인 방법은 실제 전류와 기준 전류의 오차를 이용하는 방법과 인버터 하단에 전압센서를 추가하는 방법 등 두 가지 형태가 제안되었다. 시스템의 재구성 방법은 고장이 발생한 상을 양방향 스위치에 의해 직류-링크 중성점과 연결하여 4 스위치 구동의 형태로 구성하였다.

제안한 고장 허용 시스템은 짧은 고장 검출 시간과 시스템 토폴로지의 재구성에 의해 고장 발생 후 제어 성능을 빠르게 회복하여 연속적인 시스템 운영이 가능하다. 제안한 고장 허용 시스템의 우수한 성능은 시뮬레이션을 통하여 검증하였다.

ABSTRACT

In this paper, the fault tolerant system for BLDC motor has been proposed to maintain control performance under an open switch fault of inverter. The fault identification is proposed to two methods, which are using the difference between reference and actual current, and adding voltage sensors across lower legs of inverter. The reconfiguration scheme is achieved by the four-switch topology connecting a faulty leg to the middle point of DC-link using bidirectional switches. The proposed fault tolerant system quickly recovers control performance by short fault detecting time and reconfiguration of system topology. Therefore, continuous free operation of the BLDC motor drive system after faults is available. The superior performance of the proposed fault tolerant system is proved by simulation.

Key Words : BLDC Motor, Fault Tolerant, Open Switch Faults, Inverter

[†]교신저자 : 정희원, 한양대 전기제어생체공학부 교수

E-mail : dshyun@hanyang.ac.kr

^{*}학생회원, 한양대 대학원 전기공학과 석사과정

^{**}정희원, 한양대 대학원 전기공학과 박사과정

^{***}정희원, 한양대 전기공학과 전력전자연구실 BK 연구교수

^{****}정희원, 성균관대 정보통신공학부 조교수

접수일자 : 2005. 12. 28 1차 심사 : 2006. 1. 25

2차 심사 : 2006. 2. 21 심사완료 : 2006. 3. 2

1. 서 론

BLDC 전동기는 넓은 속도범위에서 제어가 용이하고 고효율을 유지하는 특성 등의 장점에 힘입어, 가전 제품, 대형 자동차 공장, 우주 항공 산업 등과 같은, 많은 산업 응용분야에서 사용이 증가되고 있다. 이에

따라 구동 시스템에 대한 신뢰성이 더욱 주목받게 되었다. 자동화 산업현장에서 구동 시스템의 고장 발생으로 자동화 생산 공정 전체가 중단 되었을 경우, 이로 인해 발생하는 피해 규모는 예측하기 어려울 것이다. 이러한 피해를 예방함으로써 신뢰성을 향상시키기 위해 고장 허용 시스템의 도입이 반드시 필요하다. 본 논문에서는 고 신뢰성이 요구되는 산업 응용분야에서 BLDC 전동기 구동 시스템의 신뢰도를 향상시킬 수 있는 새로운 고장 허용 시스템을 제안하였다.

고장 허용 시스템은 기본적으로 아래와 같이 단계적으로 구성할 수 있다.

- 1) 고장의 검출
- 2) 고장의 확인
- 3) 고장의 격리
- 4) 재구성

최근 인버터 시스템에 대한 고장 허용 제어와 관련하여 연구가 활발하게 이루어지고 있으며 고장의 검출 및 확인 방법, 고장 후 재구성 방법 등으로 분류되어 많은 논문이 발표되었다. 기존의 고장 검출 및 확인 방법^[1,2]은 고장 검출이 복잡하거나, 고장을 확인하는데 최소 한 주기 이상 시간이 걸리거나, 명확한 방법이 제시되지 않은 문제점을 가지고 있다. 연속적인 구동을 위해 시스템을 재구성하는 방법으로는 추가적인 한상을 예비로 만드는 방법^[3]과 직류-링크단의 중성점을 연결하는 방법^[4] 등이 있다. 또한, 두 과정을 통합한 고장 허용 제어에 관한 방법들^[5,6]이 제안 되었지만 기존의 방법들에서는 고장의 검출과 확인 및 재구성을 통합한 고장 허용 제어를 명확하게 구현한 시스템을 찾기는 힘들다.

본 논문에서는 기존에 제안된 방법에 비해 고장 검출 시간을 단축시킴으로서, 고장 발생 후에도 시스템의 제어 성능을 우수하게 유지할 수 있는 고장 허용 시스템을 제안하였다. 고장 확인 방법으로는 기준 전류 추종오차에 근거한 방법과 추가적인 전압 센서를 이용하는 방법을 각각 제안하였다. 또한, 재구성 방법은 양방향 스위치를 이용하여 고장이 발생한 상의 격리와 동시에 직류-링크 중성점을 연결함으로써 4 스위치로 구동시키는 방법을 채택하였다. 본 논문에서는 제안한 방법들에 대한 이해를 돕기 위해 개방된 형태의 스위치 고장이 Mode 1에서 발생하였다는 가정을 전제로 면밀하게 살펴보도록 하겠다. 제안한 고장 허용 시스템의 가능성과 우수성을 검증하기 위해 PSIM을 이용한 시뮬레이션을 수행하였다.

2. BLDC 전동기 구동 시스템 모델링

BLDC 전동기는 일반적으로 120도 간격으로 발생하는 사다리꼴 형태의 역기전력이 평탄한 구간에 구형과 역의 전류를 흘려줌으로서 토크 맥동이 없는 원활한 구동을 할 수 있다. 그림 1은 3상 2역자 방식의 BLDC 전동기에 대한 정상적인 구동에 대한 시스템 등가회로와 특성을 보여준다.

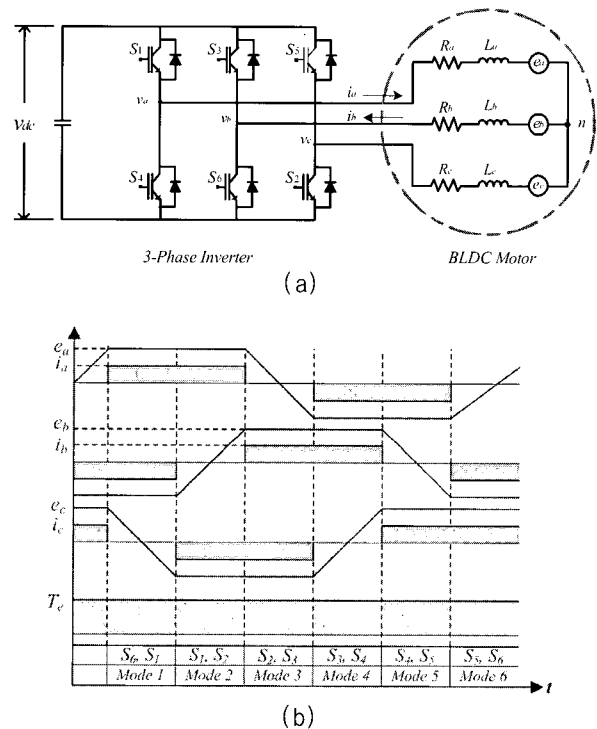


그림 1 일반적인 BLDC 전동기 구동 시스템
(a) 등가회로 (b) 역기전력, 상전류, 발생토크 파형
Fig. 1 General performance of BLDC motor drive system
(a) Electrical equivalent circuit (b) Waveforms of back EMF, phase current, developing torque

BLDC 전동기는 식 (1)과 같은 전압 방정식으로 나타낼 수 있으며, 발생 토크는 식 (2)와 같다.

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} R_a & 0 & 0 \\ 0 & R_b & 0 \\ 0 & 0 & R_c \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (1)$$

$$+ \begin{bmatrix} L_a & 0 & 0 \\ 0 & L_b & 0 \\ 0 & 0 & L_c \end{bmatrix} \frac{d}{dt} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} + \begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix}$$

$$T_e = \frac{(e_a \cdot i_a + e_b \cdot i_b + e_c \cdot i_c)}{\omega_{...}} \quad (2)$$

여기서, v_a, v_b 와 v_c 는 상전압, R_a, R_b 와 R_c 는 상당 전기자 저항, i_a, i_b 와 i_c 는 상전류, L_a, L_b 와 L_c 는 상당 전기자 인덕턴스, e_a, e_b 와 e_c 는 상당 역기전력, ω_m 은 각속도이다.

3. 제안하는 고장 허용 시스템

3.1 개방된 형태의 스위치 고장 특성

그림 2는 고장특성에 대한 이해를 위해 *Mode 1* 에서 상단(S_1) 또는 하단(S_6) 스위치에 개방된 형태의 고장이 발생하였을 경우 각각에 대한 전류 파형을 보여 준다. 두 스위치 중 어느 스위치에서 고장이 발생하였는지에 따라 상이한 전류 파형이 나타나는 것을 알 수 있다. 그림 2(a)와 같이 S_1 에서 고장이 발생하였을 경우 S_1 이 동작하는 *Mode 1* 과 2에서 전류가 검출되지 않는다. 하지만, 그림 2(b)와 같이 S_6 에서 고장이 발생하였을 경우 *Mode 2* 에서는 동작하는 스위치가 S_6 에서 S_2 로 전환되므로 정상 상태의 전류가 나타나는 것을 볼 수 있다. 이처럼 동일한 시간에 고장이 발생하여도 고장이 발생한 스위치의 위치에 따라서 전류의 파형이 다르게 나타난다는 점을 이용하여 고장의 위치를 확인할 수 있다.

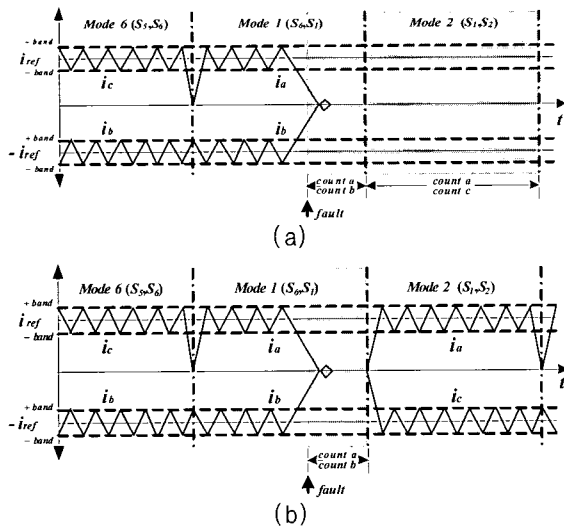


그림 2 Mode 1에서 개방된 형태의 스위치 고장 발생시 전류파형
(a) A상의 고장 (b) B상의 고장
Fig. 2 Current wave forms under open switch fault situation in mode 1
(a) Fault of A phase (b) Fault of B phase

3.2 고장 검출 원리

일반적으로 히스테리시스 전류 제어기는 속도 제어

기에 의해 추정된 기준 전류를 추종하기 위해 상전류에 대한 스위칭 신호를 생성한다. 스위치에 개방된 형태의 고장이 발생하였을 때 기준 전류를 실제 전류가 추종하지 못하기 때문에 오차가 발생한다. 이러한 오차를 이용한 고장 검출 논리는 다음과 같다.

IF ($|i_{ref} - i_a| > th$) THEN error
ELSE normal

기준 전류와 실제 전류의 잔차가 선정된 임계치 보다 크면 오차로 인식하고, 임계치 보다 작으면 정상으로 인식한다. 이러한 오차가 고장 검출 시간까지 지속될 경우 고장으로 판단한다. 일반적으로 고장 검출 시간은 식 (3)과 같이 구할 수 있다.

$$T_{fault} = K \times \frac{2}{p \times \omega_{ref}} \times \frac{1}{mode} \quad (3)$$

여기서, T_{fault} 는 고장 검출 시간, K 는 고장 판단에 대한 민감도, p 는 전동기 극수, ω_{ref} 는 기준 속도, $mode$ 는 모드 수이다.

3.3 제안하는 고장 검출과 확인 방법

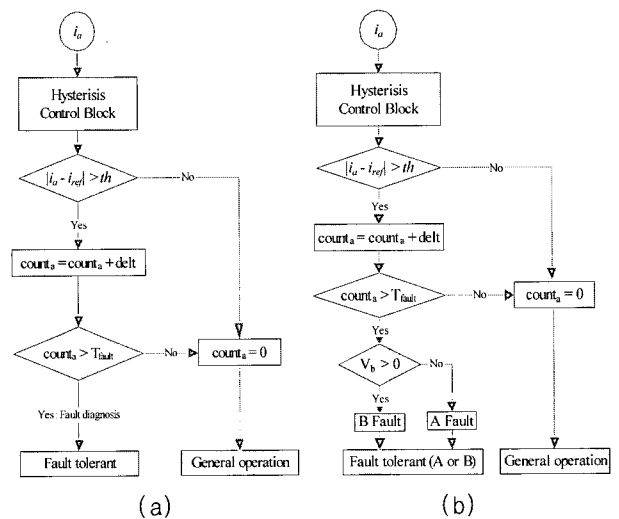


그림 3 고장 검출과 판단 방법의 흐름도
(a) 기준전류 추종 오차에 근거한 방법
(b) 하단에 추가적인 전압센서를 이용한 방법
Fig. 3 Flowchart for fault detecting and diagnosis method
(a) Method by difference of reference and actual current
(b) Method using additional voltage sensor across lower leg

본 논문에서는 그림 3의 두 가지 다른 형태의 고장 확인 흐름도와 같이 고장 확인 방법들을 제안하였다. 추가적인 하드웨어가 필요 없이 일반적인 시스템 제어부에 소프트웨어적인 알고리즘을 추가함으로써 고장을 확인하는 방법과 인버터 하단에 전압센서를 추가하여, 첫 번째 방법보다 고장 확인에 소요되는 시간을 대폭 단축시킬 수 있는 방법이다.

3.3.1 기준 전류 추종오차에 근거한 방법

기준 전류 추종오차에 근거한 방법은 고장 검출을 위한 센서가 필요 없는 소프트웨어적인 방법이다. 개방된 형태의 스위치 고장이 발생하였을 경우, 히스테리시스 전류 제어기는 기준 전류를 추종할 수 없기 때문에 오차가 발생하게 된다. 이러한 고장이 발생한 상의 오차 검출 시간은 다른 정상적인 상과는 달리 고장으로 확장할 수 있는 고장 검출 시간까지 도달하게 된다. 결과적으로 고장이 발생한 상은 고장 발생 후 3상의 오차 검출 시간을 비교함으로써 판별할 수 있다. Mode 1에서 고장이 발생할 경우 고장을 판단하는 논리는 다음과 같다.

```
IF (counta > Tfault) THEN Phase A fault
ELSE IF (countb > Tfault) THEN Phase B fault
ELSE normal
```

이 방법은 고장이 발생하였을 때, 한 모드 내에서 여자 되고 있는 두 상의 오차 검출 시간이 동시에 증가하기 때문에, 고장 확인을 위한 고장 검출 시간은 전동기의 한 모드에 걸리는 시간보다 길게 정의되어야 하므로, 고장 검출 시간에서 민감도인 K 를 $1 < K < 1.5$ 범위로 정의한다. 즉, 이 방법은 추가적인 비용 없이 고장 여부 및 위치를 파악해낼 수 있다는 장점을 갖지만, 확실한 고장 여부를 파악하는데 있어 다소 시간이 지연된다는 단점을 갖게 된다.

3.3.2 추가적인 전압 센서를 이용한 방법

이 방법은 인버터 하단에 전압센서를 추가함으로써, 앞서 제안했던 방법보다 훨씬 빠르게 고장 검출과 확인과정을 수행할 수 있다. 고장 여부를 판단한 후, 하단 전압의 변화를 이용하여 고장이 발생한 스위치의 위치를 파악할 수 있다. 그림 4는 Mode 1에서 개방된 형태의 스위치 고장이 발생하였을 경우 나타날 수 있는 BLDC 전동기 구동 시스템을 간단하게 나타낸 등가회로이다.

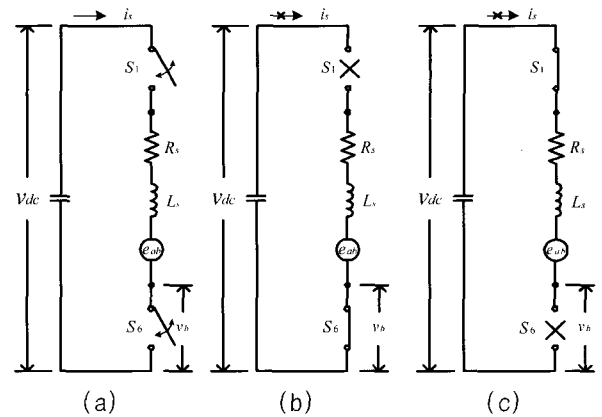


그림 4 고장 판단을 위한 간단한 등가회로
(a) 정상 동작 시 (b) 상단 스위치 고장 시
(c) 하단 스위치 고장 시

Fig. 4 Simple equivalent circuit for fault diagnosis
(a) General switching (b) Lower switch fault
(c) Upper switch fault

여기서 R_s 와 L_s 는 A와 B상의 선간 저항과 인덕턴스 값이며 e_{ab} 는 선간 역기전력이다.

그림 4(a)와 같이 정상적인 시스템 동작 시 식(4)와 같은 전압 방정식이 성립되고, 하단 전압 상태는 식(5), (6)과 같다.

$$V_{dc} = R_s i_{ab} + L_s \frac{di_{ab}}{dt} + e_{ab} \tag{4}$$

$$V_b = 0 \quad : S_6 \text{ 턴-온 시} \tag{5}$$

$$V_b = V_{dc} \quad : S_6 \text{ 턴-오프 시} \tag{6}$$

그림 4(b)는 S_1 에서 개방된 형태의 스위치 고장이 발생했을 경우의 등가회로이다. 기준 전류를 추종하기 위해 히스테리시스 전류 제어기에 의해 S_6 는 턴-온 상태이고 전류가 흐를 수 없기 때문에 시스템 방정식은 성립될 수 없다. 이때 S_6 에 인가되는 전압은 다음 식(7)과 같다.

$$V_b = 0 \tag{7}$$

그림 4(c)는 하단 스위치인 S_6 에서 개방된 형태의 고장이 발생했을 경우의 등가회로이다. 기준 전류를 추종하기 위해 상단 스위치인 S_1 은 턴-온 상태에 있고, 이때 하단 전압에 걸리는 전압은 다음과 같다.

$$V_b = V_{dc} \tag{8}$$

결과적으로, 고장의 확인은 빠른 고장 검출 시간과 하단 전압의 변화에 의해 이루어진다. 이 방법의 경우 고장 검출 시간이 단축되기 때문에, 민감도인 K 는 $0.2 < K < 0.5$ 범위로 정의한다.

3.4 시스템의 재구성

고장의 검출과 확인 후 시스템의 재구성 방법은 고장으로 판단한 상에 대한 스위칭 신호의 제거와 동시에 고장이 발생한 상과 직류-링크의 중성점 사이에 연결되어 있는 양방향 스위치를 턴-온 시킴으로서 BLDC 전동기의 4 스위치 구동^[7]을 위한 시스템으로 재구성 하게 된다. 재구성된 시스템은 그림 5와 같다.

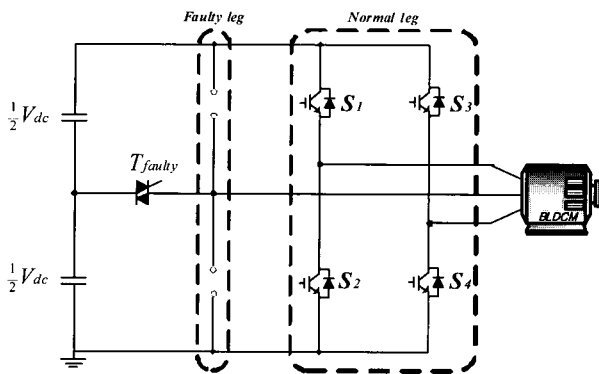


그림 5 재구성된 시스템 구조
Fig. 5 Reconfigured system structure

4 스위치에 의한 재구성 방법의 경우 불규칙적인 전압 이용으로 인하여 정상적인 두 상이 동작할 때 직류-링크 중성점과 연결된 상으로 전류가 흘러 전류 파형의 리플이 심하게 발생한다. 이러한 문제는 개별적인 각 상의 전류 제어와 히스테리시스 밴드 폭의 조절을 통해 최소화 할 수 있다. 고장 허용 시스템은 재구성 후에 감소된 시스템 제어 성능을 가지게 되지만, 지속적인 시스템 구동이 가능하여, 신뢰성을 크게 향상시킬 수 있다는 장점을 갖게 된다.

3.5 제안한 전체적인 시스템

제안한 전체적인 시스템의 구조는 그림 6과 같다. 그림에서 점선으로 나타낸 부분은 추가적인 하단 전압 센서를 이용한 방법의 경우에 구성되는 부분이다. 제안한 방법은 기본적인 히스테리시스 제어시스템에 고장 검출과 확인을 위한 알고리즘과 양방향 스위치를 추가함으로써 구현 할 수 있다.

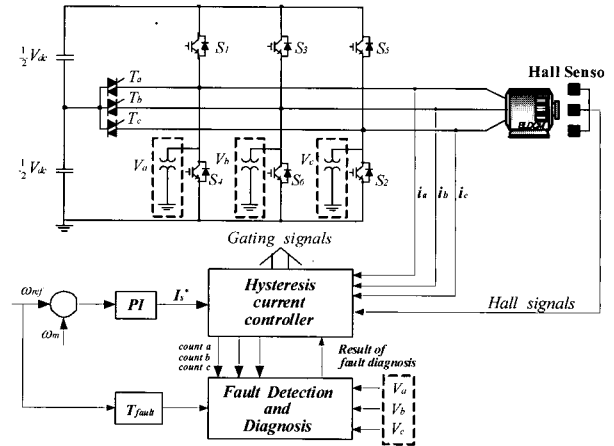


그림 6 전체적인 고장 허용 구동 시스템 구조
Fig. 6 Overall structure of the proposed fault tolerant drive system

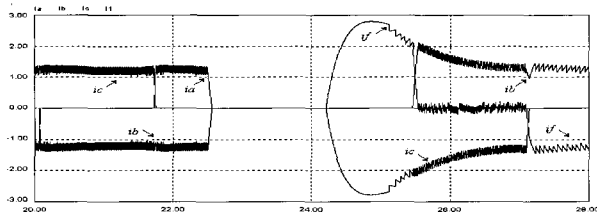
4. 시뮬레이션

시뮬레이션을 위해 사용된 BLDC 전동기의 정격과 파라미터들은 표 1과 같다. 고장발생 시점은 22.5 [ms] 로 동일한 상황 하에 시행하였다.

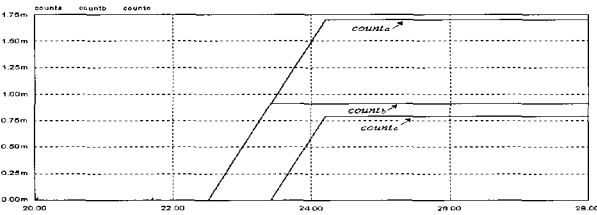
표 1 BLDC 전동기의 정격과 파라미터
Table 1 Ratings and Parameters of BLDC Motor

정격 전압	V	300 [V]
정격 토크	T_e	0.662 [Nm]
정격 속도	N_r	3000 [rpm]
저 항	R_s	11.9 [Ω]
인덕턴스	L_s	2.07 [H]
역기전력 상수	K_e	22.9 [V/rpm]
극 수	P	4

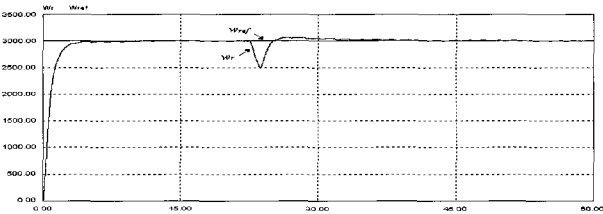
그림 7은 Mode 1에서 인버터의 상단 스위치인 S_1 이 개방된 형태의 고장을 일으켰을 때 기준전류 추종 오차에 의한 검출 방법을 적용한 시뮬레이션 결과이다. 그림 7(a)는 상전류 파형을 보여주고 있다. 고장을 확인한 이후 고장이 발생한 상이 직류-링크 중성점과 연결되어 i_f 가 흐르는 것을 확인할 수 있다. 그림 7(b)에서 볼 수 있듯이 기준 전류를 추종하지 못하는 오차 검출 시간은 고장이 발생한 A상이 고장 검출 시간인 1.7 [ms]까지 도달 하는 것을 볼 수 있다.



(a)



(b)



(c)

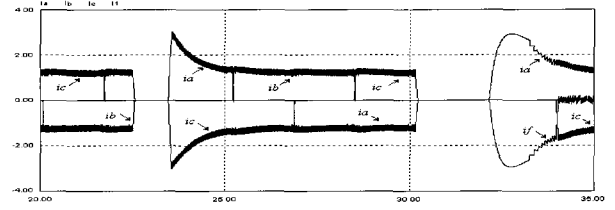
그림 7 상단 스위치 고장 시 제한한 기준 전류 추종 오차에 근거한 방법의 시뮬레이션 결과
(a) 고장 허용 제어의 전류파형 (b) 오차 검출 시간
(c) 회전자 속도

Fig. 7 Simulation results of proposed method by difference of reference and actual current when open fault of higher switch occurs
(a) Current waveform by fault tolerant control
(b) Fault detecting time (c) Rotor speed

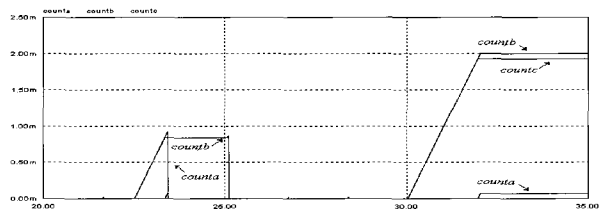
그림 7(c)는 회전자 속도 파형으로 고장이 발생한 후 *Mode 1* 과 *Mode 2* 에서 스위치의 개방된 고장에 의해 전류가 흐를 수 없기 때문에 약 2500 [rpm]으로 속도가 감소되지만 고장 확인 후 재구성을 통하여 정상적으로 동작하게 되어 기준 속도를 잘 추종하는 것을 보여준다.

그림 8은 하단 스위치인 S_6 에서 개방된 형태의 고장이 발생하였을 때 기준전류 추종오차에 의한 검출 방법의 시뮬레이션 결과이다. S_6 에서 고장이 발생하였을 때 오차 검출 시간이 고장 검출 시간에 이르지 못한 상태에서 스위칭 패턴의 변화로 시스템이 정상적인 동작을 수행하였기 때문에 고장으로 인식하지 않는다.

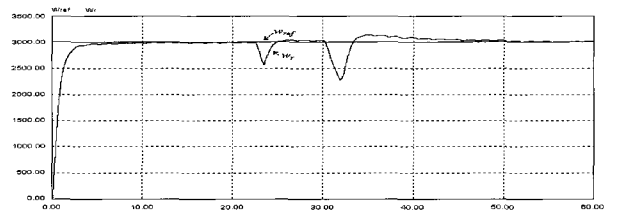
이후 고장이 발생한 하단 스위치가 동작을 하는 모드에서 오차가 다시 검출되고, 고장 검출 시간 이후 시스템은 고장으로 인식한다.



(a)



(b)



(c)

그림 8 하단 스위치 고장 시 제한한 기준 전류 추종 오차에 근거한 방법의 시뮬레이션 결과
(a) 고장 허용 제어의 전류파형 (b) 오차 검출 시간
(c) 회전자 속도

Fig. 8 Simulation results of proposed method by difference of reference and actual current when open fault of lower switch occurs
(a) Current waveform by fault tolerant control
(b) Fault detecting time (c) Rotor speed

이 결과는 기준 전류 추종오차에 근거한 방법이 추가적인 하드웨어가 필요 없지만, 고장 확인을 위한 고장 검출 시간이 한 모드 이상의 시간이 필요하다는 단점을 보여주게 된다.

그림 9는 *Mode 1*에서 인버터의 상단 스위치인 S_1 에서 개방된 고장이 발생하였을 때 인버터 하단에 전압 센서를 추가한 시뮬레이션 결과이다. 그림 9(a)는 상전류 파형이다. 고장 발생 후 0.2 [ms] 만에 시스템 재구성에 의해 i_f 가 흐르는 것을 볼 수 있다. 그림 9(b)에서 볼 수 있듯이 고장이 발생한 후 오차 검출 시간은 각 상이 동일하게 상승한다. 이러한 오차 검출 시간이 고장 검출 시간 이상으로 지속될 경우 고장으로 판단한다. 그림 9(c)와 같이 고장 시점인 22.5 [ms] 이후 인버터의 하단 전압이 0 [V]로 떨어지는 것을 볼 수 있다.

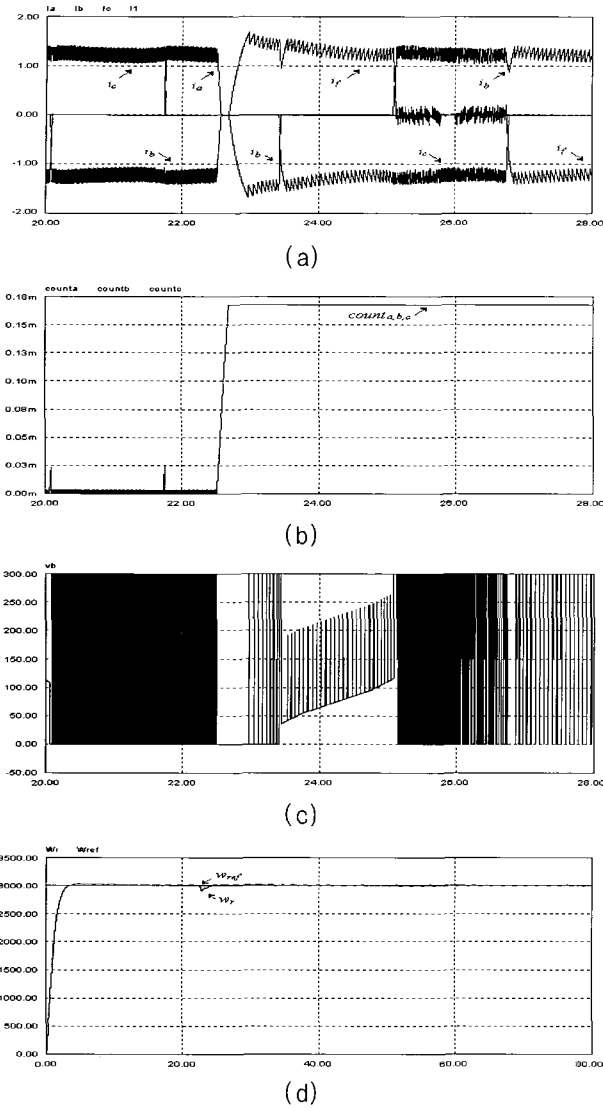


그림 9 상단 스위치 고장 시 제안한 인버터 하단에 전압 센서를 추가한 방법의 시뮬레이션 결과
 (a) 고장 허용 제어의 전류파형 (b) 오차 검출 시간
 (c) 하단 전압 (d) 회전자 속도
 Fig. 9 Simulation results of proposed method added voltage sensor across lower leg when open fault of higher switch occurs
 (a) Current waveform (b) Fault detecting time
 (c) Lower leg voltage (d) Rotor speed

그림 9(d)는 회전자 속도 파형으로 고장이 발생한 후 속도가 순간적으로 감소하지만, 전체적으로 회전자 속도가 고장에 영향을 받지 않고 안정적으로 유지되는 것을 볼 수 있다.

그림 10은 하단 스위치인 S_6 에서 개방된 형태의 고장이 발생하였을 때 인버터 하단에 전압 센서를 추가

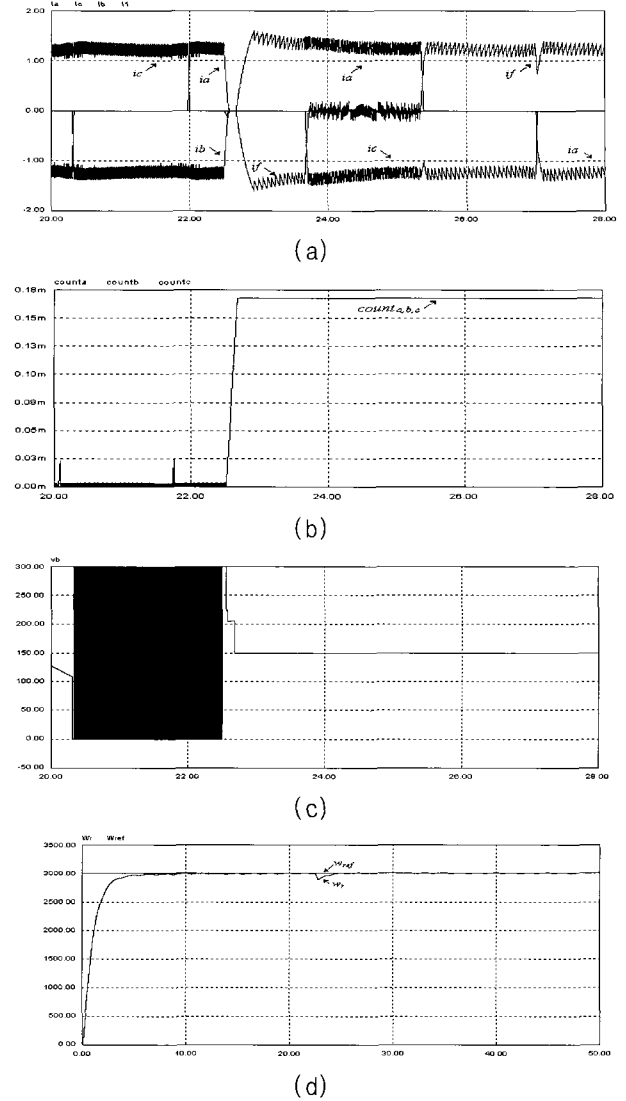


그림 10 하단 스위치 고장 시 제안한 인버터 하단에 전압 센서를 추가한 방법의 시뮬레이션 결과
 (a) 고장 허용 제어의 전류파형 (b) 오차 검출 시간
 (c) 하단 전압 (d) 회전자 속도
 Fig. 10 Simulation results of proposed method added voltage sensor across lower leg when open fault of lower switch occurs
 (a) Current waveform (b) Fault detecting time
 (c) Lower leg voltage (d) Rotor speed

한 경우의 시뮬레이션 결과이다. 그림 10(c)는 상단 스위치에 개방된 형태의 고장이 발생했을 경우 하단 전압파형이 그림 9(c)와 다르게 나타나는 것을 확인할 수 있다. 고장이 발생한 스위치의 위치에 상관없이 전압센서를 추가할 경우 빠른 고장 검출과 시스템의 제어 성능이 빠르게 회복되는 것을 볼 수 있다.

5. 결 론

본 논문은 BLDC 전동기 구동용 인버터에서 임의의 스위치에 개방된 형태의 고장이 발생하였을 경우, 고장 발생 후에도 시스템의 제어 성능을 지속적으로 유지할 수 있는 새로운 고장 허용 제어 시스템을 제안하였다. 제안한 고장 허용 시스템은 크게 두 가지로서 개방된 스위치 고장이 발생하였을 경우 간단한 제어 알고리즘을 추가하는 소프트웨어적인 방법과 인버터 하단에 전압센서를 추가한 하드웨어적인 방법으로 구분할 수 있다. 이는 각각 추가적인 하드웨어 없이 고장을 검출할 수 있다거나, 고장 검출 시간을 현저하게 단축시킴으로서 더욱 안정적인 시스템을 구성할 수 있다는 장점을 갖고 있다.

제안한 고장 허용 시스템은 고장에 대한 신뢰성이 요구되는 산업응용분야에 대해 경제성과 신뢰성을 고려하여 각각 적용하였을 경우 시스템의 지속적인 구동을 보장함으로써 구동 시스템의 신뢰성을 크게 향상시킬 수 있을 것이다.

참 고 문 헌

- [1] R.Spee and T.Lipo, "Remedial strategies for brushless dc drive failures," IEEE Trans. Ind. Applicat., Vol. 26, No. 2, pp. 259-266, Mar./Apr. 1990.
- [2] R. L. A. Ribeiro, C. B. Jacobina, E. R.C.da Silva and A. M. N. Lima, "Fault Detection of Open-Switch Damage in Voltage-Fed PWM Motor Drive Systems," IEEE Trans. Power Electronics, Vol. 18, No. 2, pp. 587-593, Mar. 2003.
- [3] J.R.Fu and T.Lipo, "A Strategy to Isolate the Switching Device Fault of a Current Regulated Motor Drive," in Conf. Rec. IEEE-IAS Annu. Meeting, Vol. 1, pp. 1015-1020, 1993.
- [4] N. Bianchi, S. Bolognani, M. Zigliotto and M. Zordan, "Innovative Remedial Strategies for Inverter Faults in IPM Synchronous Motor Drives," IEEE Trans. Energy Conversion, Vol. 18, No. 2, pp. 306-312, June. 2003.
- [5] R. L. A. Ribeiro, C. B. Jacobina and E. R.C.da Silva, "Fault-Tolerant Voltage-Fed PWM Inverter AC Motor Drive Systems," IEEE Trans. Ind. Applicat., Vol. 51, No. 2, pp. 439-446, Apr. 2004.
- [6] B. A. Welchko, T. A. Lipo, T. M. Jahns and S.E. Schulz, "Fault Tolerant Three-Phase AC Motor Drive Topologies: A Comparison of Features, Cost, and Limitations," IEEE Trans. Power Electronics, Vol. 19, No. 4, pp. 1108-1116, July 2004.
- [7] Byoung-Kuk Lee, Tae-Hyung Kim and M. Ehasani,

"On the Feasibility of Four-Switch Three-Phase BLDC Motor Drives for Low Cost Commercial Applications: Topology and Control," IEEE Trans. Power Electronics, Vol. 18, No. 1, pp. 164-172, Jan. 2003.

저 자 소 개



박병건(朴炳健)

1979년 4월 16일생. 2005년 명지대 전기정보제어공학부 졸업. 2005년~현재 한양대 대학원 전기공학과 석사과정.



김태성(金泰成)

1973년 7월 4일생. 1996년 광주대 전자공학과 졸업. 2002년 한양대 대학원 전기공학과 졸업(석사). 2002년~현재 동 대학원 전기공학과 박사과정.



류지수(柳志帥)

1968년 7월 28일생. 1990년 단국대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2002년 동 대학원 전기공학과 졸업(공학박). 2004년~현재 한양대 전기공학과 전력전자연구실 BK 연구교수.



현동석(玄東石)

1950년 4월 8일생. 1973년 한양대 전기공학과 졸업. 1978년 동 대학원 전기공학과 졸업(석사). 1986년 서울대 대학원 전기공학과 졸업(공학박). 1984년~1985년 미국 토레도대학 교환교수. 1988년~1989년 원천공과대 교환교수. 2003년 IEEE Fellow Member. 1979년~현재 한양대 전기제어생체공학부 교수. 2000년 당 학회 회장 역임.



이병국(李秉國)

1968년 12월 25일생. 1994년 한양대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2001년 미국 Texas A&M University 전기공학과 졸업(공학박). 2001년~2003년 미국 Texas A&M University Postdoctoral Research Associate. 2003년~2005년 한국전기연구원 전력전자그룹 선임연구원. 2005년~2006년 성균관대학교 연구조교수. 2006년~현재 성균관대 정보통신공학부 조교수. IEEE Senior Member. 당 학회 편집위원.