

NPC 멀티레벨 인버터의 고조파 분석 및 출력 필터 설계

金洙弘[†], 金倫鎬^{*}, 方相石^{**}, 金光燮^{***}

Harmonic Analysis and Output Filter Design of NPC Multi-Level Inverters

Soo-Hong Kim, Yoon-Ho Kim, Sang-Seok Bang and Kwang-Seob Kim

요 약

본 논문은 단상 멀티레벨 인버터의 LC출력 필터 설계와 변조비에 따른 고조파 분석을 수행하였다. 일반적으로 고전력 응용에 적합한 멀티레벨 인버터는 낮은 스위칭 주파수하에서 구동되므로 출력단에 큰 고조파 성분을 포함하게 된다. 이를 감소시키기 위해 출력단에 필터를 삽입하는 방법이 효과적이다. 3레벨 NPC 멀티레벨 인버터의 출력단 고조파를 감소시키기 위한 필터 설계 방안을 검토하고, 디지털 제어 방식을 위해 DSP(TMS320C31)를 사용하였다. 또한 필터의 설계예시를 보였고, 설계된 시스템의 타당성을 시뮬레이션과 실험을 통해 입증하였다.

ABSTRACT

In this paper, LC output filters are designed to reduce output harmonics and harmonic analysis are performed. Generally, multilevel inverters are used in high power application and operates with low switching frequency, which, in turn, generates large output harmonics. Output filters are used to reduce output harmonics. The design approach to reduce output harmonics of the 3level multilevel inverter is discussed and DSP(TMS320C31) is used for the digital control of the system. the design example is given. The designed system is verified by simulation and experiment.

Key Words : NPC multi-level inverter, THD, Modulation index

1. 서 론

오늘날 고전력 및 중전압 에너지 제어 범위에서 멀티레벨 인버터 기술은 중요한 대안책으로 대두되고 있다. 멀티레벨 인버터는 전력용 반도체 소자와 커패시터 전압원의 배열에 따른 계단 파형을 가지는 출력 전압을 발생시킨다. 또한 멀티레벨 인버터는 레벨이 증가함에 따라 출력전압은 고조파를 감소시키는 방향으

로 더 많은 수의 출력 전압을 출력한다. 고전력에 사용되는 멀티레벨 인버터의 특징은 매우 낮은 왜곡과 낮은 dv/dt를 가지는 출력전압을 발생 시킬 수 있고, 레벨 수 증가시 낮은 커먼 모드전압(CMV : common-mode voltage)을 발생시키며 낮은 스위칭 주파수로 동작 할 수 있다. 그러나 레벨수 증가는 회로의 복잡성을 증가시키고 전압 불균형을 야기 시키기도 한다. 이러한 문제점은 PWM 스위칭의 사용에 의해 개선될 수 있다^[1,2].

본 논문에서는 변조비에 따른 멀티레벨 인버터 출력단의 고조파 분석과 이들 고조파를 제거하기 위한 LC 출력 필터 설계방법을 제시하였다.

또한 실제 시스템은 DSP(TMS320C31)를 사용하여 실험을 수행하였다.

[†]교신저자 : 정회원, 중앙대 전자전기공학부 박사과정

E-mail : powerlab76@hotmail.com

^{*}정회원, 중앙대 전자전기공학부 교수

^{**}정회원, (주)포스콘 기술연구소 수석연구원

^{***}정회원, (주)포스콘 기술연구소 선임연구원

접수일자 : 2005. 1. 28 1차 심사 : 2005. 3. 14

2차 심사 : 2005. 12. 14 심사완료 : 2005. 12. 28

2. 단상 멀티레벨 PWM인버터 시스템

2.1 단상 NPC멀티레벨 인버터

ac전압 제어를 위해 제안된 멀티레벨 PWM인버터 시스템의 블록 다이어그램은 그림 1에서 보여준다. 인버터 스위치는 DSP의 출력 신호에 의해 제어 되고, 제어 알고리즘은 PWM인버터를 위해 요구되는 PWM 신호를 생성하게 된다.

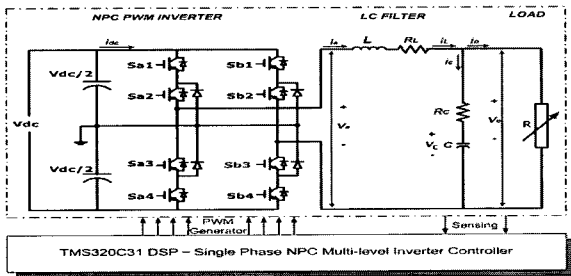


그림 1 단상 NPC멀티레벨 인버터
Fig. 1 Single NPC Multi-level inverter

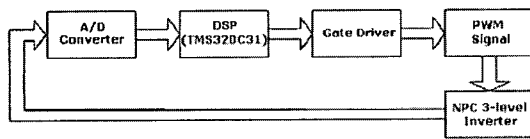


그림 2 디지털 제어기 블록 다이어그램
Fig. 2 Digital controller block diagram

그림 2는 위에서 나타난 DSP제어 알고리즘을 간략화한 것이다. 제어기에서는 인버터 출력 전압을 분배기를 통해 스케일링한 후 필터를 지나 A/D컨버터를 통해 DSP의 입력으로 들어간다. DSP계산과정 결과는 각 스위치의 구동을 위해 PWM 게이트 드라이브회로에 입력되어 스위칭 소자를 구동하게 된다.

2.2 드라이버 제작 및 PWM 스위칭 기법

그림 3은 IGBT구동을 위해 실제 제작된 게이트 드라이브 회로를 보여주고 있다. DSP에서 발생된 PWM 신호를 입력받아 회로 스위치의 쇼트 상태나 파괴를 방지하기 위해 데드타임(dead-time)을 갖는 신호로 변환되어 각 IGBT스위치로 인가된다. 멀티레벨에서의 PWM기법은 주로 멀티캐리어PWM과 공간벡터PWM 기법이 사용된다. 공간벡터PWM방법은 레벨이 증가함에 따라 벡터 공간이 증가하여 영역판별에 많은 어려움이 있다. 그러므로 본 논문에서는 멀티캐리어PWM 스위칭 방법을 사용하였으며, 이는 다수의 삼각파 캐

리어 신호와 하나의 기준신호를 비교하여 멀티레벨 컨버터 시스템에서 요구하는 수의 스위칭 신호를 만들어 낸다.

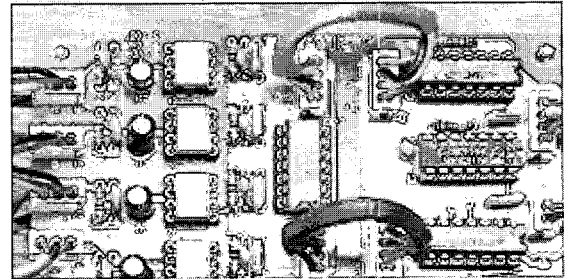


그림 3 제작된 게이트 드라이버 회로
Fig. 3 Produced gate driver circuit

멀티레벨 인버터에서 진폭 변조 지수(AMI: amplitude modulation index) M_a , 주파수 비율(FI: frequency index) M_f 는 식 (1)과 같이 정의된다^[3].

$$M_a = \frac{A_m}{(m-1) \cdot A_c}, M_f = \frac{f_c}{f_m} \quad (1)$$

여기서 m 은 멀티캐리어 PWM 캐리어의 수, A_m 은 기준신호 크기, A_c 는 캐리신호 크기, f_c 는 캐리신호 주파수, f_m 은 기준신호 주파수를 나타낸다.

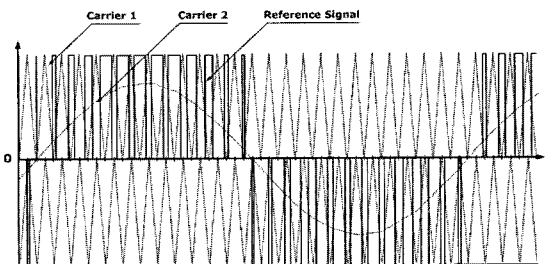


그림 4 멀티캐리어 PWM스위칭 파형
Fig. 4 Multi-carrier based PWM switching waveforms

본 논문에서는 이러한 AMI신호를 조절하여 고조파를 분석하였다. 그림 4는 멀티캐리어 PWM스위칭 파형을 보여준다.

2.3 출력필터를 갖는 NPC 멀티레벨 인버터 시스템 모델링

그림 5는 부하와 연결된 dc-ac 컨버터의 회로를 보여주고 있다.

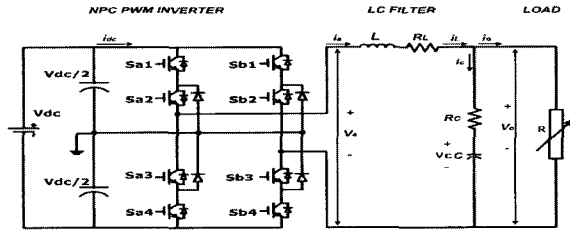


그림 5 단상 NPC멀티레벨 인버터 시스템 회로도
Fig. 5 Single phase NPC multi-level inverter system circuit

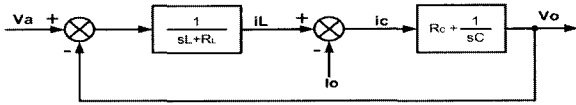


그림 6 단상 NPC멀티레벨 인버터의 시스템 블록다이어그램
Fig. 6 System block diagram of single NPC multi-level inverter

인버터 시스템은 선형, 비선형, 역률 부하와 같은 다양한 형태의 부하를 가지게 된다. 그리고 부하 형태에 따라 부하 전류가 달라진다. 그러므로 비선형 부하를 포함하여 시스템의 전달함수를 표현하는 것은 어려움이 따른다^[4]. 선형 샘플링 모델은 이러한 시스템을 분석하기 위해 사용하였다. 그림 6에서는 등가 직렬 저항성분을 고려한 단상 NPC멀티레벨 인버터의 시스템 블록다이어그램을 보여주고 있다. 인버터의 선형적인 부하 모델을 유도하기 위해 부하는 일반적으로 저항성 부하라고 간주하였다. 저항성 부하와 LC필터의 정상상태 변수인 커패시터 전압 V_c 와 인덕터 전류 i_L , 출력 전압의 세 값 V_{dc} , $-V_{dc}$, 0 를 의미하는 V_a 로써 연속적인 2차 시스템으로 설계될 수 있다. 인덕터 등가직렬저항 R_L 과 커패시터 등가직렬저항 R_C 를 고려하면 상태 방정식과 출력 방정식은 식 (2),(3)과 같다.

$$\begin{bmatrix} i_L \\ V_c \end{bmatrix} = \begin{bmatrix} -\frac{R_L R_C + R(R_L + R_C)}{L(R + R_C)} & -\frac{R}{L(R + R_C)} \\ \frac{1}{C(1 + \frac{R_C}{R})} & \frac{1}{RC(1 + \frac{R_C}{R})} \end{bmatrix} \begin{bmatrix} i_L \\ V_c \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ 0 \end{bmatrix} V_a \quad (2)$$

$$V_o = \begin{bmatrix} \frac{R_C}{R + R_C} & \frac{R}{R + R_C} \end{bmatrix} \begin{bmatrix} i_L \\ V_c \end{bmatrix} \quad (3)$$

필터 출력 전압 V_o 와 인버터 출력 전압 V_a 의 전달함수는 식 (4)와 같다.

$$G(s) = \frac{v_o(s)}{v_a(s)} = \frac{(R_C \cdot R \cdot C)s + R}{((R + R_C)LCs^2 + (L + (R_L + R_C)R \cdot C + R_L R_C)Cs + R_L + R)} \quad (4)$$

개방루프 출력 임피던스는 식 (5)와 같이 정의된다.

$$Z_{open} = \frac{v_o(s)}{i_o(s)} = \frac{R_C LCs^2 + (R_C + L)s + R_L}{LCs^2 + (R_L + R_C)Cs + 1} \quad (5)$$

디지털 제어 PWM dc-ac 컨버터 설계는 PWM변조기에 적용되는 이산적인 시비율(duty ration)이 존재하게 되고 이것은 디지털 제어기의 모든 샘플링 간격에 의해 결정된다. 전압 제한 이득을 첨가하여 전달함수를 구하게 되면 식 (6)과 같이 표현된다.

$$\frac{v_o(s)}{v_o^*(s)} = \frac{k_1 R}{RLCs^2 + Ls + R(1 - k_1)} \quad (6)$$

만약, DC/AC 인버터가 전압 제한 이득만을 가진 폐회로라면 이득 k_1 의 증가는 시스템의 불안정화를 야기시킬 수 있다. 전류제어기의 전달 함수는 식 (7)과 같이 표현된다.

$$\frac{i_L}{i_L^*} = \frac{k_2(RCs + 1)}{RLCs^2 + (k_2 RC + L)s + (k_2 + R)} \quad (7)$$

전압 제한 이득에 따른 시스템의 불안정성은 그림 7과 같이 전류제어기가 더해짐으로써 감소시킬 수 있다. 그리고 식 8은 그림 7의 제어기를 좀 더 간략화한 것이다.

$$G(s) = \frac{RCk_1 s}{C^2 \alpha s^2 + (RC \alpha + RCk_1)s + R} \quad (8)$$

여기서, $\alpha = L/k_2$ 를 나타낸다.

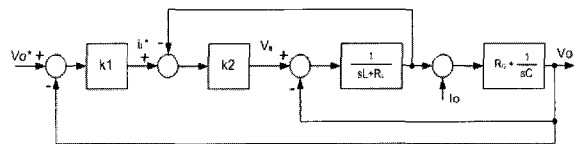


그림 7 디지털 제어기 블록다이어그램
Fig. 7 Digital controller block diagram

2.4 출력단 LC필터 설계

멀티레벨 인버터는 그 기본적인 특성에 의해 기존의 2-레벨 인버터보다 출력단에 적은 양의 고조파 성분을 포함하고는 있지만, 일반적으로 고전력에 사용되는 멀티레벨 인버터는 낮은 스위칭 주파수로 동작하게 되어 출력단에 높은 크기의 고조파 성분을 포함하게 된다.

본 논문에서는 이들 고조파의 효과적인 제거를 위해 인버터에 LC출력 필터를 설계하여 출력단 고조파를 감소 시켰다. 출력필터의 동일한 차단주파수에서 필터의 인덕터 값을 작게 설정하면 부하전류에 존재하는 고조파에 대한 출력 전압의 영향이 적어 제어기의 부

담은 감소하지만 커패시터의 값이 증가하여 무효전력이 증가하게 된다. 이는 인버터의 부담을 증가시키는 원인이 되기도 한다. 결국 출력 필터의 설계는 인덕터와 커패시터의 상호 관계를 잘 고려하여 설계하여야만 한다. 일반적으로 부하 전압의 진동을 억제하기 위해 순수한 LC필터의 전달함수는 식 (9)와 같이 표현된다.

$$\frac{V_o}{V_a} = \frac{1/LC}{s^2 + ((R_L + R_C)/L)s + 1/LC} \quad (9)$$

$$= \frac{\omega_f^2}{s^2 + 2\zeta_f \omega_f s + \omega_f^2}$$

여기서, $\zeta_f = \frac{R_L + R_C}{2} \sqrt{\frac{C}{L}}$, $\omega_f = \frac{1}{\sqrt{LC}}$ 이다.

인버터의 출력 순시 전류의 최대값은 인버터 용량 선정시 매우 중요하다. 정상 상태에서 인버터 출력 전류는 필터 커패시터와 부하 임피던스에 의해 결정되며 크기는 정격전류 이내로 제한된다. 또한 과도 전류가 정격전류보다 클 경우 스위치의 과손을 막기 위해 스위치의 용량을 충분히 크게 설계하거나 제어알고리즘을 사용하여 인버터 전류를 정격이내로 제한하고 있다. 인버터 출력전류는 적절한 필터의 설계를 통하여 과도상태에서 인버터의 전류가 정격 부하 전류를 넘어서지 않도록 해야만 한다^[6]. 무부하시 인버터 출력의 과도상태 등가회로 총 저항은 식 (10)과 같이 나타낼 수 있다.

$$R_{total} = 2\zeta_f \sqrt{\frac{L}{C}} \quad (10)$$

결과적으로 인버터 출력 전류의 최대값은 식 (11)과 같이 표현된다.

$$I_{peak} = \frac{\sqrt{2}V_a}{R_{total}} = \frac{\sqrt{2}V_a}{2\zeta_f} \sqrt{\frac{C}{L}} \quad (11)$$

여기서 $I_{peak} < \sqrt{2}(V_{dc} / Z_{open})$ 이어야 하므로 인버터 출력단 LC필터의 필터커패시터와 필터 인덕터는 다음식과 같은 제한이 요구된다.

$$\frac{\sqrt{L}}{C} > \frac{Z_{open}}{2\zeta_f} \quad (12)$$

또한 주회로에서 과제동 회로인 필터커패시터의 등가직렬 저항과 댐핑저항의 합인 R_c 는 식 (13)과 같이 선택된다.

$$R_c \geq 2\sqrt{\frac{L}{C}} \quad (13)$$

여기서, R_c 는 $R_c C \ll 1$ 를 만족하여야 한다^[6]. 그림 5로부터 식 (14)와 같은 수식을 도출할 수 있다.

$$V_a = V_L + V_c = (Z_1 \cdot I_L) + (Z_2 + I_c) \quad (14)$$

여기서 $Z_1 = R_L + j\omega L, Z_2 = R_c + (1/j\omega C)$ 이다.

$$\text{또한, } V_o = \{R_c + (1/j\omega C)\} \times I_c = Z \times I_o \quad (15)$$

이고 여기서 Z 는 부하단 임피던스를 나타낸다. 결과적으로 두 식을 이용하여 필터단 인덕턴스를 구하면 식 (16) 같이 표현된다.

$$L = \frac{V_a - (R_L I_a + R_c I_c + I_o / Z)}{j\omega I_a} \quad (16)$$

그리고 필터커패시터의 값을 구하게 되면 식(17)과 같이 나타낸다.

$$C = (1/\omega) \times \{I_c / (V_o - R_c I_c)\} \quad (17)$$

시스템에서 제어시스템의 감쇄 계수가 임계값인 1이고 부하 전류에 따른 특별한 외란이 없다고 가정하면 출력단 LC필터는 공진주파수에 따른 시간 지연요소로 작동하게 되므로 V_a 의 전압에 대한 부하 전압의 응답은 식 4와 같다. 식 4에서 부하 저항과 등가직렬저항을 무시하면 V_a 와 V_o 의 응답은 식 (18)과 같이 간략하게 표현될 수 있다^[7].

$$V_o / V_a = \{1 / (s/\omega_f)^2\} \quad (18)$$

여기서 $\omega_f = 1/\sqrt{LC}$ 이다. 따라서 필터에 의한 지연을 사전에 보상하여 V_a 의 출력을 아래와 같이 발생할 수 있다면 V_o 에 따라 원하는 V_a 를 조절할 수 있다.

$$V_a = (1 + \frac{2}{\omega_f} s) V_o^* \quad (19)$$

여기에서 출력전압(V_o^*)는 변조비($M_o=1$)인 경우이다. 일반적인 2레벨 인버터에서 공진 주파수의 이론적인 최대값은 스위칭 주파수의 절반과 동일하다^[8]. 실제 모델에서는 이론적인 공진 주파수의 최대 80%까지 사용되며, 3레벨 인버터에서는 스위칭 주파수가 1.2kHz인 경우 공진 주파수는 최대 800Hz를 선택하면 된다. 결과적으로 식 (9)~(17)을 종합하여 볼 때 설정된 필터 시스템의 파라메타 값은 필터 인덕턴스는 약 6.4 mH, 필터 커패시터는 약 280 μF로 선택되었다.

그림 8은 시스템 전달함수의 보드선도를 보여주고 있다. 그림에서 보듯이 1.1kHz대역에서 크기가 0이고 160.1의 위상 여유를 가지는 안정된 시스템임을 알 수 있다.

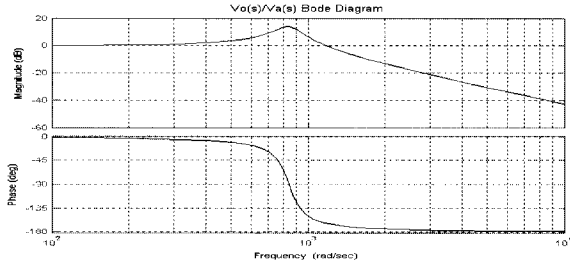


그림 8 출력필터 전달함수 $V_o(s)/V_a(s)$ 의 보드선도
Fig. 8 Bode diagram of system transfer function $V_o(s)/V_a(s)$

2.5 고조파 해석

NPC 멀티레벨 인버터의 출력파형은 기존의 3레벨 인버터에 비해 멀티레벨로 개선되어 정형과 형태에 더 근사화 된다^[9]. 일반적인 NPC 3레벨 인버터의 출력파형은 그림 10(a)와 동일하며 출력전압을 $V_o(t)$ 라고 하면 이는 식 (20)과 같이 표현할 수 있다.

$$V_o(t) = \frac{2V_{dc}}{k\pi} (\sin kt_1 - \sin kt_2 + \sin kt_3 - \dots - \sin kt_{m-1} + \sin kt_m) \\ = \frac{2V_{dc}}{k\pi} \left\{ \sum_{n=0}^m (-1)^{n+1} \sin kt_n \right\} \quad (20)$$

여기서, $k=2u+1$, $u=0,1,2,\dots$, $n=0,1,2,\dots,m$, $t_1 \sim t_m$ 은 한주기내에서의 출력파형을 나타내는 스위칭 각도를 의미한다. NPC 3레벨 인버터의 출력 전압 $V_o(t)$ 에 포함되어 있는 고조파 성분을 V_k 라고 하고 기본파 성분을 V_1 이라 하면 THD는 식 (21)과 같이 구해질 수 있다.

$$V_{THD} = \frac{100}{V_1} \sqrt{\sum_{k=3}^{\infty} V_k^2} \quad (21)$$

그리고 푸리에 변환을 이용하여 각 차수별 고조파를 추출할 수 있고 이를 종합하면 식 (22)와 같은 전류 THD성분을 구할 수 있다.

$$I_{THD} = \frac{\sqrt{I_2^2 + I_3^2 + \dots + I_n^2}}{I_1} \times 100\% \quad (22)$$

여기서, I_1 은 기본파 전류, $I_2 \sim I_n$ 은 각 차수별 고조파 전류 성분을 나타낸다.

3. 시뮬레이션 결과

다음은 제안된 출력 LC필터 설계를 위한 단상 멀티레벨 인버터의 시뮬레이션 결과를 보여주고 있다.

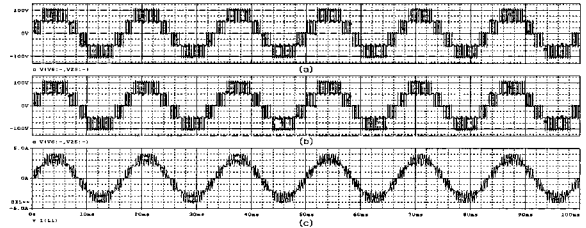


그림 9 필터가 없는 인버터의 출력파형
(a)Va (b)Vo (c)Io
Fig. 9 Output waveforms of inverter without filter
(a)Va (b)Vo (c)Io

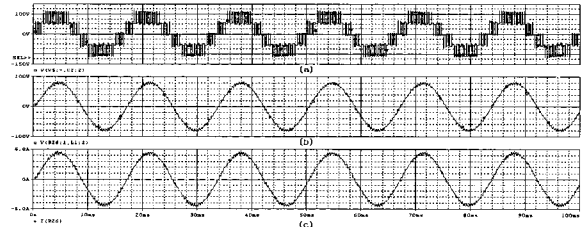


그림 10 필터가 있는 인버터의 출력파형
(a)Va (b)Vo (c)Io
Fig. 10 Output waveforms of inverter with filter
(a)Va (b)Vo (c)Io

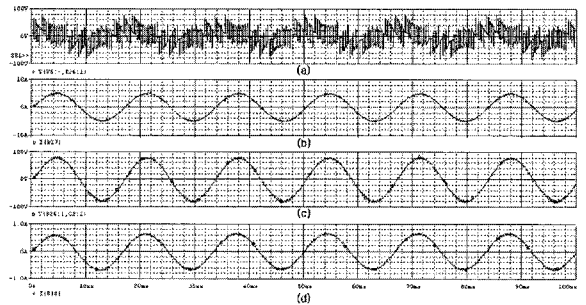


그림 11 필터인덕터와 커패시터 출력전압-전류파형
(a)VL (b)IL (c)Vc (d)Ic
Fig. 11 Voltage-current waveforms of filter inductor and capacitor
(a)VL (b)IL (c)Vc (d)Ic

그림 9는 인버터 시스템에 필터를 설치하지 않은 경우의 출력 전압과 전류파형을 보여준다. 그림 10은 인버터시스템에 출력필터를 설치한 경우의 출력 전압과 전류를 각각 보여준다. 멀티레벨로 구성된 인버터는 일반적인 2레벨 인버터에 비해 출력 전압은 정형적이나, 제안된 방법에 의한 출력보다는 많은 양의 고조파

성분을 포함하고 있다. 또한 출력전류는 필터를 사용하지 않은 경우가 필터를 사용한 경우보다 많은 리플 성분과 고조파 성분을 포함하고 있다. 그림 11은 필터 인덕터단과 필터커패시터단의 전압과 전류 출력파형을 보여주고 있다.

4. 실험 결과

본 논문에 사용된 시스템의 실험 조건은 표 1과 같다. 인버터 출력전압과 전류의 고조파 성분 측정을 위해 Voltech사의 PM-3000a power analyzer(고조파 성분 측정 0~99 차)를 사용하였다.

표 1 실험 조건
Table 1 Experimental conditions

Parameter	Value	Parameter	Value
V_{a_max}	120 V _{rms}	L	6.4 mH
Z_{load}	30 Ω	C	280 μF
I_{o_max}	4 A	R_c	65 Ω
f_{sw}	1.2 kHz	R_L	0.8 Ω

그림 12와 13은 필터가 없는 경우와 필터를 설치하였을 경우의 출력 파형을 각각 보여주고 있다. 필터가 없는 경우 인버터단 출력 전압 V_a 와 부하단 출력 전압 V_o 는 고조파를 포함한 멀티레벨의 출력형태를 나타내고 있다. 출력 전류 또한 많은 고조파를 포함하고 있다. 그러나 LC 출력필터를 첨가한 인버터의 출력파형은 출력전압의 리플과 고조파가 현저하게 감소하였고, 출력전류의 고조파와 리플 역시 감소하였다는 것을 보여준다. 그림 14는 필터 인덕터단과 필터커패시터단의 전압과 전류 출력 파형을 각각 보여준다. 인덕터와 커패시터의 출력파형은 앞에서 시뮬레이션 결과와 유사하다. 그림 15는 필터가 첨가된 인버터 시스템의 변조지수에 따른 THD분석 결과를 보여주고 있다.

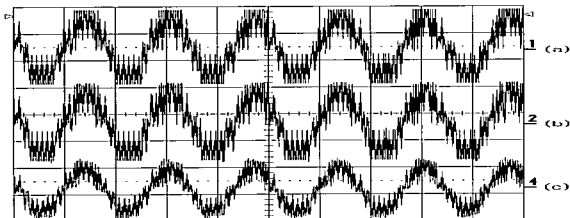


그림 12 필터가 없는 인버터 출력파형
Fig. 12 Output waveforms of inverter without filter

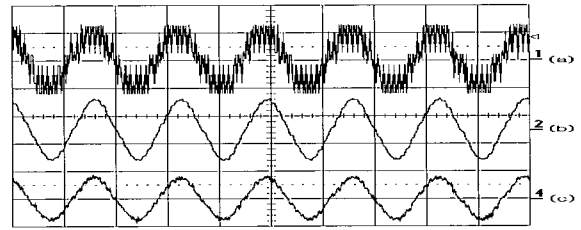


그림 13 필터가 있는 인버터의 출력파형
Fig. 13 Output waveforms of inverter with filter

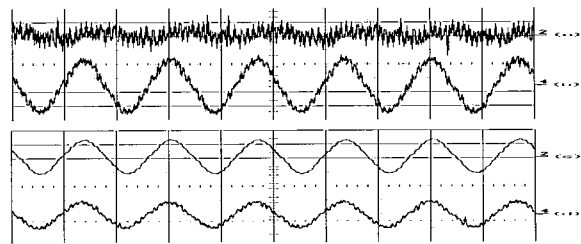


그림 14 필터인덕터와 커패시터 출력전압-전류파형
Fig. 14 Voltage-current waveforms of filter inductor and capacitor

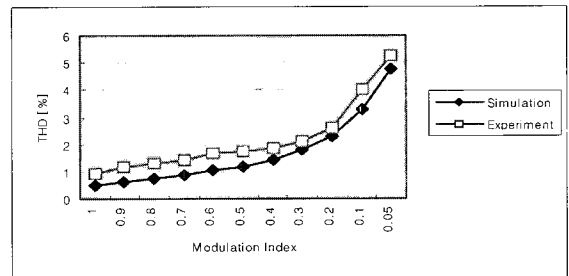


그림 15 변조지수에 따른 THD분석결과(LC 출력필터 첨가시)
Fig. 15 THD analysis results by modulation index(with LC output filter)

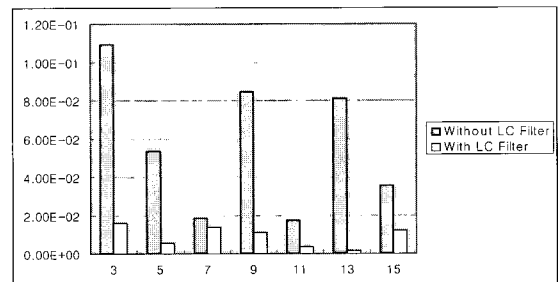


그림 16 출력 전류의 FFT 분석
Fig. 16 FFT analysis of output current

결과를 통해 변조지수가 감소함에 따라 인버터 출력 전압의 THD는 증가하며 그 비율은 변조비가 0.5보다 작은 경우 더 커진다는 것을 알 수 있다. 그림 16은 기본파를 제외한 출력 전류의 FFT분석 과형을 보여주고 있다. 필터를 설치한 경우 출력 전류의 고조파가 감소되었다.

5. 결 론

본 논문은 출력단 고조파의 효과적인 제거를 위해 디지털 제어를 포함한 단상 NPC 멀티레벨 인버터 시스템의 출력 필터 설계를 제시하였고, 변조지수에 따른 인버터 시스템의 출력전압 THD변화를 추정하였다. 일반적으로 인버터 출력 LC필터는 시행착오나 경험에 의존하여 분석적으로 해석하였다. 그러나 본 논문에서는 고전력 응용에 적합한 단상 멀티레벨 인버터 시스템의 모델링 회로 해석을 통하여 낮은 스위칭 주파수를 갖기 때문에 출력단에 큰 고조파를 발생하는 시스템의 출력단 LC필터 설계를 유도하였다. 출력 필터 설계는 무효전력 변화, 인버터와 제어기의 부담률, 출력 전압의 고조파 성분을 감소시키는 역할을 한다.

또한 출력 필터 첨가시 변조지수에 따른 전압 THD와 출력전류의 고조파를 분석하였다. 단상 NPC멀티레벨 출력 필터 설계와 필터의 보상 성능은 시뮬레이션과 실험을 통하여 그 타당성을 입증하였다.

참 고 문 헌

[1] 강필순, 박성준, 김철우, "고조파 저감을 위한 단상 3레벨 PWM인버터", 대한 전기학회 논문지, 제 51B권 3호, 2002. pp.125~132.

[2] 김이훈, 박규현, 원충연, 김영석, 최세완, "PWM인버터 시스템에서의 전도 노이즈 저감을 위한 출력필터 설계에 관한 연구", 전력전자학회 논문지, 1229~2214, 제 6권6호, pp.546~555. 2001.

[3] Tolbert, L.M.; Habetler, T.G, "Novel Multilevel Inverter Carrier-Based PWM Method", Industry Applications, IEEE Transactions on Volume 35, Issue 5, Sept.~Oct. 1999 pp.1098~1107.

[4] Ying-Yu Tzou, "DSP based fully digital control of PWM DC-AC Converter for AC Voltage Regulation", PESC '95 18~22 June 1995 pp.138~144 vol.1.

[5] Hanigovszki, N., Poulsen, J., Blaabjerg, F., "A novel output filter topology to reduce motor overvoltage", Industry Applications, IEEE Transactions on, Volume 40, Issue 3, May-June 2004, pp.845~852.

[6] Pekik A. Dahono, Agus Purwadi, Qamaruzzaman, "An LC filter design method for single-phase PWM inverters", Power Electronics and Drive Systems, 1995., pp.571~576, vol.2.

[7] 김효성, 김장환, 설승기, "동적전압보상기(DVR)의 전압제어 특성과 인버터 용량을 고려한 출력필터 설계방법", 전력전자학회 논문지, 1229~2214, 제10권2호, pp.117~123.

[8] Juergen K. Steinke, "Use of an LC filter to achieve a motor-friendly performance of the PWM voltage source inverter", IEEE Transactions on Energy Conversion, Vol.14, No.3, 1999, pp.649~654.

[9] 김윤호, 김수홍, 김성민, 이강희, "순시무효전력 고조파 검출방법을 이용한 단상 멀티레벨 능동전력필터", 전력전자학회 논문지, 제 10권3호, pp.296~301. 2005.

저 자 소 개



김수홍(金洙弘)

1976년 8월 11일생. 2002년 삼척대 제어계측공학과 졸업. 2004년 중앙대 전자전기공학부 대학원 졸업(석사). 2006년 현재 동 대학원 전자전기공학부 박사과정.



김윤호(金倫鎬)

1949년 6월 20일생. 1974년 서울대 공대 전기공학과 졸업. 1987년 미국 Texas A&M대학 졸업(공학박). 2003년 당 학회 회장 역임. 2004년~현재 중앙대 전자전기공학부 교수. 당 학회 고문.



방상석(方相石)

1963년 11월 13일생. 1989년 중앙대 전기공학과 졸업. 2003년 고려대 대학원 전기공학과 졸업(석사). 1989년~현재 (주)포스콘 기술연구소 수석연구원.



김광섭(金光燮)

1970년 10월 3일생. 1994년 한양대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 1996년~현재 (주)포스콘 기술연구소 선임연구원.