

Multi-level PDP 구동회로를 위한 Gate driver의 Boot-strap chain에 관한 연구

南沅錫^{*}, 洪成洙^{**}, 司空石鎭^{***}, 盧政煜[†]

A Study on Gate driver with Boot-strap chain to Drive Multi-level PDP Driver Application

Won-Seok Nam, Sung-Soo Hong, Suk-Chin Sakong and Chung-Wook Roh

요 약

본 논문에서는 Multi-level PDP 구동회로의 Sustain 스위치를 구동하기 위해 Boot-strap chain 방식의 Gate driver를 제안한다. 제안된 Gate driver는 한 개의 High-side N-MOSFETs를 구동하기 위해 별도의 Floating power supply가 필요치 않고 한 쌍의 다이오드와 캐패시터만을 사용한다. 제안 Gate driver 회로를 적용함으로써, Multi-level PDP driver의 가격과 무게 및 부피를 줄일 수 있다.

ABSTRACT

A gate driver with Boot-strap chain is proposed to drive Multi-level PDP sustain switches. The proposed gate driver uses only one boot-strap capacitor and one diode per each MOSFETs switch without floating power supply. By adoption of this gate driver circuits, the size, weight and the cost of the driver board can be reduced.

Key Words : Gate driver, Boot-strap chain, Multi-level PDP

1. 서 론

플라즈마 디스플레이 장치는 LCD에 비해 밝은 화면을 얻을 수 있고, LCD나 Projection 방식에 비해 수명이 길 뿐만 아니라 시야각이 매우 넓고, 충격과 외부 자기장에 거의 영향을 받지 않으며 온도 특성 또한 매우 우수하며 제조 공정이 CRT 공정과 공통되는 부분이 많아 현재 CRT 공정의 많은 부분을 그대로 사용할

수 있다는 장점이 있어 최근 디스플레이 업체들은 20인치에서 60인치사이의 벽걸이형 TV로 플라즈마 디스플레이를 많이 사용하여 왔다^[1,2]. AC plasma display panel (PDP) driver는 패널에서 gas discharge current를 발생시키기 위해, 직류 전압을 고주파수의 교류 전압으로 바꾸는 고전력 스위칭 회로를 필요로 하는데, 이러한 회로를 'Sustain 회로'라고 부르며 4개의 Sustain 스위치를 가진 Full bridge type이 가장 대표적인 회로이다^[3,4]. PDP는 그 특성이 Capacitor와 유사하기 때문에, Sustain 회로는 Sustain 구간동안 발생하는 gas discharge current뿐만 아니라, 그 만큼이나 큰 크기의 PDP 충·방전 전류를 감당해야한다. 또한 스위치의 기생 병렬 Capacitance도 상당히 큰 값을 갖고 있기 때문에, 스위치의 Turn on 시에 발생하는 손실도

[†]교신저자 : 정희원, 국민대 전자정보통신공학부 조교수
E-mail : drno@kookmin.ac.kr

^{*}학생회원, 국민대 대학원 전자공학과 석사과정

^{**}정회원, 국민대 전자정보통신공학부 부교수

^{***}정회원, 국민대 전자정보통신공학부 교수

접수일자 : 2005. 10. 14 1차 심사 : 2006. 1. 19

심사완료 : 2006. 2. 3

상당히 크다. 때문에 이러한 문제를 해결하기 위해, LC 공진기술이 제안되었고 널리 사용되어왔다. 하지만 스위치의 Turn on 저항성분, PCB pattern의 기생 저항성분, 다이오드의 Turn on 전압 및 다이오드 도통 저항 성분 등에 의한 손실은 존재하며, 이러한 기생성분들이 LC 공진 경로에 존재하므로 완벽한 ZVS(Zero voltage switching)을 얻지는 못한다.

또한 플라즈마 디스플레이 패널은 발광효율(lm/W)이 낮은 단점이 있어, 발광 효율 높이기 위해 Xe 가스 함량을 높이고 Long-gap discharge의 패널구조를 띄는 추세를 보인다. 이에 따라 필요한 Sustain 전압은 점점 상승하고 있어서, 높은 전류와 높아지는 내압을 견디는 스위치 소자의 선택은 점점 어려워지며 소자의 단가 또한 상승한다^[5,6].

다음의 그림 1은 전 구간 Multi-level PDP 전 구간 회로도 및 Panel X·Y전극의 전압 파형도를 나타내며, 그림 2는 Multi-level을 사용한 PDP Sustain 구동 회로의 (a) 회로도와 (b) 각부 동작 파형도를 나타낸다.

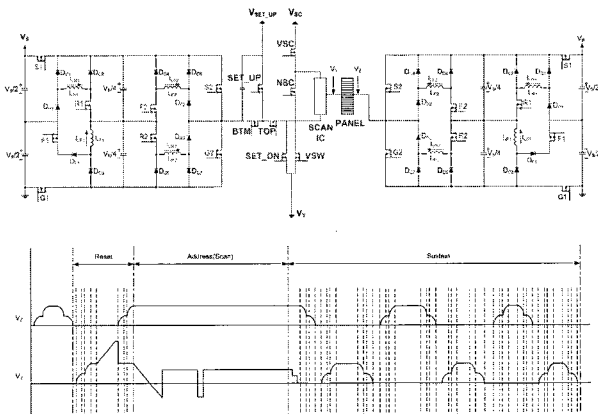


그림 1 Multi-level PDP 전구간 회로도 및 Panel X·Y 전극의 전압 파형도

Fig. 1 Block diagram of the Multi-level PDP driver circuit and voltage waveforms of the X and Y electrodes

구간별 동작은 다음과 같다^[10].

T_0-T_1 : 스위치 G_2 가 차단되고 R_2 가 도통하여, $G_1-C_4-R_2-L_{R2}-D_{R2}-C_p$ (panel)의 전류 path가 형성된다. 인덕터 L_{R2} 와 패널간의 직렬공진현상이 발생하고, 패널 전압 및 전류는 다음과 같다.

$$v_p(t) = \frac{V_s}{4} (1 - e^{-\zeta w_n t} \cos w_d t - \frac{\zeta e^{-\zeta w_n t}}{\sqrt{1-\zeta^2}} \sin w_d t) \quad (1)$$

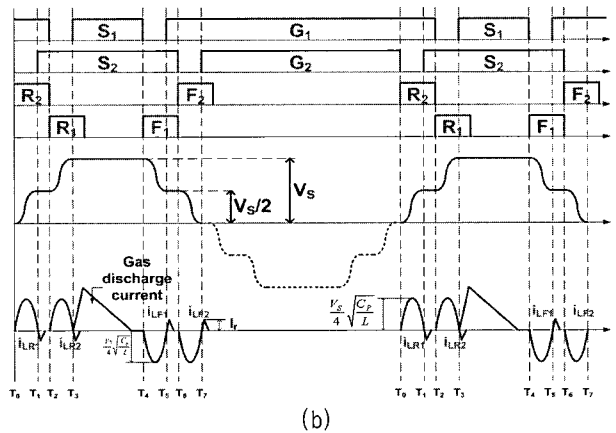
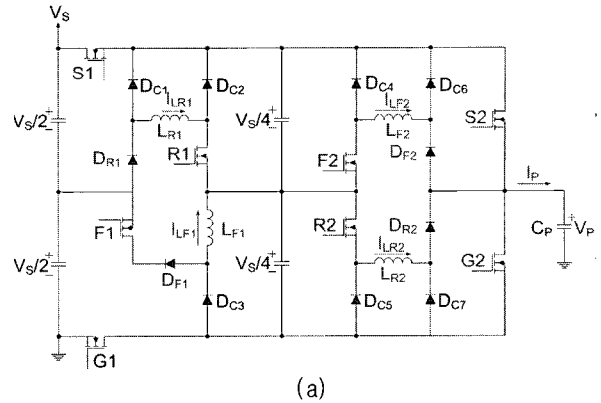


그림 2 (a) Multi-level PDP Sustain 구동 회로의 회로도 (b) Multi-level PDP Sustain 구동 회로의 주요 파형도

Fig. 2 (a) Equivalent circuit diagram of the Multi-level PDP sustain circuit during a "sustain period" (b) Key voltage and current waveforms of the Multi-level PDP sustain circuit

$$i_p(t) = \frac{V_s e^{-\zeta w_n t}}{4L w_d} \sin w_d t \quad (2)$$

이 구간동안 패널 전압은 0에서 $V_s/2$ 까지 상승한다.

$$\text{여기에서 } w_n = \frac{1}{\sqrt{LC_p}}, \quad \zeta = R_{eq} \sqrt{\frac{C_p}{L}},$$

$w_d = w_n \sqrt{1-\zeta^2}$, $L = L_{R1} = L_{R2} = L_{F1} = L_{F2}$ 가 된다.

T_1-T_2 : 스위치 S_2 가 도통하여, $G_1-C_4-C_3-S_2-C_p$ 의 전류 Path 가 형성되어 패널 전압은 $V_s/2$ 를 유지한다.

T₂-T₃ : 스위치 G₁ 이 차단되고 R₁ 이 도통하여, V_S/2-R₁-L_{R1}-D_{R1}-C₃-S₂-C_P 의 전류 Path 가 형성되어 인덕터 L_{R1} 과 패널의 직렬 공진현상이 발생하고 패널 전압 및 전류는 다음 식으로 나타난다.

$$v_p(t) = \frac{3V_s}{4} (1 - e^{-\zeta w_d t} \cos w_d t - \frac{\zeta e^{-\zeta w_d t}}{\sqrt{1-\zeta^2}} \sin w_d t) \quad (3)$$

$$i_p(t) = \frac{V_s e^{-\zeta w_d t}}{4L w_d} \sin w_d t \quad (4)$$

이 구간동안 패널 전압은 V_S/2에서 V_S 까지 상승한다.

T₃-T₄ : 스위치 S₁ 이 도통하여, S₁-S₂-C_P 의 전류 Path 가 형성되고 이때의 패널 전압은 V_S 전압을 유지한다.

T₄-T₅ : 스위치 S₁ 가 차단되고, 스위치 F₁ 이 도통하여, S₂-C₃-D_{F1}-L_{F1}-F₁-V_S/2 의 전류 Path 가 형성되어 인덕터 L_{F1} 과 패널의 직렬공진현상이 발생되고 패널 전압 및 전류는 다음 식으로 나타난다.

$$v_p(t) = \frac{3V_s}{4} (1 + e^{-\zeta w_d t} \cos w_d t + \frac{\zeta e^{-\zeta w_d t}}{\sqrt{1-\zeta^2}} \sin w_d t) \quad (5)$$

$$i_p(t) = -\frac{V_s e^{-\zeta w_d t}}{4L w_d} \sin w_d t \quad (6)$$

이 구간동안 패널 전압은 V_S 에서 V_S/2 까지 하강한다.

T₅-T₆ : 스위치 G₁ 이 도통하여 G₁-C₄-C₃-S₂-C_P 의 전류 Path 가 형성되어 패널 전압은 V_S/2 를 유지한다.

T₆-T₇ : 스위치 F₂ 가 도통하고 S₂ 가 차단된다. C_P-D_{F2}-L_{F2}-F₂-C₄-G₁ 의 전류 Path 가 형성되어 인덕터 L_{F2} 와 패널간의 직렬공진현상이 발생되고 패널의 전압 및 전류는 다음 식으로 나타난다.

$$v_p(t) = \frac{3V_s}{4} (1 - e^{-\zeta w_d t} \cos w_d t - \frac{\zeta e^{-\zeta w_d t}}{\sqrt{1-\zeta^2}} \sin w_d t) \quad (7)$$

$$i_p(t) = \frac{V_s e^{-\zeta w_d t}}{4L w_d} \sin w_d t \quad (8)$$

T₇-T₈ : 스위치 G₂ 가 도통하여, CP-G₂-G₁ 의 전류 Path 가 형성되고 이때 패널 전압은 0 으로 유지한다.

이 회로의 모든 스위치의 내압은 Webber type 회로에 비해 절반의 내압으로 동작한다^[34]. Sustain 전압 증가에 따른 스위치 높은 내압문제는 Multi-level PDP sustain 회로를 통해 해결되나, 스위치는 2배로 많아지는 단점이 있다. 또한 High-side MOSFETs의 구동을 위해 간단한 구조의 Boot-strap 회로를 사용하기 위해서는 Boot-strap capacitor의 주기적인 충전이 필요하게 되는데, 스위치 R1 과 S1 의 경우 Boot-strap capacitor의 충전 Path 가 형성되지 않기 때문에 주기적인 충전을 위해서는 별도의 회로가 필요하거나 Floating 전원이 필요하게 된다. 또 다른 방법으로는 펄스 트랜스포머를 이용한 Gate Drive 방식이 있지만 이는 Boot-strap 회로에 비해 복잡하고 집적화에 어려우므로 원가 절감에 부적합하다.

본 논문에서는 제안된 Multi-level PDP Sustain 회로의 High-side MOSFETs의 구동을 위해 Charge Pumping 방식을 적용한 Boot-strap chain 형태의 Gate drive 회로를 제안한다.

2. 제안된 Gate Driver

2.1 동작 원리

그림 3은 제안된 Boot-strap chain을 적용한 Multi-level 구동회로이다. G₁ 스위치를 제외한 모든 게이트 신호는 Level-shift 회로를 거쳐 Floating 된 신호로 변환되고, 버퍼단을 통해 증폭되어 각각의 스위치를 구동하게 된다^[9]. 이때 Floating 된 버퍼단 전원공급을(15V_{DC})를 위해 Boot-strap chain 이 필요하다.

각각의 Gate driver의 동작에 대해서 보면 다음과 같다.

G₁ 스위치

전류 Path 는 +15V-D_{G11}-C_{G11}-Gnd 와 같이 형성되어 C_{G11}을 충전한다.

G₂ 스위치

그림 2(b) 의 T₀-T₂, T₅-T₀ 구간동안 전류 Path 는 +15V-D_{G21}-C_{G21}-G₁-Gnd 와 같이 형성되어 Boot-strap capacitor C_{G21}을 충전시킨다.

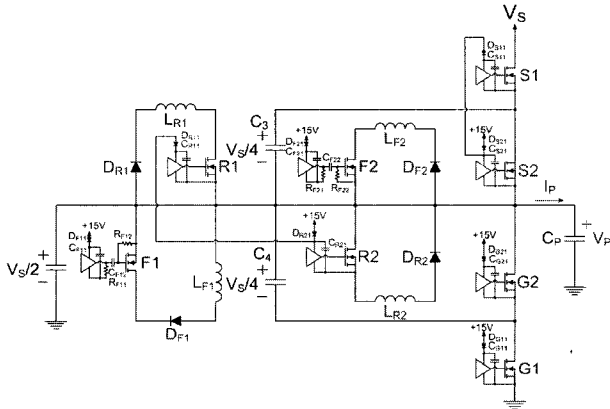


그림 3 제안된 Boot-strap chain을 적용한 Multi-level 구동회로

Fig. 3 Circuit diagram of the Multi-level PDP sustain circuit with the gate driver based on the proposed boot-strap chain

S₂ 스위치

그림 2(b)의 T₇-T₀ 구간에 +15V-D_{S21}-C_{S21}-G₂-G₁-Gnd와 같이 전류 경로가 형성되어 Boot-strap capacitor C_{S21}을 충전시킨다.

R₂ 스위치

그림 2(b)의 T₇-T₀ 구간에 +15V-D_{R21}-C_{R21}-L_{R2}-D_{R2}-G₂-G₁-Gnd와 같이 전류 경로가 형성되어 Boot-strap capacitor C_{R21}을 충전시킨다.

F₁ 스위치

F₁ 스위치가 Off 되어있는 구간 T₆-T₀, T₀-T₄ 구간 동안 전류 Path는 V_S/2-R_{F12}-C_{F12}-Gnd와 같이 형성되어 C_{F12}에 V_S/2 전압이 충전이 되고, C_{F12}는 모든 구간에서 +15V의 전압이 충전되어 있다. F₁에 High 입력이 들어오면 Gate drive IC 출력단의 NMOS가 On이 되어 F₁의 Gate에는 V(C_{F11})+V(C_{F12})인 15+V_S/2의 전압이 인가되고, F₁의 Source 전압은 V_S/2가 되어 스위치 F₁이 On이 된다.

F₂ 스위치

다음의 그림 4(a)는 F₂의 Boot-strap capacitor(C_{F22})의 전압을 (b)는 C_{F21}의 전압을 충전하는 동작을 설명하기 위한 그림이다. F₂ 스위치가 Off인 구간 T₅-T₆ 동안 전류 Path는 R_{F21}-C_{F22}-R_{F22}-V(C₄)와 같이 형성되어 C_{F22}에 V(C₄) 전압인 V_S/4가 충전되고 C_{F21}에는 T₅-T₀, T₀-T₂ 구간동안 +15V로 충전되어 F₂에

High 입력이 들어오면 F₂의 Source 전압 대비 F₂의 Gate 전압은 +15V로서 F₂ 스위치는 On이 된다.

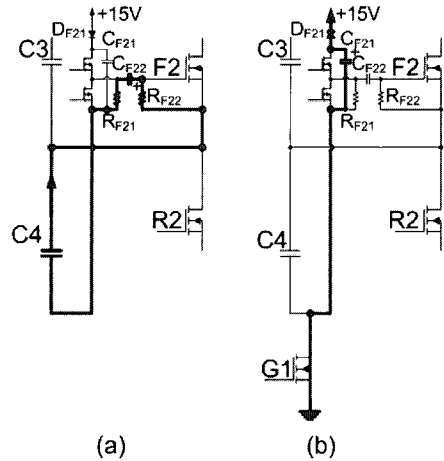


그림 4 F₂의 Boot-strap chain 동작

(a) CF₂₂ 충전 모드 (b) CF₂₁ 충전 모드

Fig. 4 The Boot-strap chain operation of the switch F₂ (a) Charging mode of CF₂₂ (b) Charging mode of CF₂₁

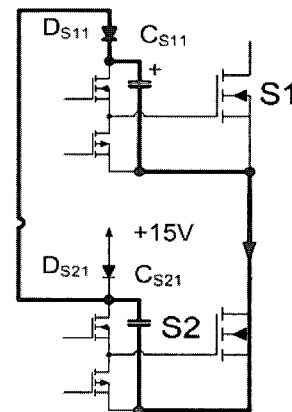


그림 5 S₁의 Boot-strap chain 동작

Fig. 5 The Boot-strap chain operation of the switch S₁

S₁ 스위치

그림 5는 S₁의 Boot-strap capacitor(C_{S11})의 전압을 충전하는 동작을 설명하기 위한 그림이다. 동작을 살펴보면 S₂의 Boot-strap capacitor(C_{S21})에 인가되는 전압을 S₂ 스위치의 On 시간동안 C_{S11}에 충전하는데, 이때의 전류 Path는 C_{S21}-D_{S11}-C_{S11}-S₂와 같이 형성되어 S₂ 스위치의 Boot-strap capacitor(C_{S21})를 충전한다.

R₁ 스위치

그림 6은 R_1 의 Boot-strap capacitor(C_{R11})의 전압을 충전하는 동작을 설명하기 위한 그림이다. 동작을 살펴보면 R_2 의 Boot-strap capacitor(C_{R21})에 인가되는 전압을 R_2 스위치의 On 시간동안 C_{F11} 에 충전하는데, 이때의 전류 Path는 $C_{R21}-D_{R11}-C_{R11}-L_{R1}-D_{R1}-R_2$ 와 같이 형성되어 R_2 스위치의 Boot-strap capacitor(C_{R21})를 충전한다.

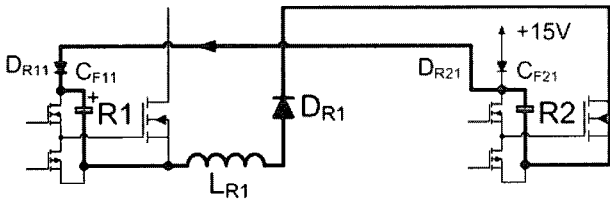


그림 6 R1의 Boot-strap chain 동작
Fig. 6 The Boot-strap chain operation of the switch R1

2.2 제안 Gate drive 회로(S1) 해석

해석을 위해 MOSFETs는 도통 상태에서 등가 도통 저항 r_{ds} 로, 다이오드는 도통 시 도통전압 V_D 와 도통 저항 r_d 로 나타내었다. 각 해석은 4가지 동작 모드로 나뉘어 해석되며 모드별 등가회로는 그림 7과 같고, 그림 8은 정상상태에서의 주요 전압파형이다.

Mode 1 : G_1 과 G_2 가 동시에 도통되는 시점인 T_7 에 발생하며 이때의 C_{S21} 전압은

$$V_{CS21}(t) = V_{CS21}(0) + (15 - V_D - V_{CS21}(0)) \times \left(1 - e^{-t/R_{EO1}C_{S21}} \right) \quad (9)$$

가 된다.

Mode 2 : 스위치 S_2 가 도통되는 시점인 T_1 에서 발생하며 이때의 C_{S21} 전압은

$$V_{CS21}(t) = V_{CS21}(t_1) - \frac{C_G}{C_{S21} + C_G} \times V_{CS21}(t_1) \times \left(1 - e^{-t(C_{S21} + C_G)/R_{GS2}C_G} \right) \quad (10)$$

가 된다.

Mode 3 : 스위치 S_2 가 도통이 된 시점 t_2 에서 발생하며 이때의 C_{S21} 과 C_{S11} 의 전압은

$$V_{CS21}(t) = V_{CS21}(t_2) + (V_{CS21}(t_2) - V_{CS21}(t_2)) \times \frac{C_{S11}}{C_{S11} + C_{S21}} \left(1 - e^{-t(C_{S11} + C_{S21})/R_{GS1}C_G} \right) \quad (11)$$

$$V_{CS11}(t) = V_{CS11}(t_2) + (V_{CS11}(t_2) - V_{CS11}(t_2)) \times \frac{C_{S21}}{C_{S11} + C_{S21}} \left(1 - e^{-t(C_{S11} + C_{S21})/R_{GS2}C_G} \right) \quad (12)$$

가 된다.

Mode 4 : 스위치 S_1 이 도통이 되는 시점인 T_3 에서 발생하며 이때의 C_{S11} 전압은

$$V_{CS11}(t) = V_{CS11}(t_3) - \frac{C_G}{C_{S11} + C_G} \times V_{CS11}(t_3) \times \left(1 - e^{-t(C_{S11} + C_G)/R_{GS1}C_G} \right) \quad (13)$$

가 된다.

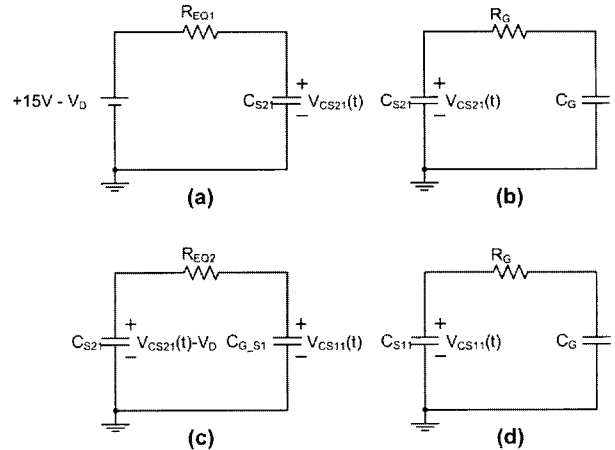


그림 7 S1의 Boot-strap chain 동작의 모드별 회로
(a) 모드 1 (b) 모드 2
(c) 모드 3 (d) 모드 4

Fig. 7 Equivalent circuit of the Boot-strap chain circuit during a switching period
(a) Mode 1 (b) Mode 2
(c) Mode 3 (d) Mode 4

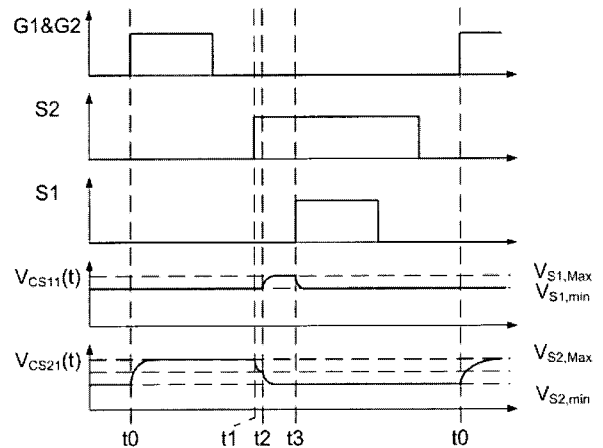


그림 8 S1과 S2의 Boot-strap capacitor의 동작 전압 파형도

Fig. 8 The voltage waveforms of the Boot-strap capacitors of CS1 and CS2

상기의 식 (9)~(13)의 식을 통해 C_{S11} 의 정상상태 전압의 값은

$$V_{S2,max} = 15 - V_D \tag{14}$$

$$V_{S1,max} = \left\{ (15 - V_D) \times \left(\frac{C_{S21}}{C_{S21} + C_G} \right) - V_D \right\} \times \left(\frac{C_{S11} \parallel C_{S21} \parallel C_G}{C_{S11} \parallel C_G} \right) \tag{15}$$

$$\Delta V_{S1} = \left\{ (15 - V_D) \times \left(\frac{C_{S21}}{C_{S21} + C_G} \right) - V_D \right\} \times \left(\frac{C_{S11} \parallel C_{S21} \parallel C_G}{C_{S11}} \right) \tag{16}$$

가 된다.

상기 식 (14)~(16)에서 S1의 Boot-strap capacitor 전압(V_{S1})의 최대 값을 얻기 위해서는 낮은 도통 전압(0.1V~0.3V)를 갖는 쇼트키 다이오드를 사용하는 것이 좋고, 안정적인 스위치 구동을 위해서는 Boot-strap capacitor 전압의 Ripple이 작아야 하므로, CS11 > CS21 > CG와 같은 조건을 얻는다.

3. 실험 결과

다음의 그림 9는 Multi-level PDP 구동회로에 제안 Gate Driver를 구현한 Y-Board와 Z-Board를 나타내고 그림 10은 전구간 Y·Z 전극의 전압 파형도와 Sustain구간의 패널 전압 및 인덕터 전류 파형도를 나타낸다. 그림 10에서 I_{LY}와 I _{LZ}는 각 Y·Z Board의 인덕터 전류로서 LR1, LR2, LF1, LF2의 전류를 나타내며, 전류의 최대치는 이론값과 일치함을 알 수 있다 [7,8]

그림 11과 12는 Sustain 구간 시 동작 스위치의 Gate-Source 전압 파형이다. Gate driver에 사용된 소자 값은 Gate 저항은 3Ω, Boot-strap capacitor는 CS11 > CS21의 조건만족을 위해 세라믹 캐패시터, 100nF와 1μF을 각각 사용하였다. 사용된 다이오드는 EC11FS4 (1.57A/440V), 스위치는 FDP2532 이고, Gate Drive IC는 IR2110을 사용하였다.

식 (15)와 (16)에 의해 S1의 Boot-strap capacitor의 전압 최대치 V_{S1,max} = 12.8V 이고 Ripple 전압의 크기는 ΔV_{S1,max} = 75mV의 계산 값을 갖는데, 그림 11의 결과에서 보듯이 S1의 Gate-Source 양단 전압의 최대 값이 계산 값과 근사한 것을 볼 수 있다. (여기에서 MOSFETs의 Gate capacitance는 약 5.9nF으로 datasheet의 CISS의 값을 사용하였다.)

4. 결 론

본 논문에서는 제안된 PDP Sustain 회로 스위치 구

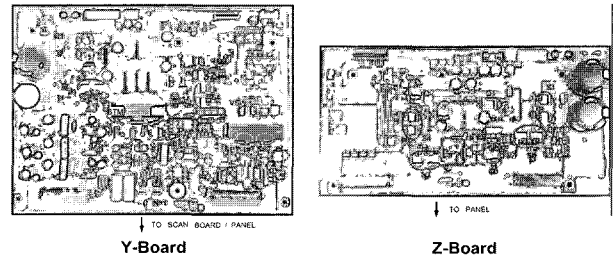


그림 9 실험을 위한 Y-Board 와 Z-Board
Fig. 9 Prototype Board (Y-Board and Z-Board)

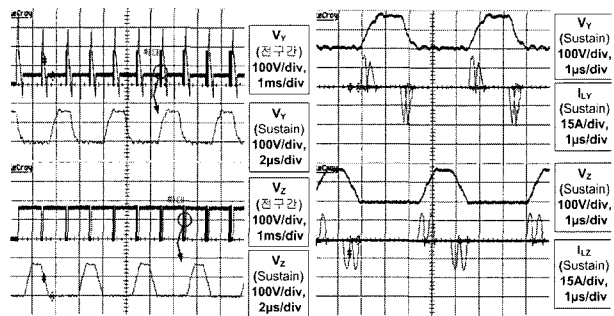


그림 10 ADS 기법을 적용한 패널 전극의 전압·전류 파형도
Fig. 10 The Voltage and current waveforms of the PDF electrodes in ADS driving method

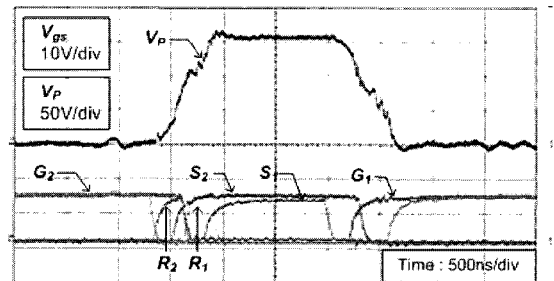


그림 11 스위치 전압 실험 파형 (G2, G1, S2, S1, R1, R2)
Fig. 11 Experimental waveforms of sustain switches (G2, G1, S2, S1, R1, R2)

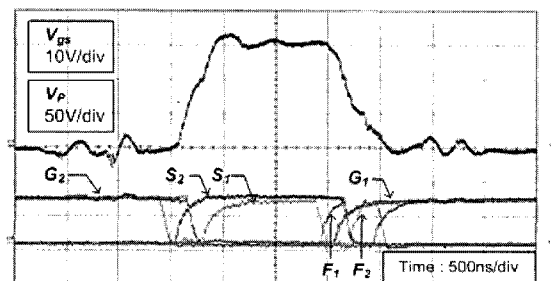


그림 12 스위치 전압 실험 파형 (G2, G1, S2, S1, F1, F2)
Fig. 12 Experimental waveforms of sustain switches (G2, G1, S2, S1, F1, F2)

동을 위한 Boot-strap chain 방식의 Gate driver를 제안하였다. Floating 전원을 사용하는 Gate driver의 경우 Flyback converter와 같은 전원 회로가 필요하게 되므로 소자수가 많고, PCB 공간 차지 면적이 커지게 된다. Pulse transformer의 사용을 통한 Gate drive 회로는 Floating 전원을 사용하는 회로에 비해 소자 수와 공간 차지 면적은 줄어들지만 다소 복잡하며 집적화에 어려움이 있다. Boot-strap chain 방식의 제안 Gate driver는 다른 방식에 비해 소자수가 매우 적으며, 복잡해질 수 있는 Gate driver를 보다 간단하게 구현할 수 있으므로, Multi-level PDP 구동회로의 원가 절감 및 PCB 공간 절약에 도움을 준다.

참 고 문 헌

[1] J. Castellano, "Market Trends for Display in Consumer Television", 2000 SID Symposium, pp. 407-409.

[2] Sang-Kyoo Han, Jun-Young Lee, Gun-Woo Moon, Myung-Joong Youn, Chang-Bae Park, Nam-Sung Jung, and Jung-Pil Park "A New High-Efficient Energy-Recovery Circuit for Plasma Display Panel", 전력전자학회 논문지 제 7권 제 2호 2002년 4월 pp.121-128.

[3] L.F. Webber, "Plasma Display Device Challenges," Asia Display '98 Digest, pp.15-271.

[4] L.F.Webber and M.B.Wood, "Energy Recovery Sustain Circuit for the AC Plasma Display", 1987 SID Int. Symposium, New Orleans, pp. 92-95.

[5] Hyun Kim, et al, "Long Gap discharge characteristics based on control of voltage distribution among three electrodes for positive column AC-PDPs", 2003 SID digest, pp. 40- 43.

[6] Y.Hashimoto, et. al. "Invited paper:High-Luminance and highly muninous-efficient AC-PDP with DelTA cell structure", 2001 SID Digest, pp.1328-1331.

[7] Chung-Wook Roh, Member, IEEE , Sung-Soo Hong, Seokchin-Sagong, "High performance energy recovery sustain circuit for plasma display panel with half the low device voltage ratings" ISCE 2005 p.456~p.461.

[8] Chung-Wook Roh, Member, IEEE, Hye-Jeong Kim, Sang-Hoon Lee, and Myung-Joong Youn, Senior Member, IEEE.
"Multilevel Voltage Wave-Shaping Display Driver for AC Plasma Display Panel Application" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 6, JUNE 2003 p.935~p.947.

[9] Balogh, Laszlo. "Design and Application Guide for High Speed MOSFET Gate Drive Circuits," Power

Supply Design Seminar SEM-1400, Topic 2. Texas Instruments Literature No. SLUP169.

[10] 김중수, 노정욱, 홍성수, 사공석진, "Multi-level을 사용한 PDP 구동회로에서 Timing 변화에 따른 특성 변화에 관한 연구", 전력전자학회 논문지, 제 10권 제 6호, pp.560~568, 2005.

[11] Seong-Wook Choi, Sang-Kyoo Han and Gun-Woo Moon, "High Frequency and High Luminance AC-PDP Sustaining Driver", Journal of Power Electronics, vol.6, No.1, pp.73~82, January 2006.

[12] chung-wook Roh, "Novel plasma display driver with low voltage/current device stresses", IEEE Trans.on. Con. Electron, vol.49, No.4, pp.1360~1366, November 2003.

저 자 소 개



남원석(南沅錫)

1977년 4월 11일생. 2004년 국민대 공과 전자정보통신공학부 졸업. 2004년~현재 동 대학원 전자공학과 석사과정.



홍성수(洪成洙)

1961년 1월 25일생. 1984년 서울대 전기 공학과 졸업(학사). 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공박). 1984년~1999년 현대전자(주) 정보통신 연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 부교수.



사공석진(司空石鎭)

1951년 3월 23일생. 1976년 고려대 전자 공학과 졸업(학사). 1981년 동 대학원 전자공학과 졸업(석사). 1985년 동 대학원 전자공학과 졸업(공박). 1977년~1981년 모토로라코리아 응용전자연구실 선임연구원. 1982년~현재 국민대 전자정보통신공학부 교수.



노정욱(盧政煜)

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동 대학원 전기 및 전자 공학과 졸업(석사). 2000년 동 대학원 전기 및 전자 공학과 졸업(공박). 2000년~2004년 삼성전자(주) 영상 디스플레이 사업부 책임연구원. 2004년~현재 국민대 전자정보통신공학부 조교수.