

Super Junction LDMOS with N-Buffer Layer

朴 日 用[†]
(Il-Yong Park)

Abstract - A CMOS compatible Super Junction LDMOS (SJ-LDMOS) structure, which reduces substrate-assisted depletion effects, is reported. The proposed structure uses a N-buffer layer between the pillars and P-substrate to achieve global charge balance between the pillars, the N-buffer layer and the P-substrate. The new structure features high breakdown voltage, low on-resistance, and reduced sensitivity to doping imbalance in the pillars.

Key Words : N-Buffer Layer, LDMOS, Super Junction

1. 서 론

최근 들어 전력 반도체 소자의 항복전압(breakdown voltage)과 온 저항(on resistance) 간의 trade-off 특성을 획기적으로 개선하기 위하여 수퍼접합(super junction)을 이용한 전력 MOSFET이 제안되었다[1-4]. 수직형 반도체 소자의 경우, 이미 수퍼접합을 이용한 제품이 상용화 된 바 있다[5,6]. 그러나 수평형 수퍼접합 소자에 대한 연구는 아직까지 기초적인 수준이다. 그림 1은 P형 기판 위에 형성된 일반적인 수퍼접합 LDMOS의 구조이다. 수퍼접합 LDMOS는 종래의 RESURF LDMOS에서 높은 전압을 지탱하기 위해 사용되는 드리프트(drift) 영역 대신 고농도의 N형 또는 P형의 반도체 영역(이하 pillar)이 교대로 배열된 수퍼접합 영역이 대치된 구조이다. 이론적으로 수퍼접합 구조는 N-pillar와 P-pillar 사이의 전하보상(charge compensation)으로 인해 높은 항복전압을 얻을 수 있으며, 고농도로 도핑(doping)되어 있기 때문에 온 저항도 낮출 수 있다[4]. 그러나 수퍼접합 LDMOS를 P-기판 위에 형성할 경우, 기판에 의한 공핍효과(substrate-assisted depletion effect)에 의해 항복전압이 급격히 감소하는 현상이 나타난다. LDMOS의 오프 상태(off-state)에서 N-pillar는 주위의 P-pillar에 의한 공핍(depletion) 외에 P-기판으로부터 공핍이 일어나기 때문에 pillar 사이의 전하불균형(charge imbalance)이 야기되고, 이는 매우 급격한 항복전압의 감소를 가져온다. 기판에 의한 공핍 효과를 제거하기 위해 사파이어(sapphire) 기판을 이용한 수퍼접합 LDMOS[7]이 제안되었으나, 사파이어 기판을 이용할 경우, 기판의 가격이 비싸고, SOS (silicon-on-sapphire) 공정은 기존의 주류인 CMOS 공정이 아닌 단

점이 있다.

본 논문에서는 기판에 의한 공핍효과를 제거하기 위해 pillar와 기판 사이에 N형 버퍼(buffer)층을 사용한 새로운 구조의 수퍼접합 LDMOS를 제안한다. 제안된 구조는 pillar의 높이가 낮아 기존의 CMOS 공정을 이용한 구현이 가능하다.

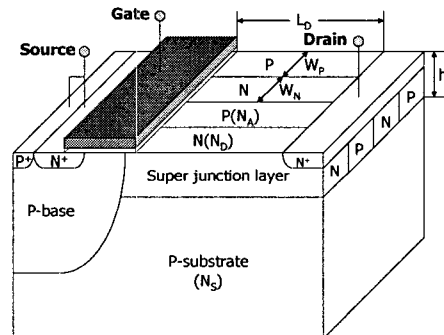


그림 1 일반적인 수퍼접합 LDMOS의 3차원 구조
Fig. 1 Three-dimensional view of the conventional super junction LDMOS

2. 소자의 구조 및 동작원리

그림 2는 본 논문에서 제안하는 N형 버퍼층을 갖는 수퍼접합 LDMOS의 구조이다. 이 구조의 주요점은 pillar와 P-기판 사이에 N 버퍼층을 사용하는 데 있다. 오프 상태에서 드레인 전압을 증가시키면, N-pillar와 P-pillar 사이에서 공핍이 일어날 뿐 아니라 P-pillar와 N 버퍼 사이에도 공핍이 일어난다. P-pillar와 N 버퍼층 사이에 일어나는 공핍으로 인해 P-pillar 내에 전하밀도는 감소하게 된다. N 버퍼층이 완전히 공핍되면 N-pillar는 P-기판에 의한 영향을 받게 되고, P-기판에 의한 공핍효과로 인해 N-pillar의 전하밀도가 감소하게 된다. 기존의 수퍼 접합 LDMOS의 경우에는 P-기

[†] 교신저자, 學生會員 : 토론토대 電氣및컴퓨터工學科 Post-doc.

E-mail : iypark71@vrg.utoronto.ca

接受日字 : 2005年 11月 15日

最終完了 : 2005年 12月 26日

판에 의한 영향으로 N-pillar의 전하밀도의 감소만 있으며, 이것이 항복전압 감소의 주요인이다. 그러나 제안된 구조는 N 버퍼층을 이용하여 P-pillar의 전하밀도 감소를 조장하여 N-pillar와 P-pillar 사이의 전하밀도의 균형을 맞추고, 항복 전압을 향상시킬 수 있다.

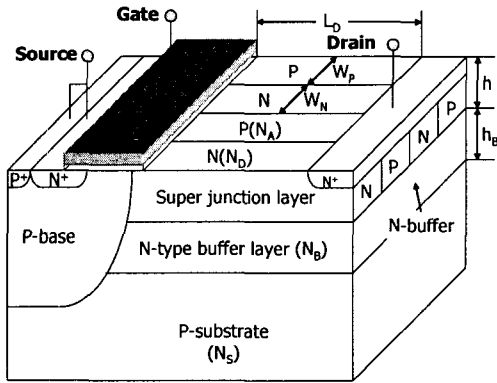


그림 2 버퍼층을 갖는 슈퍼접합 LDMOS의 3차원 구조
 Fig. 2 Three-dimensional view of the buffered super junction LDMOS

제안된 구조에서 N 버퍼층의 농도와 두께는 중요 설계 변수이다. N 버퍼층의 완전공핍을 이루기 위해서는 두께와 농도가 적당하게 조절되어야 한다. 만약 N 버퍼층의 농도가 너무 낮으면, 낮은 드레인 전압에서 N 버퍼층이 완전히 공핍되고, P-pillar 내부의 전하밀도의 감소량이 적어져서 N 버퍼층이 없는 경우와 비슷해진다. 또한 N 버퍼층의 농도가 너무 높으면, 드레인 전압을 증가시켜도 N 버퍼층이 완전히 공핍되지 않기 때문에 N-pillar와 P-기판 사이에 존재하던 공핍현상이 없어 pillar 사이의 전하불균형을 초래한다. 따라서 pillar, N 버퍼층, P-기판 사이의 전하밀도가 균형을 이룰 수 있도록 N 버퍼층을 설계해야 한다.

표 1 소자의 규격
 Table 1 Device specifications

| 변수 | 버퍼층을 갖는 슈퍼접합 소자 | 기존의 슈퍼접합 소자 |
|-------------------------|---|--------------------------------------|
| Drift Length, L_D | $5.0 \mu\text{m}$ | $5.0 \mu\text{m}$ |
| Poly Gate Length, L_G | $1.5 \mu\text{m}$ | $1.5 \mu\text{m}$ |
| Gate Oxide Thickness | 400 \AA | 400 \AA |
| N-pillar 도핑, N_D | $5.0 \times 10^{16} \text{ cm}^{-3}$ | $5.0 \times 10^{16} \text{ cm}^{-3}$ |
| P-pillar 도핑, N_A | $5.0 \times 10^{16} \text{ cm}^{-3}$ | $5.0 \times 10^{16} \text{ cm}^{-3}$ |
| Pillar 폭, W_N, W_P | $1.0 \mu\text{m}$ | $1.0 \mu\text{m}$ |
| Pillar 높이, h | $1.0 \mu\text{m}$ | $1.0 \mu\text{m}$ |
| N-버퍼 두께, h_B | $1.0 \mu\text{m}$ | - |
| N-버퍼 농도, N_B | $1 \sim 7 \times 10^{15} \text{ cm}^{-3}$ | - |
| 기판 농도, N_S | $1.0 \times 10^{14} \text{ cm}^{-3}$ | $1.0 \times 10^{14} \text{ cm}^{-3}$ |

3. 시뮬레이션 결과 및 토의

N 버퍼층을 갖는 슈퍼접합 LDMOS의 성능을 검증하기 위해 N 버퍼층을 갖는 슈퍼접합 LDMOS와 기존의 구조에 대하여 3차원 소자 시뮬레이터인 ISE-DESSIS를 이용하여 시뮬레이션을 수행하고 그 특성을 비교했다. 자세한 소자규격을 표 1에 요약했다. 그림 3은 제안된 소자의 N 버퍼층 농도에 따른 항복전압과 온 저항을 나타낸 것이다. N 버퍼층의 두께는 $1 \mu\text{m}$ 이고, pillar의 농도는 $5.0 \times 10^{16} \text{ cm}^{-3}$ 이다. N 버퍼층의 농도가 증가함에 따라 항복전압은 선형적으로 증가하다가 $3.0 \sim 4.0 \times 10^{15} \text{ cm}^{-3}$ 일 때 최고이며, N 버퍼층의 농도가 $4.0 \times 10^{15} \text{ cm}^{-3}$ 이상에서 선형적으로 감소한다. 따라서 $N_B = 3.0 \sim 4.0 \times 10^{15} \text{ cm}^{-3}$ 에서 pillar, N 버퍼층, P-기판 사이에 전하밀도의 균형이 이루어진다. Pillar의 도핑농도가 N 버퍼층의 도핑농도에 비해 10배가량 높기 때문에 온 저항은 주로 pillar의 도핑에 의해서 결정되며, N 버퍼층의 농도에 대한 의존도는 매우 적다. 그림 4는 N 버퍼층의 농도가 $4.0 \times 10^{15} \text{ cm}^{-3}$ 인 경우에 대하여 소자의 항복 상태에서의 전위분포를 나타낸 것으로, 드리프트 영역 전체에 걸쳐서 균일하다. 그림 5는 오프 상태에서의 I-V 특성을 나타낸 것이다. N 버퍼층을 갖는 소자의 항복전압은 115 V로 일반적인 구조의 항복전압이 57 V인 것에 비해 매우 향상되었으며, 이것은 N 버퍼층의 사용으로 인해 기판에 의한 공핍 효과 감소한 결과이다. 그림 5에 삽입된 그래프는 두 소자의 온-상태에서의 I-V 특성을 나타낸 것으로 두 소자의 온 저항이 비슷함을 알 수 있다.

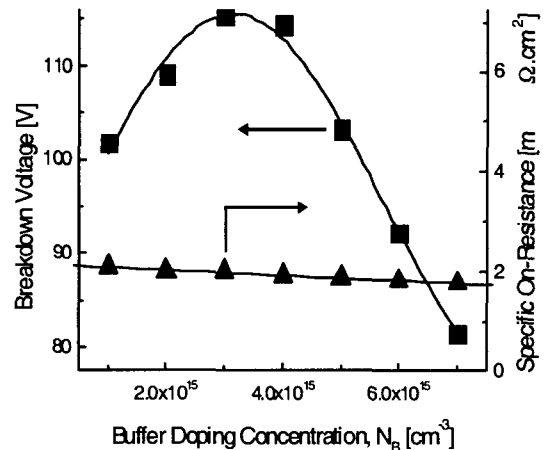


그림 3 버퍼층 농도에 따른 항복전압과 온 저항
 Fig. 3 The breakdown voltage and the specific on-resistance as a function of the buffer doping concentration

일반적으로 슈퍼접합 power MOSFET의 항복전압은 N-pillar와 P-pillar 사이의 전하불균형에 매우 민감하다. 2-D 슈퍼접합 구조에서의 항복전압과 전하불균형의 관계는 Shenoy[8]에 의해 연구되었다. 슈퍼접합 구조에서 최대 항복전압은 pillar 사이의 전하가 완벽히 균형을 이룰 때 얻을 수 있으나, 이것은 실제로 구현하기가 어렵다. 항복전압은 전하불균형이 증가함에 따라 급격하게 감소하며, 이것을 막

기 위해서는 가능한 한 pillar의 도핑 농도를 낮춰야 한다. 그러나 낮은 pillar 도핑 농도는 온 저항을 증가시키게 된다. P-기판 위에 형성된 수평형 슈퍼접합 구조는 pillar의 도핑 균형(doping balance)을 완벽하게 형성한다 해도 기판에 의한 공핍현상으로 인해 전하불균형이 야기되고, 항복전압의 감소가 불가피하다. 그러나 제안된 N 버퍼층을 갖는 슈퍼접합 LDMOS는 pillar와 N 버퍼층 사이의 공핍을 이용하여 전체적인 전하균형을 이룰 수 있다.

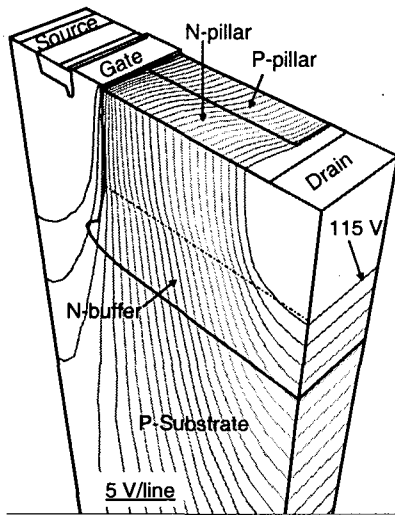


그림 4 버퍼층을 갖는 슈퍼접합 LDMOS의 항복 상태에서의 전위분포

Fig. 4 Equipotential contours of the buffered super junction LDMOS at onset of breakdown

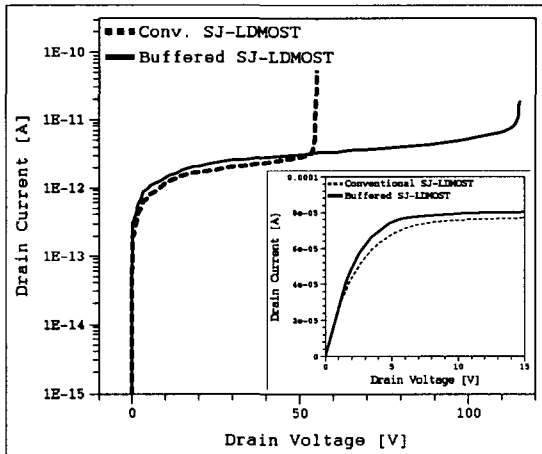


그림 5 버퍼층을 갖는 슈퍼접합 LDMOS와 기존의 슈퍼접합 LDMOS의 오프 상태에서의 I-V 특성 (삽입한 그림은 온 상태에서의 I-V 특성)

Fig. 5 Off-state characteristics of the buffered and the conventional super junction LDMOS (Inset shows on-state characteristics)

그림 6은 pillar의 도핑불균형(doping imbalance)에 따른 항복전압을 N 버퍼층의 농도가 $N_B=1.0 \times 10^{15} \text{ cm}^{-3}$, 4.0×10^{15}

cm^{-3} , $7.0 \times 10^{15} \text{ cm}^{-3}$ 에 대하여 나타낸 것이다. 만약 N 버퍼층의 농도가 $4.0 \times 10^{15} \text{ cm}^{-3}$ 보다 작으면, P-pillar 내부에 존재하는 전하밀도가 N-pillar에 비해 작게 된다. 반대로 N 버퍼층의 농도가 $4.0 \times 10^{15} \text{ cm}^{-3}$ 보다 클 때는 P-pillar와 N 버퍼층 사이의 공핍에 의한 전하밀도의 감소가 커진다. 따라서 최적 버퍼 농도가 아닌 경우, pillar 도핑이 불균형을 이룬 상태에서 항복전압이 최대가 된다.

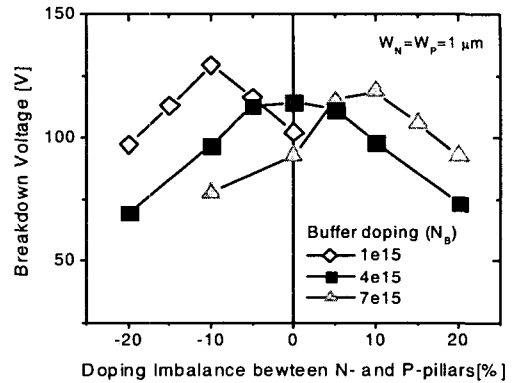


그림 6 Pillar의 도핑불균형에 따른 항복전압

Fig. 6 Breakdown voltage versus doping imbalance for the pillars

그림 7은 기존의 슈퍼접합 LDMOS와 N 버퍼층을 갖는 슈퍼접합 LDMOS의 도핑불균형에 대한 항복전압 특성을 보여주는 그래프이다. 기존의 구조가 도핑불균형이 -10%에서 항복전압이 최대이고, 0%와 -20%에서 항복전압이 1/2로 감소하는 반면, N 버퍼층을 갖는 구조는 기존의 구조에 비해 항복전압의 범위가 두 배이다. 따라서 N 버퍼층을 갖는 슈퍼접합 LDMOS는 기존의 구조에 비해 pillar의 도핑불균형에 대해 덜 민감하다.

슈퍼접합 구조에서 높은 항복전압을 얻기 위해서는 임계 전계(critical electric field)에 이르기 전에 pillar가 완전히 공핍되어야만 하며, 이를 위해서는 pillar의 도핑농도와 폭(width)의 곱은 double RESURF 조건[9]를 따르도록 설계해야 한다. 그러나 N 버퍼층을 갖는 구조에서는 수직 방향의 공핍현상으로 인해 pillar에 존재하는 전하밀도가 감소하기 때문에 사실상 double RESURF 조건에 비해 낮은 도핑농도를 갖는 효과가 있다. 따라서 pillar의 도핑농도를 더 높게 할 수 있고, 결과적으로 온 저항을 더욱 낮추는 장점이 있다. 그림 8은 pillar의 도핑농도에 따른 항복전압과 온 저항을 나타낸 것으로, 이때 N-pillar와 P-pillar의 도핑농도는 같다. Pillar의 도핑농도가 증가할수록 온 저항은 점점 감소하는 반면, 항복전압은 비교적 일정하게 유지되다가 $5.0 \times 10^{16} \text{ cm}^{-3}$ 이상에서 급격하게 감소한다. 높은 pillar 농도에서의 급격한 항복전압의 감소는 pillar가 완전히 공핍되지 않아 N-pillar와 P-pillar사이에 높은 전계가 존재하기 때문이다. 제안된 버퍼층을 갖는 슈퍼접합 LDMOS는 pillar 폭이 $1 \mu\text{m}$ 이므로 double RESURF 조건보다 도핑농도를 두 배 가량 증가시킬 수 있다. 최적화된 슈퍼접합 LDMOS는 N 버퍼층의 농도 및 두께가 각각 $4.0 \times 10^{15} \text{ cm}^{-3}$, $1 \mu\text{m}$, pillar 농도, 높

이 및 폭이 각각 $5.0 \times 10^{16} \text{cm}^{-3}$, $1 \mu\text{m}$, $1 \mu\text{m}$ 일 때, 항복전압이 115V, 온 저항이 $1.9 \text{m}\Omega \cdot \text{cm}^2$ 이다.

참 고 문 헌

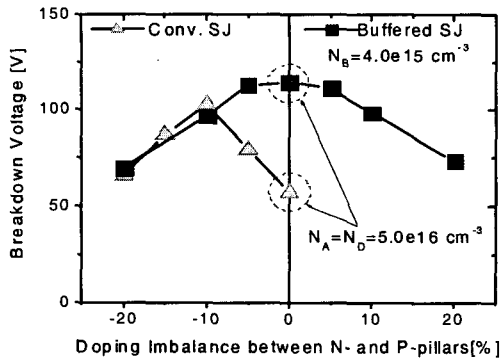


그림 7 Pillar의 도핑불균형에 따른 항복특성 비교
 Fig. 7 Comparison between the buffered and the conventional super junction LDMOS as a function of pillars doping imbalance

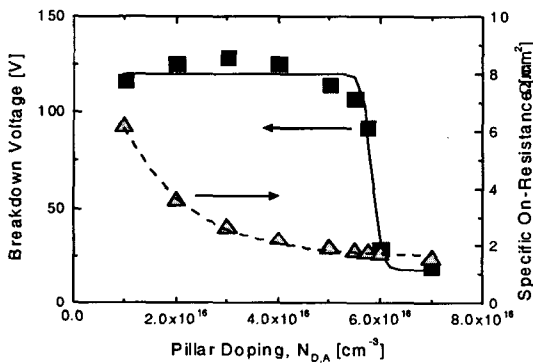


그림 8 Pillar의 도핑농도에 따른 항복전압과 온 저항
 Fig. 8 The breakdown voltage and the specific on-resistance as a function of the pillars doping concentration

3. 결 론

본 논문에서는 N-버퍼층을 슈퍼접합 영역과 P-기판 사이에 사용한 새로운 구조의 슈퍼접합 LDMOS를 제안했다. 제안된 구조는 기판에 의한 공핍효과를 제거하여 높은 항복전압을 얻을 수 있고, N형 및 P형 pillar의 도핑불균형에 의한 항복전압의 민감도를 개선함과 더불어 낮은 온 저항을 유지할 수 있다. 또한 pillar의 높이가 작기 때문에 CMOS 공정과 호환 될 수 있다.

감사의 글

이 논문은 한국과학재단의 해외 Post-doc. 연수지원에 의하여 연구되었음.

- [1] D. J. Coe, "High voltage semiconductor device," U.S. Patent 4754310, 1988.
- [2] X. B. Chen, "Semiconductor power devices with alternating conductivity type high voltage breakdown region," U.S. Patent 5216275, 1993.
- [3] J. Tihanyi, "Power MOSFET," U.S. Patent 5438215, 1995.
- [4] Fujihira, "Theory of semiconductor superjunction devices," J. J. Appl. Phys., Vol. 36, pp. 6254-6262, 1997.
- [5] G. Deboy, M. Marz, J. P. Stengl, H. Strack, J. Tihanyi and H. Weber, "A new generation of high voltage MOSFETs breaks the limit line of silicon," IEDM Tech. Dig., pp. 683-685, 1998.
- [6] L. Lorenz, G. Deboy, A. Knapp, and M. Marz, "COOL-MOSTM - a new milestone in high voltage power MOS," Proc. Int. Symp. Power Semiconductor Devices and ICs(ISPSD), pp. 3-10, 1999.
- [7] S. G. Nassif-Khalil and C. A. T. Salama, "Super junction LDMOST in silicon-on-sapphire technology (SJ-LDMOST)," Proc. Int. Symp. Power Semiconductor Devices and ICs(ISPSD), pp. 81-84, 2002.
- [8] P. M. Shenoy, A. Bhalla, and G. M. Donly, "Analysis of the effect of charge imbalance on the static and dynamic characteristics of the super junction MOSFET," Proc. Int. Symp. Power Semiconductor Devices and ICs(ISPSD), pp. 99-102, 1999.
- [9] J. S. Ajit, D. Kinzer and N. Ranjan, "1200V high-side lateral MOSFET in junction-isolated power IC technology using two field-reduction layers," Proc. Int. Symp. Power Semiconductor Devices and ICs(ISPSD), pp. 230-234, 1993.

저 자 소 개



박 일 용 (朴 日 用)

1971년 12월 1일생. 1995년 아주대 전자공학과 졸업. 2001년 동 대학원 분자과학기술학과 졸업(공학). 2001년~2004년 ETRI 선임연구원 2004년~ 현재 토론토대 Postdoctoral Fellow
 Tel : 1-416-250-5039
 Fax : 1-416-978-1656
 E-mail : iypark71@vrg.utoronto.ca