

# 평면구조 P-MOS DRAM 셀의 커패시터 $V_T$ 이온주입의 최적화

## Optimization of Capacitor Threshold $V_T$ Implantation for Planar P-MOS DRAM Cell

장성근<sup>1,a</sup>, 김윤장<sup>2</sup>

(Sung-Keun Chang<sup>1,a</sup> and Youn-Jang Kim<sup>2</sup>)

### Abstract

We investigated an optimized condition of the capacitor threshold voltage implantation(capacitor  $V_T$  Implant) in planar P-MOS DRAM Cell. Several samples with different condition of the capacitor  $V_T$  Implant were prepared. It appeared that for the capacitor  $V_T$  Implant of  $\text{BF}_2$   $2.0 \times 10^{13} \text{ cm}^{-2}$  15 KeV, refresh time is three times larger than that of the sample, in which capacitor  $V_T$  Implant is in  $\text{BF}_2$   $1.0 \times 10^{13} \text{ cm}^{-2}$  15 KeV. Raphael simulation revealed that the lowed maximum electric field and lowed minimum depletion capacitance ( $C_{\text{MIN}}$ ) under the capacitor resulted in well refresh characteristics.

**Key Words** : P-MOS DRAM cell, Planar P-MOS, Refresh time, Capacitor  $V_T$  implant, Raphael simulation

### 1. 서론

반도체 집적 기술이 고도로 발전해 온 결과 여러 가지 SoC 응용에 있어 논리회로(logic circuits)에 DRAM(Dynamic Random Access Memory)을 삽입하는 임베디드 메모리(embedded memory)에 대한 관심이 증대되고 있다.

임베디드 메모리는 동작속도를 증가시키고, 소비전력과 칩의 면적을 작게할 수 있다는 SoC의 이점을 그대로 가지고 있다. 그러나 로직공정에 표준 DRAM을 끼워 넣을 때 DRAM 셀에 refresh 시간이 짧아지고 증가된 공정단계에 의해 수율이 저하되는 등의 심각한 문제점이 있다. 이것은 로직공정과 DRAM 공정의 비호환성에 기인된 것이다.

DRAM 공정에 대한 연구는 소자의 성능을 희생시키는 대신 셀 크기를 줄이는데 초점을 맞추는 반면, 로직공정에 대한 연구는 dual gate, salicide, 다

층금속 사용 등을 통해 소자 성능개선에 초점이 맞추어져 개발되고 있다. 그런데 불행히도 로직 공정에서 소자 성능개선을 위해 추가된 이들 공정들이 임베디드 메모리 셀의 중요한 성능 평가 항목 중의 하나인 refresh 특성을 저하시키고 증가된 공정에 기인한 수율 저하를 가져왔다[1,2].

최근에 상기에서 언급된 문제들을 해결하기 위해 평면 커패시터 구조를 가진 DRAM 셀이 연구되고 있다. 평면 커패시터구조를 가진 DRAM 셀은 하나의 통과 트랜지스터와 MOS 커패시터로 구성되어 있다. 평면구조 DRAM셀은 크기가 표준 메모리공정에서 사용되고 있는 스택(stack) 혹은 트렌치(trench)형 DRAM 셀보다 6 ~ 8배 크지만 기존의 로직공정과 표준 로직 설계기술을 그대로 사용할 수 있다는 장점을 가지고 있다[3]. 스택 혹은 트렌치형 DRAM 셀과 비교할 때 평면구조 DRAM 셀의 약점중 하나는 셀에서 접합 커패시터의 큰 면적에 기인된 누설 전류의 증가이며 이로 인해 refresh 시간이 감소한다는 것이다. 전체 누설전류는 대부분 통과 트랜지스터(pass transistor)의 문턱아래(subthreshold) 누설전류, 접합 누설전류, 격리 누설전류, 커패시터 영역에서 다이오드 누설전류에 영향을 받는다. 따라서 누설전류를 억제하기 위하여 행해지는 커패시터  $V_T$  이온주입은 최적화가 필요

1. 청운대학교 디지털방송공학과  
(충남 홍성군 홍성읍 남장리 산29)  
2. 매그나칩 반도체 DSD소자2팀  
a. Corresponding Author : skchang@chungwoon.ac.kr  
접수일자 : 2005. 10. 7  
1차 심사 : 2005. 12. 23  
심사완료 : 2006. 1. 2

하며, 본 논문에서는 커패시터 영역에서 전장의 세기분포, C-V특성과 누설전류의 모의실험 결과를 토대로 하여 몇 가지 다른 커패시터  $V_T$  이온주입 조건을 가지고 좋은 refresh 특성을 얻기 위한 커패시터  $V_T$  이온주입 조건에 대해 평가하였다.

## 2. 실험

본 연구에서 사용된 시료는 8인치 P-형 기판 위에 아래와 같은 CMOS 공정으로 제작되었다. STI (Shallow Trench Isolation)공정을 적용하여 소자를 절연시키고, 우물 및 문턱전압을 조절하기 위해 이온주입 한 후, 게이트 절연막으로 40 Å의 NO 산화막을 800 °C에서 습식 산화법으로 30분 동안 성장시키고, 게이트 및 커패시터 전극 패턴을 동시에 형성시켰다. 활성영역과 게이트 전극의 접촉창은 텅스텐으로 채운 후 금속배선과 소자보호막 증착공

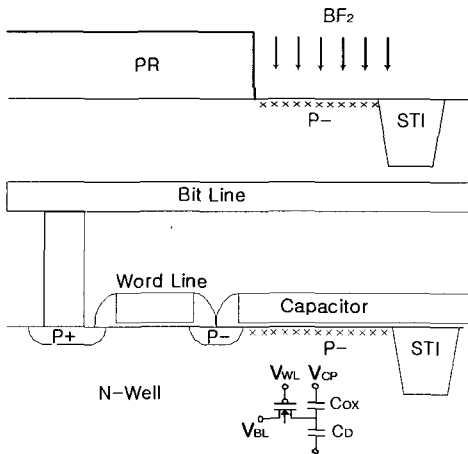


그림 1. 평면구조 P-MOS DRAM 셀의 주요 제조 공정 및 단면구조.

- (a) 커패시터 영역에 BF<sub>2</sub> 이온 주입공정,
- (b) 커패시터 및 배선 공정이 완료된 이후의 Cell 단면. 삽입된 그림은 단위 셀의 등가회로를 나타냄.

Fig. 1. A key process flow and schematic cross-sectional view of planar P-MOS DRAM Cell. (a) BF<sub>2</sub> implantation is performed in the capacitor region. (b) cross-sectional view of planar P-MOS DRAM Cell. The inset figure denotes equivalent circuit of unit cell.

표 1. 커패시터  $V_T$  이온주입 조건.

Table 1. The conditions of capacitor  $V_T$  implantation.

구분	이온주입 조건
시료 A	BF <sub>2</sub> 15 KeV $1.0 \times 10^{13} \text{ cm}^{-2}$
시료 B	BF <sub>2</sub> 10 KeV $2.0 \times 10^{13} \text{ cm}^{-2}$
시료 C	BF <sub>2</sub> 15 KeV $2.0 \times 10^{13} \text{ cm}^{-2}$

정을 완료하였다. 그림 1은 평면구조 P-MOS DRAM 셀의 단면구조와 주요 제조공정을 요약하여 나타낸 것이다. 커패시터 영역에 BF<sub>2</sub>를 선택적으로 이온주입 하였으며, 이것은 전하를 저장 하기위해 격리된 전위 우물을 제공하고 커패시터 영역에서 누설 전류를 감소시키기 위한 것이다[4,5]. 우리는 표 1에서 보는 바와 같이 커패시터 영역에서 전장의 세기분포, C-V특성과 누설전류에 대하여 다양한 커패시터  $V_T$  이온주입 에너지 및 농도 조합에 대한 모의실험 결과를 토대로 하여 한정된 시료제작 여건을 고려하여 가장 양호한 refresh 특성이 기대되는 3가지 종류의 시료를 제작하여 각 소자의 전기적 특성을 측정하였다.

## 3. 결과 및 토의

그림 2는 이온주입 조건에 따른 refresh 시간과 불량 비트 수 사이의 관계를 나타내고 있다. 측정은 85 °C에서 1M 비트 셀 어레이에서 행하였다. BF<sub>2</sub> 15 KeV  $2.0 \times 10^{13} \text{ cm}^{-2}$  조건(시료 C) 으로 이온주입된 시료의 refresh 시간이 BF<sub>2</sub> 15 KeV  $1.0 \times 10^{13} \text{ cm}^{-2}$  조건(시료 A)으로 이온주입된 시료보다 약 3배 큰 것으로 나타났다. 이것은 커패시터  $V_T$  이온주입 조건이 refresh 특성에 민감하다는 것을 보여주고 있다. refresh 시간 측정을 위한 바이어스 조건은 다음과 같다. 커패시터 전극에 0 V, n형 우물에 1.8 V 전압을 인가하였다. 신호 1일 때 비트 선(bit line)에 1.8 V, 신호가 0일 때 0 V 인가 하였으며, refresh 시간은 체크보드(checker board) 패턴을 이용하여 얻었다. 먼저 각각의 메모리 셀에 신호 0을 입력하고 refresh 시간동안 메모리 셀을 유지한 후 워드 선(word line)에 -1.0 V 를 인가하고 메모리 셀에 저장된 신호를 읽는다. 읽은 신호가 1로 변화되어 있으면 메모리 셀이 불량인 것으로 간주하였다[6].

보통 집합 영역의 전장의 분포가 refresh 특성에

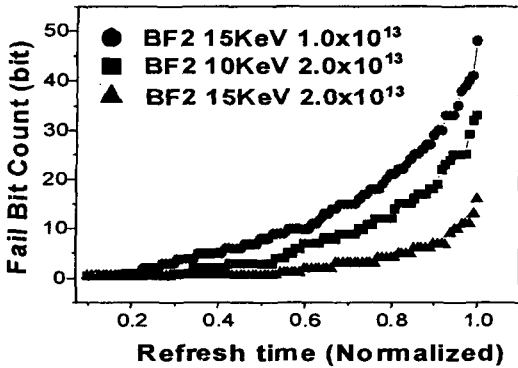


그림 2. 평면구조 P-MOS DRAM 셀에서 커패시터  $V_T$  이온주입 조건에 따른 refresh 시간 분포.

Fig. 2. The measured refresh time distribution with different condition of capacitor  $V_T$  implant for planar P-MOS DRAM cell.

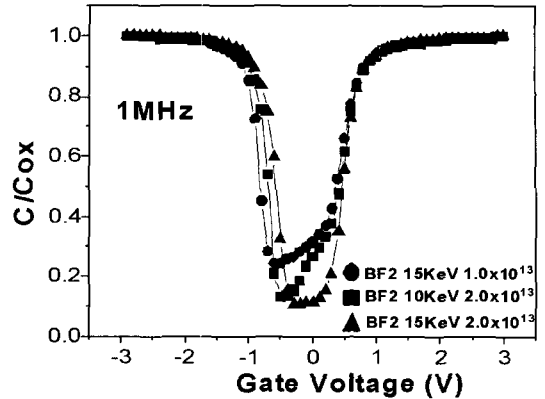


그림 4. 평면구조 P-MOS 커패시터에 대해 1 MHz 에서 모의실험한 고주파 C-V특성 곡선.

Fig. 4. High frequency C-V characteristics curves, which is simulated at 1 MHz, for planar P-MOS capacitor.

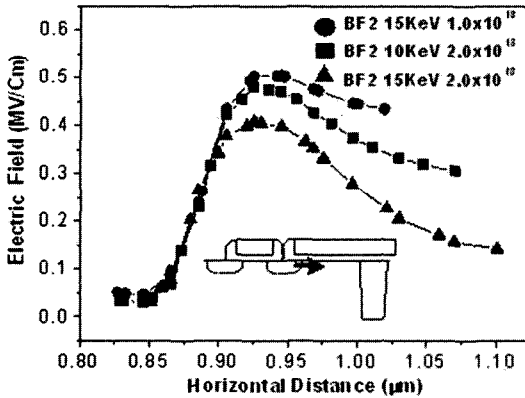


그림 3. 커패시터  $V_T$  이온주입 조건에 따른 커패시터 아래 계면을 따라 모의 실험한 전장의 세기 분포.

Fig. 3. Simulated electric field distribution along horizontal length under the capacitor with different condition of capacitor  $V_T$  implant.

영향을 미치는 것으로 알려져 있다[7,8]. 그래서 커패시터 이온주입 조건에 따른 커패시터 가장자리에서의 전장을 비교하기 위해 표 1에 있는 조건에 대해 Raphael 시뮬레이션을 행하였다. 그림 3에서 그 결과를 나타내었다.  $BF_2$  15 KeV  $2.0 \times 10^{13} \text{ cm}^{-2}$ (시료 C)에서 커패시터 가장자리에서의 전장 세기의

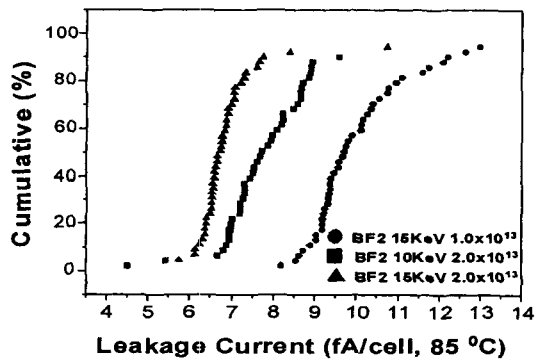


그림 5. 64 K 셀 어레이를 이용하여 85 °C,에서 측정된 누설전류의 누적분포.

Fig. 5. Cumulative distribution of leakage current in 64 K cell array, at 85 °C.

최대치( $E_{MAX}$ )는 약 0.4 MV/cm 였으며, 이 값은  $BF_2$  15 KeV  $1.0 \times 10^{13} \text{ cm}^{-2}$ (시료A)의 75 % 수준이다. 그림 3에서 보는 바와 같은 커패시터 가장자리에서의 전장 세기의 최대치( $E_{MAX}$ )의 차이는 커패시터  $V_T$  이온주입에 기인한 도핑 프로파일의 변화로 설명될 수 있다. 이 결과는 그림 2에서 보여준 refresh 특성과 잘 대응됨을 보여주었다.

그림 4는 P-MOS 커패시터 이온주입 조건에 따른 C-V특성을 모의 실험한 것이다. 여기서 주목할

것은  $C_{MIN}$ 과  $V_{FB}$ 가 작을 때 좋은 refresh 특성이 관찰되었다. 보통 공핍 커패시턴스( $C_D$ )는 refresh 특성과 관련이 있는 것으로 알려져 있다. 커패시터 가장자리에서의 전장 세기의 최대치( $E_{MAX}$ ) 및 공핍 커패시턴스 값을 모의실험을 통해 예측하는 것은 훌륭한 refresh 특성과 낮은 누설전류 얻을 수 있는 커패시터  $V_T$ 이온주입 조건을 최적화하는데 한 가지 방법이 될 수 있다. C-V특성 모의실험 바이어스 조건은 다음과 같다. 워드 선(word line)에 -1 V 전압을 인가하고 커패시터 전극은 -3 V에서 3 V까지 변화시켰다. 비트선과 우물은 접지시켰다.

그림 5는 커패시터 이온주입 조건에 따른 셀의 누적 누설전류 분포를 나타낸 것이며 이러한 결과는 앞의 여러가지 모의실험 및 refresh 특성 측정결과와 일치된 결과를 보여주고 있다. 접합 누설전류는 64 K 비트 셀 어레이에서 평균값으로 나타내었다. 실제 메모리 셀의 접합 누설전류는 셀과 셀 사이의 누설전류뿐만 아니라 커패시터 및 저장 영역에서의 누설전류의 합이다.

#### 4. 결론

우리는 평면구조 P-MOS DRAM에서 refresh 특성을 개선하기 위해 커패시터 이온주입 조건을 평가하였다.  $BF_2$  15 KeV  $2.0 \times 10^{13} \text{ cm}^{-2}$  조건(시료 C)의 커패시터 이온주입 조건에서 refresh 시간이  $BF_2$  15 KeV  $1.0 \times 10^{13} \text{ cm}^{-2}$  조건(시료 A)으로 이온주입된 시료보다 약 3배 큰 것으로 나타났다. 이러한 결과는 전장 세기의 최대값, C-V특성 및 접합 누설전류 측정에서도 확인할 수 있었다. 커패시터 가장자리에서의 전장 세기의 최대치( $E_{MAX}$ ) 및 공핍 커패시턴스 값을 모의실험을 통해 예측하는 것은 훌륭한 refresh 특성과 낮은 누설전류를 얻을 수 있는 커패시터  $V_T$ 이온주입 조건을 최적화하는데 한 가지 방법이 될 수 있다.

#### 감사의 글

본 논문 연구에 필요한 시료 제작과 측정 장비 사용을 허락해 주신 매그나칩 반도체와 포항공과대학교 AND Lab.에 감사드립니다. 또한 본 논문은 2005년도 청운대학교 학술연구조성비 지원에 의하여 연구되었습니다.

#### 참고 문헌

- [1] M. Inohara, I. Tamura, T. Yamaguchi, H. Koike, Y. Enomoto, S. Arakawa, T. Watanabe, E. Ide, S. Kadomura, and K. Sunouchi, "High Performance Copper and Low-k Interconnect Technology Fully Compatible to 90 nm-node SOC application(CMOS4)", IEDM Tech. Digest, p. 79, 2002.
- [2] T. Yamada, K. Takahashi, H. Oyamatsu, H. Nagano, T. Sato, I. Mizushima, S. Nitta, T. Hojo, K. Kokubun, K. Yasumoto, Y. Matsubara, T. Yoshida, S. Yamada, Y. Tsunashima, Y. Saito, S. Nadahara, Y. Katsumata, M. Yoshimi, and H. Ishiuchi, "An Embedded DRAM Technology on SOI/Nulk Hybrid Substrate Formed with SEG Process for High-End SOC Application", VLSI Tech. Digest, p. 112, 2002.
- [3] W. Leung, F. Chieh, and M. Jones, "The Ideal SOC Memory : 1T-SRAM", ASIC/SOC Conference, Proceeding, p. 13, 2000.
- [4] AL F. Tasch, R. C. Frye, and H. S. Fu, "The charge-coupled RAM cell concept", IEEE Journal of Solid State Circuits, Vol. Sc-11, No. 1, p. 58, 1976.
- [5] AL F. Tasch, H. S. Fu, T. C. Holloway, and R. C. Frye, "Charge capacity analysis of the charge-coupled RAM cell", IEEE Journal of Solid State circuits, Vol. Sc-11, No. 5, p. 575, 1976.
- [6] T. Hamamoto, S. Sugiura, and S. Sawada, "On the retention time distribution of dynamic random access memory(DRAM)", IEEE Tran., on Electron Devices, Vol. 45, No. 6, p. 1300, 1998.
- [7] H. Kujirai, K. Ohyu, M. Moniwa, H. Kato, K. Nakai, H. Iwai, M. Nanba, and A. Ogishima, "Data Retention Time in DRAM with WSix/P+poly-Si Gate NMOS Cell Transistors", IEDM Tech. Digest, p. 395, 2001.
- [8] S. Ueno, T. Yamashita, H. Oda, S. Komori, Y. Inoue, and T. Nishimura, "Leakage Current Observation on Irregular Local PN Junctions Forming the Tail Distribution of DRAM Retention Characteristics, with New Test Structure", IEDM Tech. Digest, p. 153, 1998.