

산업체 기고문

EMC를 고려한 일반적인 PCB 설계 지침

정 기 범  
한국전자산업진흥협회 부설  
EMC기술지원센터

I. 서 론

최근 들어 많은 분야에서 사용자의 편리성이 강조되면서 전자제품들이 다기능화 및 복합 멀티미디어화가 되어 가고 있다. 이러한 추세에 따라 국제규격 또한 변화의 움직임이 있다. 특히 자동차의 경우, 움직이는 사무실로 인식되면서 사용자 편리성 및 안전성에 대한 관심이 급격히 증가되고 있으며, 이러한 욕구를 충족시키기 위해 차량에 장착되는 전자제품들이 점점 증가되는 추세이다. 따라서, 차량의 전자 제품 측면에서 EMC 문제가 중요한 고려사항이 되고 있으며, 보다 엄격한 EMC 규격이 요구되고 있다. 본 고에서 EMC를 고려한 일반적인 PCB 설계 지침과 자동차 전자 제품의 대책 사례를 통해 제품 설계자들에게 초기 EMC 고려사항들을 예시하고 PCB-Level에서 Artwork 설계 및 대책시 주요한 고려사항에 대해서 설명하고자 한다. 이러한 원칙과 지침들을 이용하여 EMC 설계 엔지니어는 시스템 전체의 기능을 유지하면서 잡음 발생원인 EMI 억제를 위해 PCB 설계 및 구성에 대한 문제를 심도있게 연구해야 할 것이다.

II. EMC를 고려한 PCB 설계 지침

EMC 문제는 전기적 신호가 흘러감으로 인해서 발생하게 되며, 모든 전기적인 신호는 전류와 전압

을 가지고 있다. 따라서, EMC 문제를 해결하기 위해서는 전류의 특성을 이해하는 것이 가장 중요하다. 전류는 반드시 소스로 귀환하는 특성을 가지고 있으며, 이때 전류의 경로는 가장 낮은 임피던스 경로가 된다. 즉, 전류는 루프(loop)를 만들면서 흐르게 되는데, 이러한 전류 루프의 크기를 최소로 유지해야 인덕턴스 성분이 최소가 되기 때문에 커플링과 EMI 방사를 최소로 유지할 수 있는 기본 요소가 된다. 따라서, Power와 Ground를 Trace 구조로 사용하는 것 보다는 Plane 구조로 사용하는 것이 이러한 전류 루프 면적을 최소로 유지할 수 있는 좋은 대책방법이다. 또한, Plane 구조는 trace 구조에 비해서 임피던스가 낮고 차폐특성을 제공할 수 있는 장점이 있다. 이상적으로 PCB 관련 EMC 설계지침은 문제 해결을 위한 시작 지점이 된다. 해석하기 위한 모든 결정에서 중단 없이 layout을 선택할 수 있도록 설계자에게 도움을 주며, Design trade-offs 결정과 잠재적인 문제영역을 인식하는데 도움을 준다. 하지만, 제품 설계 기술 만큼 많은 설계 지침이 존재하는데, 어떤 설계 지침은 회로 또는 방사 모델링에 기초하고 있지만, 어떤 것은 경험에 의존하거나 근원이 알려지지 않은 것들도 있다. 이러한 수많은 설계 지침 중에서 일부는 거의 모든 제품에 적용될 수 있는 매우 중요한 설계 지침이지만, 극히 일부분의 것들은 일반적으로 적용하기는 힘들며, 특정 제품이나 상황에서만 적용

될 수 있다는 것을 명심해야 한다. 따라서 본고에서는 실제 일반적으로 거의 대부분의 제품에 적용될 수 있는 일반적인 설계 지침을 다음과 같이 부품 배치, 트레이스 라우팅(trace routing), 보드 디커플링 및 가장 범용적으로 적용될 수 있는 4가지와 일반적인 5가지 등 총 9가지 분야에 대한 주요 설계 지침에 대한 정보를 제공하고자 한다<sup>[1],[2]</sup>.

### 2-1 Board Level-Trace Routing

- 1) I/O와 관련 없는 Trace를 I/O Connector와 connector를 사용하는 신호 송수신 Device 사이에 위치시키지 마라.
- 2) 모든 Power plane과 Power trace는 반드시 같은 layer에 두어야 한다.
- 3) 신호 transition time의 반 이상 되는 전파 지연을 갖는 trace는 Matched termination을 사용해야 한다.
- 4) Capacitively-loaded nets은 반드시 total Source Impedance가 line의 특성 임피던스의 1/4보다 같거나 커야 하며, 직렬 resistor는 반드시 이 조건을 만족하도록 첨가되어야 한다.
- 5) Nets driven이 1 V/ns Slew rate보다 빠를 때에는 Source의 series resistor를 줄여야 한다.
- 6) 고속 nets과 I/O nets를 격리하기 위해서 반드시 Guard trace를 사용해야 한다.
- 7) 모든 power와 Ground trace는 반드시 일반적인 신호 라인의 트레이스 폭의 3배 이상 되어야 한다. 이것은 Guard trace를 포함하지 않는다.
- 8) 만약 Ground 또는 Power의 분리가 필요하면 Gap은 최소한 3 mm wide가 되어야 한다.
- 9) 부과적인 Decoupling Capacitor는 반드시 Power 또는 Ground plane gap의 양쪽 면에 위치해야 한다.
- 10) 중요한 Nets들은 분기시키거나 스티브를 사용하지 말고 독립적으로 사용되어야 한다.
- 11) 주요한 Nets은 Board edge로부터 적어도 '2X' 이상 떨어져야 한다. 여기서 'X'는 Trace와 Return Current Path 사이의 거리를 의미함.
- 12) Board I/O에 사용되는 Components 밑에 고속 신호를 보내지 마라.
- 13) Differential Pairs는 심지어 Ground plane 위에 두 trace의 거리가 멀리 떨어져 있을 경우에도 Single-ended signal 보다 훨씬 방사가 적다. 하지만, 두 trace 쌍이 Unbalance 할 경우 Single-ended signal과 거의 동일한 방사가 발생한다.
- 14) 고주파수 net의 길이는 반드시 최소화 하여야 한다.
- 15) 고주파수 nets에서 via는 가능한 최소로 사용해야 한다.
- 16) Power와 Ground Plane을 가진 Board 상에서, Trace는 Power 또는 Ground에 연결되어서는 안된다. 이러한 연결은 반드시 Component의 power와 ground pad를 이용하여 Via로 연결해야 한다.
- 17) Ground plane에 Gap 또는 Slot을 피해야 한다. Ground plane에 Gap과 slot은 저주파수(100 kHz 이하)의 전류를 조절할 필요가 있을 때만 사용해야 하며, 고주파수에서는 효과가 없다.

### 2-2 Board Level-Decoupling(Boards with Closely Spaced Power/Ground Planes)

- 1) Power와 Ground plane의 간격이 0.25 mm 이하로 좁은 Boards 상에서 Decoupling capacitor의 위치는 기생 Inductance에 크게 영향을 받지 않는다.
- 2) Decoupling Capacitor는 반드시 Power/Ground plane의 pad 또는 via를 통해서 직접 연결되어야 한다. 이는 연결시 발생하는 Inductance를 줄이기 위함이다.

- 3) Board의 interplane capacitance 보다 적은 값의 capacitor를 사용하는 것은 효과가 없다. 저주파수에서, 높은 값을 가지는 Capacitance가 바람직하며, 고주파수에서는 Capacitor의 용량값보다는 연결방법에 따라 발생하는 Inductance가 더욱 중요하다.
- 4) Active Device와 Decoupling Capacitor의 power supply leads는 반드시 power와 ground plane에 직접 연결되어야 한다. Chip leads와 Decoupling Capacitor에 직접 연결하지 말라.

### 2-3 Board Level-Decoupling(Boards with Widely Spaced Power/Ground Planes)

- 1) Power와 Ground planes 사이의 간격이 0.5 mm 이상인 Board 상에서 local decoupling capacitor 각각의 Active device 근처에 실장하여야 한다. 만약 Active Device는 ground plane에 가장 가까운 면에 실장되어 있다면, Decoupling Capacitor는 반드시 Power pin 근처에 실장되어야 한다. 만약 Active Device가 Power Ground 가장 가까운 면에 실장되어 있으면, Decoupling Capacitor는 Ground Pin 근처에 실장되어야 한다.
- 2) Decoupling Capacitor는 반드시 Power/ground plane에 Via 또는 pad를 이용해서 직접 연결되어야 한다. 만약 trace없이 연결된다면(또는 trace 길이가 power/ground plane 간격보다 짧을 때) Decoupling Capacitors는 active device와 power 또는 ground via를 공유할 수 있다.
- 3) Active Device와 Decoupling Capacitor의 Power Supply leads는 Power와 ground plane에 직접 연결되어야 한다. Decoupling Capacitor와 Chip lead를 직접 연결하지 말라. 만약 trace없이 연결된다면(또는 trace 길이가 power/ground plane 간격보다 짧을 때) Decoupling Capacitors는 active device와 power 또는 ground via를 공유할 수 있

다.

- 4) Board의 interplane capacitance보다 적은 값의 capacitor를 사용하는 것은 불필요하고 효과도 없다. 저주파수에서 높은 값을 가지는 Capacitance가 바람직하다. 고주파수에서는 Capacitor의 용량값보다는 연결방법에 따라 발생하는 Inductance가 더욱 중요하다.

### 2-4 Board Level-Decoupling(Boards with No Power Plane)

- 1) Power plane이 없는 Board 상에서 local decoupling capacitor는 반드시 각각의 active device 근처에 실장되어야 한다. Power와 ground 사이의 연결로 인한 decoupling capacitor의 inductance는 최소화 되어야 하며, 수 cm 간격을 가지고 Decoupling Capacitor를 두 개를 사용하는 것이 한 개를 사용하는 것보다 더욱 효과적이다.

### 2-5 Board Level-Component Placement

- 1) Connector는 반드시 Board의 한쪽 edge 또는 corner에 위치해야 한다.
- 2) 고속 circuitry는 I/O connector 사이에 연결해서는 안된다.
- 3) 일반적으로, Solid ground plane을 가진 Board는 없는 board보다 성능이 좋다.
- 4) 중요한 신호 trace는 power/ground plane 사이에 두어야 한다.
- 5) Active Digital components는 최대 수용 가능한 off-chip transition time을 가진 것을 선택하여야 한다.
- 6) Connector를 통해서 Board 외부와 연결되어 있는 Device는 반드시 Connector에 가능한 가까이 배치해야 한다(2 cm 이내).
- 7) 단일 Device로부터의 모든 외부 Board 연결은 반드시 같은 Connector를 통해서 route 되어야

한다.

- 8) I/O net에 연결되어 있지 않은 component는 반드시 I/O nets과 connector로부터 2 cm 이상 떨어져 있어야 한다.
- 9) Clock driver는 반드시 clock oscillator 근처에 위치시켜야 한다.

#### 2-6 Board Level-General

- 1) 다중신호 Return path를 가지는 Board에서, 하나의 신호 return plane에 연결되어 있는 모든 via는 반드시 다른 plane에 모두 연결되어야 한다.

#### 2-7 PCB Layout Guidelines

- 1) Inductance와 Radiation을 최소화하기 위해서, Signal path Decoupling의 Loop areas은 최소로 유지해야 한다.
- 2) Trace를 routing 하기 전에 components 배치를 먼저 해야 한다.
- 3) I/O line과 고주파수의 길이를 최소로 할 수 있는 위치에 Components를 배치한다.
- 4) Ground, Power, I/O trace, High-speed trace, Slower trace 순으로 Route 해야 한다.
- 5) Connector 사이에 고속 signal이 흐르지 못하도록 한다.
- 6) 가능한 I/O는 Board의 edge에 배치한다.
- 7) I/O를 Board에서 너무 멀게 배치하는 것을 피하고, 고주파수 lines 근처에는 배치하지 않는다.
- 8) Layout하는 동안 I/O line에 filter와 choke를 실장할 공간을 남겨두어야 한다.
- 9) 사용되지 않는 논리 gate 입력은 반드시 Ground 또는  $V_{cc}$ 에 연결되어야 한다.
- 10) Boards edge와 trace 사이의 간격은 반드시 trace와 return plane 사이의 높이보다 커야 한다.
- 11) 인접한 layer의 trace는 반드시 서로 90°가 되어야 한다.

12) Metal의 떠있는 부분을 허용하면 안된다.

- 13) Board의 비어있는 부분을 return plane을 위해 Metal ground로 채워야 한다.
- 14) 고속 trace는 가능하면, 반드시 planes 사이에 두어야 한다.
- 15) Ground의 Pigtail 연결을 허용해서는 안되며, 낮은 inductance 연결을 사용하여야 하며, Lateral separation이 vertical separation 보다 더욱 효과적이다.
- 16) 필요 이상으로 빠른 logic families는 사용하지 말아야 한다.

#### 2-8 Power and Ground Distribution

- 1) 모든 능동소자의 power와 ground에는 낮은 inductance를 제공해야 한다.
- 2) Ground, power, I/O, High frequency line, the rest 순으로 layout 한다.
- 3) DC power voltage areas가 다르면 서로 분리시켜야 한다.
- 4) DC voltage가 다른 plane이 서로 겹치게 하면 안된다.
- 5) Gap은 kHz 이하의 전류에서 사용될 수 있으며, 일반적으로 Ground plane에 Gap이 있으면, 모든 plane에 동일한 위치에 Gap을 만들어 주어야 한다.
- 6) Trace는 반드시 Ground plane에 있는 Gap을 통과해서는 안된다.
- 7) Board는 반드시 connector 혹은 근처에 하나의 잘 정의된 ground를 가져야 한다(분할하지 말라!).
- 8) Via hole을 위해서 Ground plane에 slots 만드는 것에 주의하여야 한다.
- 9) 각각의 IC를 위해서 적어도 한 개 이상의 Decoupling capacitor를 사용해야 한다.
- 10) Board에서 Power가 들어오는 곳에는 일정한

DC 전압과 전류를 유지하기 위해서 Bulk capacitor를 사용해야 한다(∼10X 모든 다른 Decoupling capacitor).

- 11) Lumped decoupling capacitor의 연결 inductance를 최소로 해야 한다.

### 2-9 Connector Pin Assignments

- 1) Board를 먼저 layout 하고 connector pin을 할당해야 한다.
- 2) High level과 Low level signal pin을 분리해라. (Power 또는 Return pin을 Isolation을 돕기 위해 사용해라.)
- 3) 모든 부과적인 pin은 ground에 연결되어야 한다.

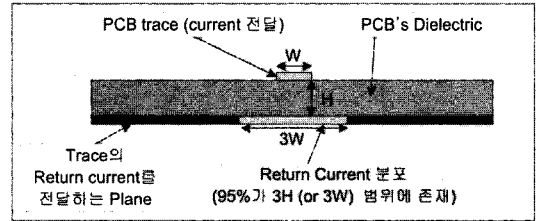
## Ⅲ. 차량용 후방 감시 카메라에 사용된 주요 설계 지침

본 장에서는 적용 사례를 조건으로 EMC 문제가 가장 큰 영향을 미치는 Power/Ground plane의 Art-work 설계시 고려해야 될 주요한 사항에 대해서 설명하고자 한다.

### 3-1 Ground Plane의 귀환전류(Return Current) 분포

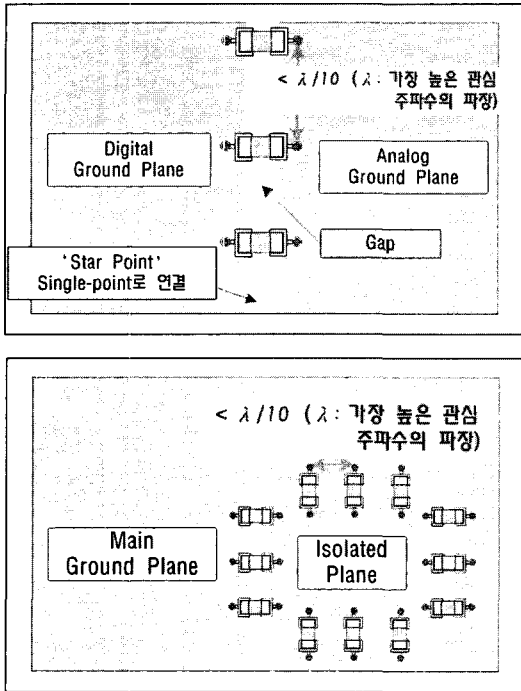
일반적으로 저주파수에서(수 kHz 이하) 귀환전류는 넓은 범위에 분포하고, 주파수가 증가할수록 trace 바로 밑에 분포하는 특성을 가지고 있다. [그림 1]과 같이 일반적인 마이크로스트립 구조의 trace에 전류가 흐르게 되면, Ground에 흐르는 귀환전류는 95%가 Trace/Plane 사이 간격의 3배 되는 범위(또는 trace 넓이의 3배)에 존재하게 된다<sup>[1]</sup>. 따라서, 주요 Clock trace의 경우 인접 trace와의 간격을 Trace/Plane 사이 간격의 3배 되는 간격을 유지하게 되면, 누화(crosstalks)에 의한 SI/EMC 문제를 줄일 수 있다.

### 3-2 Ground Plane상의 Gap에 의한 영향



[그림 1] PCB trace의 귀환 전류의 분포(return current distribution)

일반적으로 Analog와 Digital 회로의 Noise를 격리하기 위해서 Ground Plane에 Gap을 만드는 경우가 많다. 이러한 경우 수 kHz 이하의 저주파수에서 대부분의 Noise 귀환 전류가 넓은 범위에 퍼져서 전달되기 때문에 Gap을 만들어서 Noise를 격리시키는 것이 효과가 있다. 하지만 주파수가 증가할수록 귀환 전류는 Trace 바로 밑으로 흐르기 때문에 회로간에 큰 영향을 미치지 않는다. 또한 Noise가 전달되는 메카니즘은 도체의 연결에 의해서 발생하는 전도에 의한 방법과 전기장 또는 자기장의 커플링에 의해서 발생하는 방법으로 분리할 수 있는데, 이처럼 Gap을 만드는 방법은 단순히 전도에 의한 Noise 전달만 방지하는 효과가 있으며, 전기장 또는 자기장에 의한 커플링 효과는 방지하지 못하고 오히려 커플링 되는 Noise를 증가시키게 된다<sup>[2]</sup>. 이외에도 Gap으로 인해 임피던스가 증가하고 전류의 귀환경로를 파악하기 힘들어지기 때문에 EMC 문제를 분석하기 어려워지게 된다. 따라서, 수 MHz 이상의 신호를 사용하는 회로에서는 반드시 Ground에 Gap을 만들지 말고, 완전한 Plane을 사용해야 한다<sup>[3]</sup>. 하지만 불가피하게 Ground에 Gap이 존재할 경우에는 [그림 2]와 같이 Small Capacitor/Resistor/Zero-ohm link를 가장 높은 관심 주파수 파장의 1/10 간격으로 연결해야 한다. 일반적으로 Zero-ohm link 또는 1~10 nF Capacitor가 주로 사용되며, 만약 Safety 문제가 발생이 될 때에는 High Voltage type의 Capacitor를 사용해야 한다<sup>[4]</sup>.

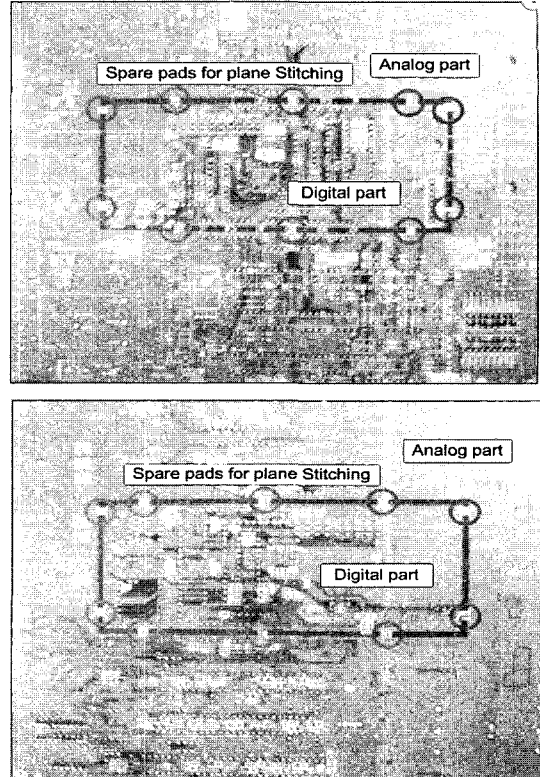


[그림 2] Ground plane의 gap을 연결하는 방법

[그림 3]은 [그림 2]에서 설명한 내용을 적용한 PCB 샘플이다. 그림에서 보는 것처럼 Noise 전달을 방지하기 위해서 Digital Part와 Analog Part가 분리되어 있는데, 추후에 분리된 Plane을 연결 소자를 이용해서 Tuning할 수 있도록 pads를 미리 만들어 두고 있다.

### 3-3 Power Plane Split & Stitching

DC/DC Convert 또는 고속 Clock trace의 경우, 공통모드(Common Mode) RF Current noise가 존재하는데 이때에는 Power Plane을 분할(Split)해서 Noise를 격리하는 것이 유용한 대책 방법이다<sup>[5],[6]</sup>. DC/DC Convert의 경우 분할된 Power plane들 사이에 Noise Coupling이 발생하는 것을 주의 해야 되는데, 이때 [그림 4]와 같이 Ferrite bead와 Capacitor를 이용해서  $\pi$ 형 Filter를 사용하면 Noise가 Coupling 되는 것을

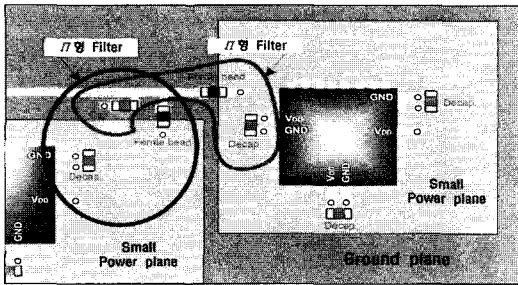


[그림 3] 설계 단계부터 gap에 대한 대책을 고려한 PCB 샘플

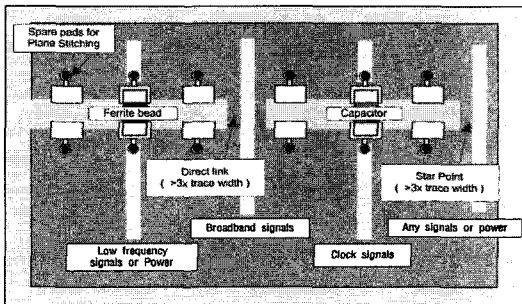
방지할 수 있다.

분할된 Power plane을 trace가 반드시 지나가야 되는 경우에는 Resistor/Capacitor/Ferrite bead 등의 연결(Stitching) 소자가 필요한데, 설계 단계에서 PCB 제작 후 Tuning을 할 수 있도록 연결소자를 위한 pads를 미리 만들어 두어야 한다.

적용되는 연결소자는 [그림 5]와 같이 Trace에서 동작되는 신호의 특성에 따라서 적절히 사용하여야 한다. Low-Frequency signal 또는 Power signal의 경우 Ferrite beads를 사용하고, 광대역 signals의 경우 trace width의 3배 이상 되는 넓이의 Direct-link 방법을 사용하는 것이 좋다. Clock signal의 경우 clock 주파수에서 공진점을 가지는 Capacitor를 사용해야 하며,



[그림 4] 분할된 power plane에  $\pi$ 형 filter 적용 예



[그림 5] Plane의 split 된 구간에 trace에 지날 가는 경우 대책 방법

기타 signals 또는 Power는 trace 넓이의 3배 되는 Ground Star point를 이용해서 연결해야 한다. 또한 앞에서 설명한 Ground plane에 사용한 연결소자와 마찬가지로 Plane 연결소자를 이용해서 Tuning 할 수 있도록 여분의 pads를 만들어 주어야 한다.

### 3-4 Device와 Plane 연결

일반적으로 소자를 Plane에 연결할 때, 부과적인 인덕턴스가 발생해서 임피던스가 증가하게 된다. 따라서 이러한 문제를 해결하기 위해서는 반드시 연결 시 발생하는 인덕턴스가 최소가 되도록 소자를 연결해 주는 것이 중요하다. 이를 위해서 Pads에 trace가 연결된 구조에서는 최대한 연결된 trace를 최소로 만들어 주어야 하고, 가능하면 via가 pad에 바로 연결된 구조를 사용하는 것이 좋다. Trace의 넓이를 넓게

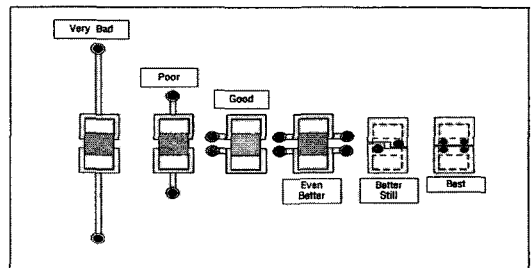
하면 단위면적당(mm) 인덕턴스가 면적 증가량의 square root 만큼 감소하게 되며, PCB stack up에서 소자와 Plane 사이의 간격을 줄여도 via hole의 길이가 짧아지기 때문에 인덕턴스가 mm당 1 nH 씩 줄어들게 된다<sup>[1]</sup>.

이외에도 전류가 반대로 흐르는 두 개의 via hole을 최대한 가까이 배치해서 자기장을 상쇄시킴으로써 인덕턴스를 감소시키는 방법을 사용하면 추가적으로 인덕턴스를 줄일 수 있다. 예를 들어 0.5 mm 지름의 via hole에 전류가 반대로 흐르는 경우, 5 mm 거리에 있을 때는 1.2 nH이지만, 1 mm 거리에 있는 경우에는 0.52 nH로 감소하게 된다. 따라서, Multiple Via hole을 병렬로 사용해서 자기장 상쇄 특성을 최대한으로 하는 구조가 가장 좋다.

[그림 6]은 앞에서 설명한 내용을 개념적으로 도식화한 그림이다. 그림에서 보는 것처럼 trace를 이용해서 연결된 구조는 일반적으로 5 nH 이상의 부과적인 인덕턴스가 발생하게 되지만 via가 pad에 직접 연결되어 자기장을 상쇄시킬 수 있는 연결 방법은 1 nH 이하의 인덕턴스를 가지게 된다<sup>[6]</sup>.

### 3-5 기타 고려사항

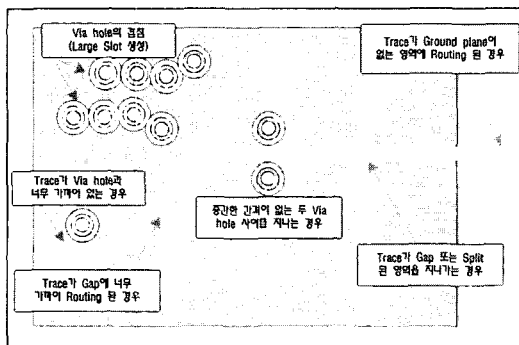
일반적인 Through hole plate PCB 제작 기법으로 인해 수많은 hole이 Ground Plane에 생기게 된다. Via가 너무 가까이 배치되거나 via hole이 너무 커서 겹쳐지게 되면 하나의 큰 slot을 만들게 되는데, 이로



[그림 6] Device와 plane 연결 방법

인해서 임피던스가 증가되고 Ground plane의 장점이 줄어들게 된다. 이러한 경우를 피하기 위해서, via hole을 최소로 유지하고, Routing시 Trace/Ground 사이 간격의 3배 되는 간격을 유지할 수 있도록 주의해야 한다. [그림 7]은 일반적인 Routing Error를 보여주고 있다. 그림에서 보는 바와 같이 Trace가 via hole이나 Gap에 너무 가까이 있는 경우, 가까이 있는 두 개의 Via hole 사이를 Trace가 지나가는 경우, Trance가 Gap/Slot을 지나가는 경우, Trace가 Ground가 없는 지역을 지나가는 경우 등은 SI/EMC 특성이 악화되기 때문에 가능한 한도 내에서 이러한 문제가 발생되지 않도록 주의해야 한다. 하지만 이러한 문제를 피할 수 없는 경우에는 앞에서 설명한 연결소자나 Filter 등을 사용해서 Noise를 최소화 시켜 주어야 한다.

이외에도 추가적인 Ground 확보를 통해 Power/Ground plane의 임피던스를 낮추어서 Ground Bounce Noise를 줄일 수 있는 방법으로, 비어있는 PCB 공간을 Copper로 채우는 기법이 많이 사용되고 있다. 이러한 대책 방법을 사용할 경우 Copper로 채워진 공간이 main Ground plane에 연결되지 않으면 안테나로 동작해서 주요한 EMI 방사 소스가 될 수 있기 때문에, Copper로 채워진 공간은 반드시 다수의 Via hole을 이용해서 Main ground plane에 연결이 되어야 한다. 이때 via hole의 간격은 가장 높은 관심주파수



[그림 7] 잘못된 PCB trace routing 예

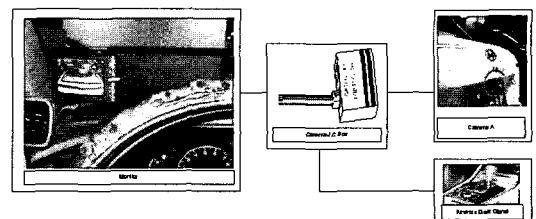
파장의 1/10 간격으로 균일하게 분포시켜야 한다. 이러한 대책 방법은 추가적으로 shielding 특성도 제공하기 때문에 EMI 특성을 상당히 개선시킬 수 있다.

#### IV. 차량용 후방 감시 카메라 EMI Source 분석

본 제품은 차량 후진시 차량의 후방을 관찰할 목적으로 모니터 및 카메라를 이용하여 후방의 장애물을 관찰하는 사고 예방 시스템이다. 본 제품은 외부 영상을 받아 NTSC 방식으로 재현해 주는 3.5" TFT LCD 모니터와 전원 입력에 따른 영상 출력의 응답이 빠르고 차량 장착이 용이하도록 설계 제작된 CCD 카메라로 구성되어 있다. 차량에 장착된 모습은 [그림 8]과 같으며, 동작원리는 Rear signal 및 모니터 내부 스위치에 의해서 모니터/카메라가 동작하게 된다.

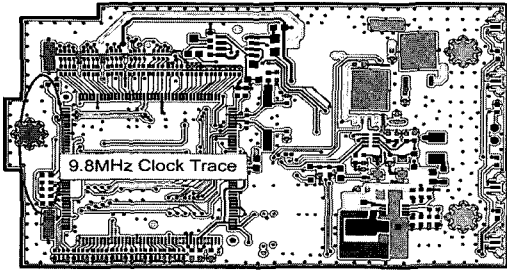
본 제품의 경우 미국 자동차 회사에 납품이 되는 제품으로 user 요구사항 스펙인 FCC Part 15 Class B의 Radiated Emission limit level을 만족해야 하며, 추가로 장착되어질 자동차에서 사용되는 다른 제품의 주파수 범위인 60~120 MHz의 대역에서는 간섭을 일으키지 않도록 25 dB  $\mu$ V/m의 limit level을 만족해야 한다.

[그림 9]의 Pre-test용 PCB는 4층으로 구성되어 있고, Ground는 완전한 Plane으로 사용하고 있으며, Power는 분할해서 사용되고 있다. 또한, Top과 Bottom의 빈 공간을 Copper로 채운 다음 via hole을

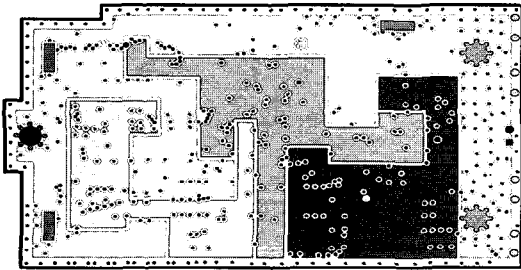


[그림 8] 차량에 장착된 후방 감시 카메라

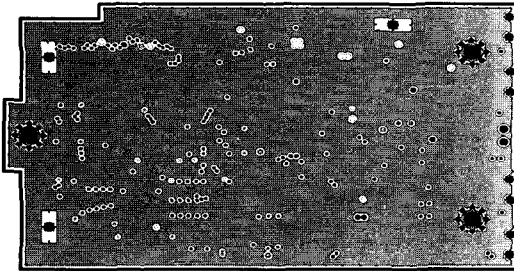




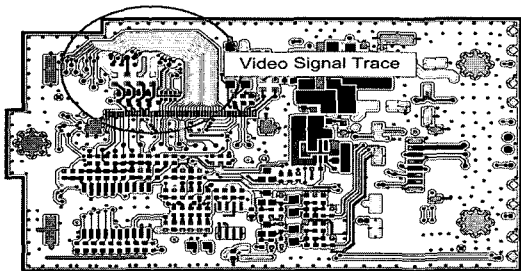
Layer 1: Top plane(copper: 흰색)



Layer 2: Power plane



Layer 3: Ground plane(copper: 녹색)

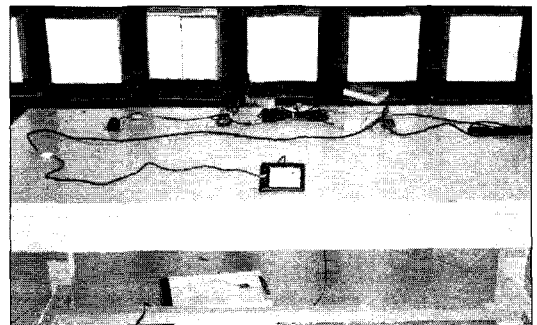


Layer 4: Bottom plane(copper: 흰색)

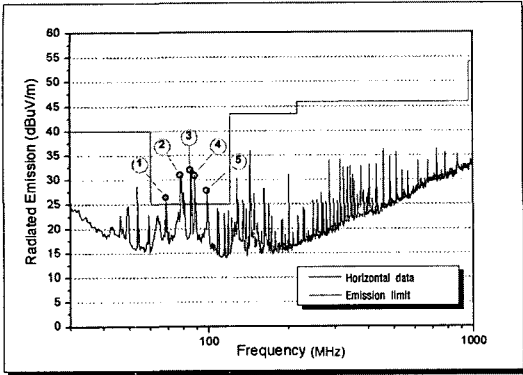
[그림 9] Pre-test 용 PCB artwork data

이용해서 다점으로 연결함으로써 Ground plane의 임피던스를 낮춤으로서 Noise를 줄여줄 수 있고, Shielding 특성 또한 제공하고 있다. 주요 Clock trace는 9.8 MHz System Clock trace를 제외하고는 최대한 짧게 구성되어 있으며, Decap. 및 filter가 적용되어 있다. 조금 아쉬운 점은 외부로 노출되어 있는 9.8 MHz 시스템 Clock trace와 Video signal trace의 길이가 조금 긴 단점이 있으며, DC/DC Convert에  $\pi$ -filter가 아닌 LC-filter로 구성되어 있다는 점이다. 이외에도 Ground plane에 via hole이 겹침으로 인해서 slot이 생성되어있는데 이러한 문제를 좀더 보완해야 한다. [그림 9]의 PCB artwork data 분석을 통해서 9.8 MHz System Clock line과 Video signal Trace가 주요 EMI Source로 의심할 수 있으며, 좀더 정확하게 EMI Source를 식별하기 위해서는 Pre-test를 통한 측정 Data 분석이 필요하다.

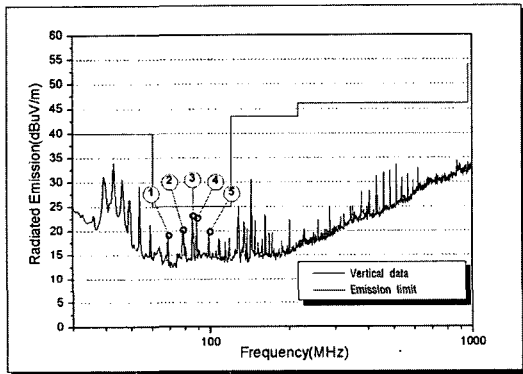
[그림 10]은 측정시 EUT setup을 나타내고 있으며, 3 m Chamber에서 측정을 하였다. 측정 결과 [그림 11]에서 보는 바와 같이 FCC Part 15 Class B limit는 만족하고 있는데 이는 설계단계부터 EMC를 고려해서 제품을 개발하는 것이 얼마나 중요한지를 보여주고 있다. 따라서, 이 제품의 경우는 추가로 요구되어지는 60~120 MHz 대역에서 25 dB  $\mu$ V/m limit를 1.5~7.5 dB 초과하는 ①, ②, ③, ④, ⑤ 주파수의 Hori-



[그림 10] 차량용 후방 감시 카메라 pre-test setup



(a) Horizontal data



(b) Vertical data

[그림 11] 차량용 후방감시 카메라 pre-test 데이터

zontal 성분에 대해서만 대책이 필요함을 알 수 있다.

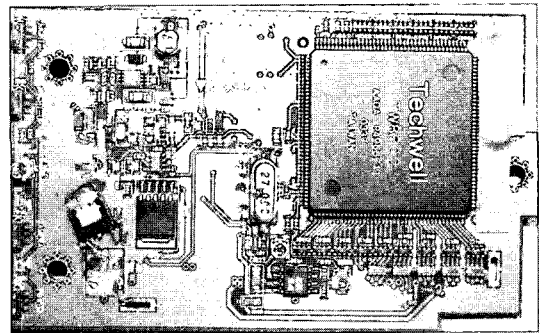
문제가 되는 주파수 중에서 ①, ②, ④, ⑤는 앞에서 언급한 9.8 MHz Clock trace의 7~10 고조파 성분이며, ③의 경우 카메라에서 사용되는 Clock 주파수의 고조파 성분이다. 이처럼, Pre-test 및 분석을 통해서 정확한 EMI Source를 찾아 낼 수 있으며, EMI Source를 정확하게 찾아내면 손쉽게 대책방법을 찾아낼 수 있다.

## V. 차량용 후방 감시 카메라 EMI 대책 및 분석

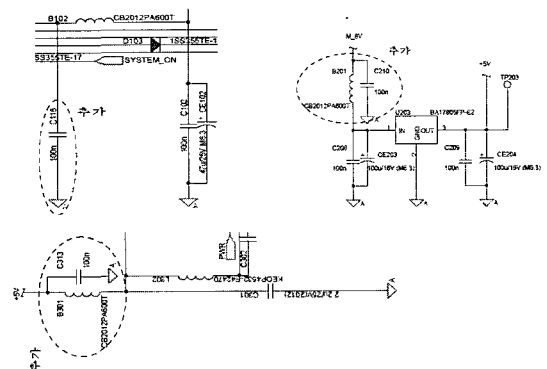
### 5-1 모니터 측에 Absorber 및 $\pi$ -Filter 적용

Pre-test로부터 찾아낸 주요 EMI Source인 외부로 노출되어 있는 9.8 MHz System Clock trace에 노이즈 억제 시트를 부착하고, DC/DC Convert 되는 부분에  $\pi$ -Filter를 [그림 12] 및 [그림 13]과 같이 대책하였다.

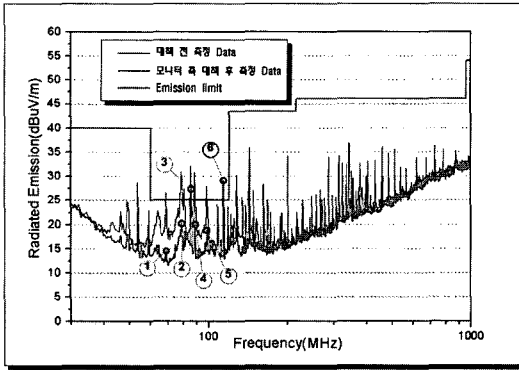
대책 결과 [그림 14]에서 보는 바와 같이 문제가 되었던 9.8 MHz의 고조파 성분인 ①, ②, ④, ⑤ 주파수의 Horizontal Emission limit를 최소 4 dB 이상 Margin을 가지고 만족하고 있음을 알 수 있다. 하지만 카메라 측의 고조파의 Horizontal 성분인 ③은 여전히 2.5 dB 만큼 Emission limit를 초과하고 있으며, 추가로 카메라 측 고조파 성분인 ⑥ 주파수 성분은 6.1 dB 만큼 Emission level이 증가하여 4.3 dB 만큼 limit를 초과하고 있다.



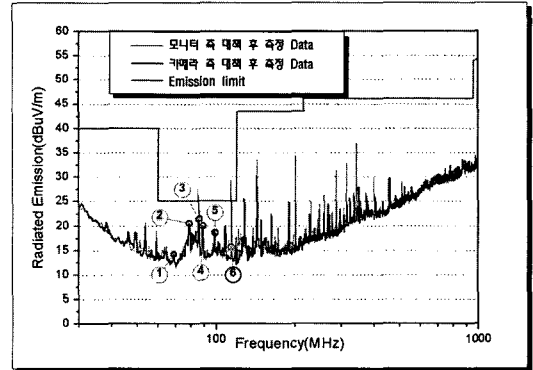
[그림 12] 9.8 MHz clock trace에 노이즈 억제시트 부착



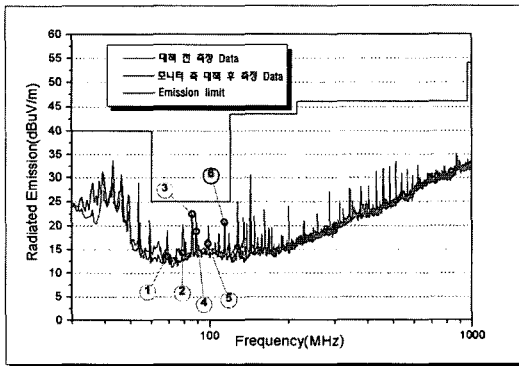
[그림 13] DC/DC convert 단에  $\pi$ -filter 추가



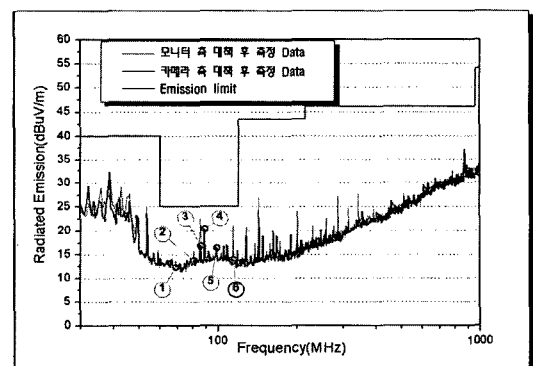
(a) Horizontal data



(a) Horizontal data



(b) Vertical data



(b) Vertical data

[그림 14] 모니터 측에 absorber 부착 및  $\pi$ -filter 적용 전/후 측정 data

[그림 15] 카메라 측에 ferrite bead 추가 전/후 측정 data 비교

### 5-2 카메라 측에 Ferrite Bead 적용

카메라 측의 고조파 성분을 제거하기 위해서 카메라 측에 Ferrite Bead를 이용해서 대책을 하였다. 대책 결과 [그림 15]에서 보는 바와 같이 ③, ⑥ 고조파 성분 모두 3 dB 이상의 Margin을 가지고 Emission limit를 만족함을 알 수 있다.

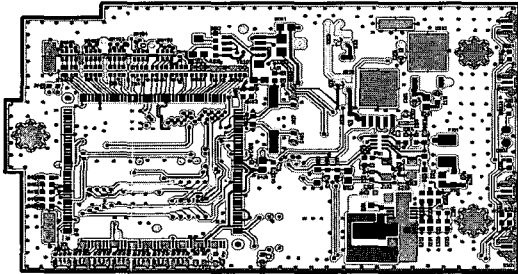
### 5-3 최종 PCB 수정

모니터 측에 적용된 대책기술인 노이즈 억제 시트를 부착하는 것은 양산성이 떨어지기 때문에 최종 PCB 수정 단계에서 외부로 노출되어 있던 9.8 MHz

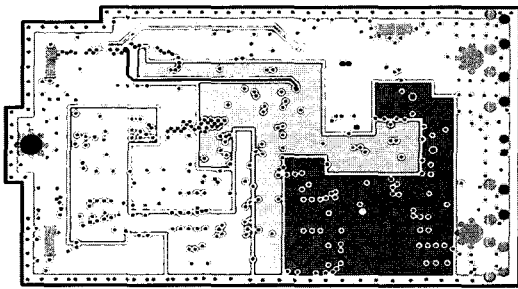
System Clock trace를 Ground plane에 내장하는 방법으로 대체하였으며, 추가로 외부로 노출되어 있던 Video signal trace도 같이 Group plane에 내장하였다.

적용된  $\pi$ -Filter를 가능한 한도 내에서 최대한 연결시 발생하는 인덕턴스를 줄일 수 있도록 PCB를 수정하였으며, 카메라 측 또한 Ferrite Bead를 실장할 수 있도록 PCB를 수정해서 연결시 발생하는 인덕턴스를 최소화 하였으며, 최종적으로 수정한 PCB artwork data는 [그림 16]과 같다.

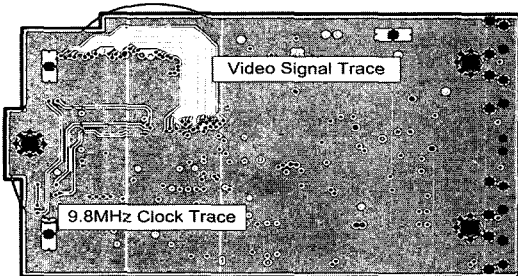
최종 PCB 수정 후 측정된 결과 [그림 17]에서 보는 바와 같이 요구되어지는 Radiated Emission limit



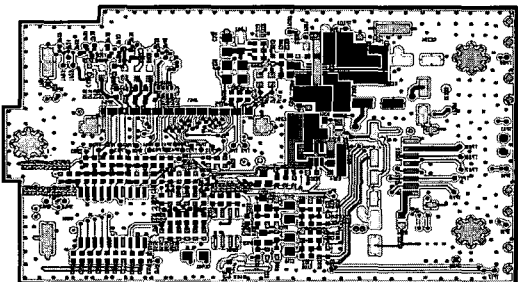
Layer 1: Top plane(copper: 흰색)



Layer 2: Power plane



Layer 3: Ground plane(copper: 녹색)

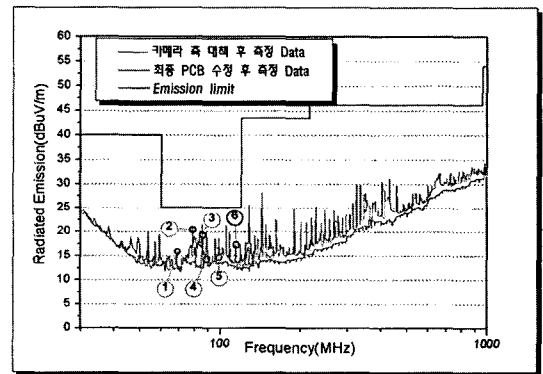


Layer 4 : Bottom plane(copper: 흰색)

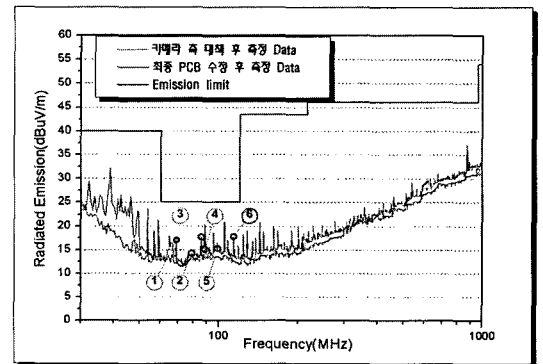
[그림 16] 최종 수정된 PCB(ground plane)

를 모두 만족하고 있음을 알 수 있다. 또한 대책시  
임시로 대책소자를 연결했을 때 발생된 추가적인 인  
덕턴스가 PCB를 수정하면서 이러한 추가적인 인덕  
턴스를 최소화 할 수 있도록 최적화되었기 때문에  
[그림 17]의 Vertical 측정 data에서 보여지듯이 저주  
파 대역의 Power/Ground plane Noise 성분이 상당히  
줄어든 것을 확인할 수 있다.

최종 PCB 수정으로 인해 문제가 되었던 모든 주  
파수 범위에서 약 5 dB 이상의 Margin을 확보하였  
다. 이는 Peak level로 대책한 결과이기 때문에 실제  
규격의 Limit인 Qusi-peak level로 측정할 경우 2~5



(a) Horizontal data



(b) Vertical data

[그림 17] 적용 대책기술에 대한 최종 PCB 수정 전/후 측정 data 비교

dB 정도의 Margin을 추가로 확보할 수 있으며 최종적으로 대략 7 dB 이상의 Margin을 확보할 수 있다.

## VI. 결 론

본 고에서는 산업체에서 제품을 개발하는 엔지니어들이 EMC를 고려한 PCB 설계 지침을 이용하여 제품을 개발하는데 참고가 될 수 있도록 PCB-level의 주요한 EMC 설계 및 대책 방법에 대해서 설명하고, 차량용 후방 감시 카메라에 대한 대책 사례에 대해서 설명하였다. 설명된 차량용 후방 감시 카메라에서 보듯이 제품 개발 단계부터 EMC를 고려해서 제품을 개발한다면, 대부분의 EMC 문제를 해결할 수 있으며, 추가적으로 발생하는 EMC 문제는 회로 Tuning 및 간단한 대책을 통해서 손쉽게 대책을 할 수 있다. 따라서, 제품 개발 초기 단계에서 반드시 상기에 설명된 PCB-level의 고려사항을 숙지하고, 개발되는 제품에 맞게 적용하는 것이 EMC 문제 해결의 가장 중요한 접근 방법으로 사료되며, 반드시 자기 제품에 맞는 EMC 설계 지침을 개발하는 것이 필요하다.

## 참 고 문 헌

- [1] Eur Ing Keith Armstrong, "Advanced PCB design and layout for EMC-Part 4-Reference plane for 0 V and power", *EMC & Compliance Journal*, pp. 34-43, Jul. 2004.
- [2] T. Zeeff, T. Hubing, and T. Van Doren, "Trace in proximity to gap in return planes", *IEEE Transactions on Electromagnetic Compatibility*, vol. 47, no. 2, pp. 388-392, May 2005.
- [3] T. Hubing, "PCB EMC design guidelines: A brief annotated list", *Proc. of the 2003 IEEE International Symposium on Electromagnetic Compatibility*, Boston, MA, pp. 34-37, Aug. 2003.
- [4] Keith Armstrong, "Advanced PCB design and layout for EMC-Part 2: Segregation and interface suppression", *EMC & Compliance Journal*, pp. 32-42, May 2004.
- [5] Keith Armstrong, "Advanced PCB design and layout for EMC-Part 5: Decoupling buried capacitance technology", *EMC & Compliance Journal*, pp. 34-43, Jul. 2004.
- [6] T. Hubing, "Effective strategies for choosing and locating printed circuit board decoupling capacitors", *Proc. of the 2005 IEEE International Symposium on Electromagnetic Compatibility*.

≡ 필자소개 ≡

정 기 범



1999년 2월: 국민대학교 전자공학과 (공학사)

2001년 2월: 국민대학교 전자공학과 (공학석사)

2002년~현재: 한양대학교 전자통신 전파공학과 박사 수료

2004년~현재: EMC기술지원센터 팀장

[주 관심분야] EMC 설계 및 대책, PCB 설계기술, 전자파수치 해석, 안테나 설계