

## 도금전류밀도 및 도금액 온도에 따른 비시안계 Au 범프의 표면 형상과 높이 분포도

최은경 · 오태성\* · G. Englemann<sup>1</sup>

홍익대학교 신소재공학과

<sup>1</sup>High Density Interconnect and Wafer Level Packaging, Fraunhofer IZM

## Surface Morphology and Thickness Distribution of the Non-cyanide Au Bumps with Variations of the Electroplating Current Density and the Bath Temperature

Eun-Kyung Choi, Tae-Sung Oh\*, and G. Englemann<sup>1</sup>

Department of Materials Science and Engineering, Hongik University

<sup>1</sup>High Density Interconnect and Wafer Level Packaging, Fraunhofer IZM

**초 록:** 도금전류밀도와 도금액 온도에 따른 비시안계 Au 범프의 표면 거칠기 및 웨이퍼 레벨에서 Au 범프의 높이 분포도를 분석하였다. 3mA/cm<sup>2</sup>와 5mA/cm<sup>2</sup>에서 도금한 Au 범프는 40°C와 60°C의 도금액 온도에 무관하게 80~100nm의 낮은 표면 거칠기를 나타내었다. 8mA/cm<sup>2</sup>로 도금시 40°C에서 도금한 Au 범프는 표면 거칠기가 800nm 정도로 크게 증가하였으나, 60°C에서 형성한 Au 범프는 80~100nm의 표면 거칠기를 나타내었다. 도금전류밀도가 3mA/cm<sup>2</sup>에서 8mA/cm<sup>2</sup>로 증가함에 따라 웨이퍼 레벨에서 Au 범프의 높이 편차가 증가하였으며, 도금액 온도가 40°C보다 60°C일 때 웨이퍼 레벨에서 더 균일한 범프 높이의 분포도를 얻을 수 있었다.

**Abstract:** Surface roughness and wafer-level thickness distribution of the non-cyanide Au bumps were characterized with variations of the electroplating current density and the bath temperature. The Au bumps, electroplated at 3mA/cm<sup>2</sup> and 5mA/cm<sup>2</sup>, exhibited the surface roughness of 80~100nm without depending on the bath temperature of 40°C and 60°C. The Au bumps, electroplated with 8mA/cm<sup>2</sup> at 40°C and 60°C, exhibited the surface roughness of 800nm and 80~100nm, respectively. Wafer-level thickness deviation of the Au bumps became larger with increasing the current density from 3mA/cm<sup>2</sup> to 8mA/cm<sup>2</sup>. More uniform thickness distribution of the Au bumps was obtained at a bath temperature of 60°C than that of 40°C.

**Keywords:** Gold bump, non-cyanide, electroplating, current density

### 1. 서 론

최근 휴대용 정보통신기기를 중심으로 전자기기의 경량화, 슬림화, 고기능화가 진행됨에 따라

IC 칩, 메모리 소자와 같은 반도체 패키지의 성능 향상과 크기 감소가 요구되고 있다.<sup>1-3)</sup> 이에 따라 기존의 기술적 한계를 극복하기 위해 칩과 기판간의 접속 방식이 와이어 본딩(wire bonding) 방식에

\*Corresponding author  
E-mail: ohts@hongik.ac.kr

서 범핑을 기초로 한 플립칩(flip chip) 방식으로 상당부분 대체되고 있다.<sup>1-5)</sup> Bare IC 칩을 플라스틱 ball grid array (PBGA) 기판, FR4 인쇄회로기판이나 플렉시블 칩 캐리어(flexible chip carrier) 등의 고분자 기판에 직접 실장하는 플립칩 패키지 기술은 기존의 반도체 패키지에 비해 크기를 현저히 감소시킬 수 있으며 입출력 단자수를 크게 증가시킬 수 있다. 또한 와이어 본딩을 이용한 패키지보다 lead 길이가 짧아서 기생 인덕턴스를 감소시킬 수 있는 장점이 있다.<sup>4,5)</sup>

플립칩 공정에서 칩 패드를 기판 패드에 접속하기 위한 범프로는 리플로우에 의해 기판 패드에 융착됨으로써 접속부를 형성하기 위한 솔더범프 및 솔더범프와는 달리 접속공정시 용해되지 않으며 기판 패드와 기계적 접속을 이루기 위한 금속 범프가 있다.<sup>4)</sup> 금속범프를 이용한 플립칩 공정은 솔더범프 플립칩 공정에 비해 접속저항이 크며 시간에 따른 접속저항의 변화가 크다는 단점이 있다. 그러나 칩과 기판의 온도를 저온으로 유지할 수 있다는 장점이 있어 구동 IC 칩을 LCD 패널의 유리기판에 플립칩 접속하기 위한 COG (chip-on-glass) 공정에 일반적으로 사용되고 있다.<sup>6-9)</sup>

플립칩 공정용 금속범프로는 Au 범프가 일반적으로 사용되고 있다.<sup>4)</sup> Au는 전기 전도도와 열전도도가 뛰어나고 화학적으로 안정하며, 대부분의 산, 알칼리에 대해 의해 내식특성이 우수하며 고온에서도 산화되지 않는 장점이 있어, 금속범프의 재료로 적합하다.<sup>10,11)</sup> Au 범프를 적용한 범핑의 예로는 LCD 구동 칩, 시계모듈, 스마트 카드와 RFID-Tag와 같은 RF 카드를 들 수 있다.<sup>12,13)</sup>

플립칩 접속용 범프 형성공정 중에서 전기도금법은 진공증착법에 비해서 공정이 단순한 장점이 있으며, 스텐실 프린팅법에 비해서는 미세피치를 구현할 수 있다는 장점을 갖고 있다.<sup>4)</sup> 또한 전기도금법은 도금층이 금속 이외의 불순물을 포함하는 경우가 적고, 순도가 높아 전기전도성을 향상시킬 수 있다. 그러나 범프 높이의 조절이나 높이 균일도를 얻는 것이 진공증착법이나 스텐실 프린팅법에 비해 어렵다는 단점이 있다.

Au 도금에 이용되는 금이온의 염으로서 크게 시안계(cyanide)와 비시안계(non-cyanide)로 분류된다.  $Au(CN)_2^-$  시안계의 경우 도금용액이 매우 안정되어 산업적으로 가장 일반적으로 사용되고

있으나, 최근 시안계 염의 높은 독성에 기인하여, 이를 대체할 수 있는 비시안계 Au 도금의 전자산업에의 응용이 점차 증대되고 있다.<sup>10,11)</sup>

본 연구에서는 비시안계 Au 범프 형성공정을 개발하기 위한 기초연구로서 도금전류밀도 및 도금액 온도를 변화시키며 Au 범프를 형성 후 이들 변수들에 따른 Au 범프의 표면 거칠기의 변화 및 웨이퍼 레벨(wafer level)에서 Au 범프의 높이 분포도에 대해 분석하였다.

## 2. 실험방법

전기도금으로 Au 범프를 형성하기 위해 100 mm 크기의 실리콘 웨이퍼 위에 접착층으로 200 nm 두께의 TiW를 스퍼터링 하였으며, 그 위에 도금 씨앗층 및 산화방지막으로 200 nm Au를 스퍼터 증착하였다. Clariant사의 AZ4562 photoresist (PR)를 사용하여 한 번의 스페인코팅으로 30  $\mu\text{m}$  정도의 두께의 PR 층을 형성 후, 리소그래피를 사용하여 100  $\mu\text{m}$  및 10  $\mu\text{m}$  크기의 정사각형 범프도금용 PR 패턴을 형성하였다.

Au 도금액으로는 Enthone사에서 비시안계 Au 범프도금 전용으로 상용 중인 Microfab Au660을 사용하였으며, 도금액내의 Au의 농도를 16 g/L, pH를 8.2~8.3으로 고정하였다. 도금장비로는 RENA fountain plater를 사용하였고, Au 전극을 이용하여 7 L/min의 속도로 교반하며 Au 전기도금을 실시하였다. 이때 도금전류밀도를 3 mA/cm<sup>2</sup>, 5 mA/cm<sup>2</sup>, 8 mA/cm<sup>2</sup>, 도금액 온도는 40°C, 60°C로 변화시켰으며, Au 범프의 두께가 20  $\mu\text{m}$ 가 되도록 도금시간을 조절하였다. Au 범프 도금 후 AZ 100 Developer와 증류수를 1:1로 혼합하여 50°C에서 PR을 제거하였다.

Au 범프 표면을 광학현미경을 이용하여 관찰하여 결정립 크기를 측정하였으며, Veeco Instruments사의 Dectak 3 system을 이용하여 100  $\mu\text{m}$ 와 10  $\mu\text{m}$  크기 범프의 높이와 표면 거칠기를 측정하였다. 이때 Fig. 1에 나타난 위치에 있는 범프들의 높이를 측정하여 비교함으로써, 웨이퍼 레벨 도금 시 범프의 위치(웨이퍼 중앙/웨이퍼 가장자리)에 따른 높이 분포도를 분석하였다. Fig. 1에서 웨이퍼의 왼쪽 부분에서 오른쪽으로 가면서 형성되어 있는 각 범프 어레이(array)에 1h, 2h, 3h의 순서로

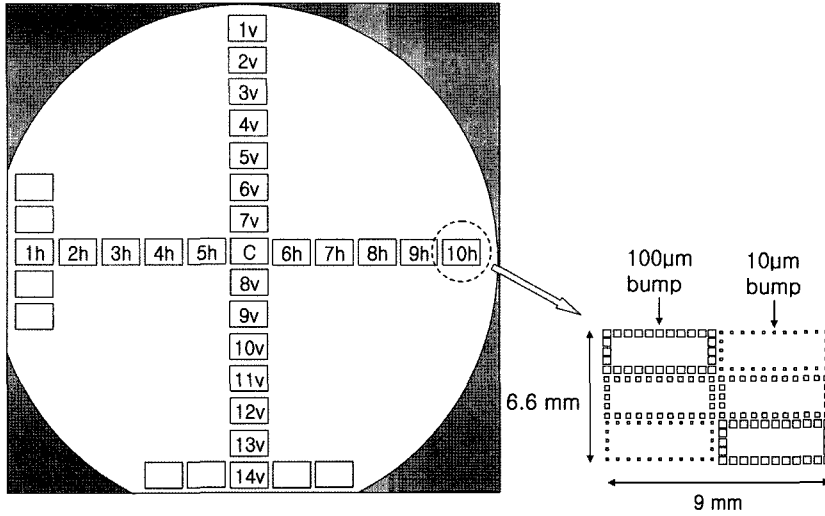


Fig. 1. Schematic illustration for bump-array positions on a wafer to measure the Au bump size and height.

이름을 붙였으며, 웨이퍼의 밑 부분에서 위로 올라가면서 각 범프 어레이에 1v, 2v, 3v의 순서로 이름을 붙였다. 웨이퍼의 정 가운데에 있는 범프 어레이는 c로 표기하였다. 각 범프 어레이에는 Fig. 1에서와 같이 100µm에서 10µm까지 서로 크기가 다른 범프들을 형성하였다.

### 3. 결과 및 고찰

Fig. 2(a)와 (b)에 각기 웨이퍼 횡 방향과 종방향으로 각 범프 어레이 위치에 따른 100µm 및 10µm PR 패턴의 실제 크기를 측정된 결과를 나타내었다. 또한 Fig. 2(c)와 (d)에는 이들 PR 패턴을 사용하여 도금액 온도 40°C, 도금전류밀도 5 mA/cm<sup>2</sup>의 조건으로 전기도금한 Au 범프의 크기를 측정된 결과를 나타내었다. Fig. 2(a)와 (b)에서와 같이 100µm 크기의 정사각형 마스크 패턴을 사용하여 형성한 PR 패턴의 경우에는 105~120µm의 크기를 나타내었으며, 10µm 크기의 정사각형 마스크 패턴을 사용하여 형성한 PR 패턴의 경우에는 15~25µm의 크기를 나타내었다. 이와 같이 실제 develop된 PR 패턴의 크기가 마스크 패턴과 차이가 나는 것은 thick PR인 AZ4562의 over develop에 기인한다. 각기 100µm 크기와 10µm 크기의 마스크 패턴으로 노광한 PR 패턴에서 마스크 패턴의 크기에 무관하게 PR 패턴들의 크기가 5~

20µm 정도 크게 노광된 이유는 Fig. 1과 같은 패턴을 사용하여 한 번의 노광공정으로 100µm PR 패턴과 10µm PR 패턴을 동시에 형성하였기 때문이다. Fig. 2(a) 및 (b)에서 웨이퍼 중앙에 있는 PR 패턴의 크기가 웨이퍼 가장자리에 있는 PR 패턴에 비해 더 크게 나타났는데, 이는 PR 공정시 웨이퍼 중앙 부위에서 PR의 두께가 가장자리에 비해 얇기 때문에 더 잘 노광되었기 때문이다. Fig. 2(c) 및 (d)와 같이 도금액 온도 40°C, 도금전류밀도 5 mA/cm<sup>2</sup>의 조건으로 전기도금한 Au 범프의 크기를 측정된 결과, 100µm 범프의 경우에는 PR 패턴과 거의 같은 105~120µm의 크기 분포도를 나타내었으며 10µm 범프의 실제 크기는 PR 패턴보다는 작은 15µm로 측정되었다.

각기 40°C와 60°C의 도금액 온도에서 도금전류밀도를 3mA/cm<sup>2</sup>, 5mA/cm<sup>2</sup> 및 8mA/cm<sup>2</sup>로 변화시키며 형성한 Au 범프의 표면 광학사진을 Fig. 3과 Fig. 4에 나타내었다. Fig. 3에 있는 40°C에서 도금한 Au 범프에서는 3mA/cm<sup>2</sup>에서 8mA/cm<sup>2</sup> 범위의 도금전류밀도에 따른 결정립 크기의 차이가 크게 관찰되지 않았다. 반면에 Fig. 4에 나타난 바와 같이 60°C에서 도금한 Au 범프에서는 도금전류밀도가 3mA/cm<sup>2</sup>에서 8mA/cm<sup>2</sup>로 증가함에 따라 결정립 크기가 감소하는 것을 관찰할 수 있다. 전기도금시 전해액 내에서 전기영동, 대류 및 확산에 의하여 음극 표면으로 이동한 금속 이온이 전극 내

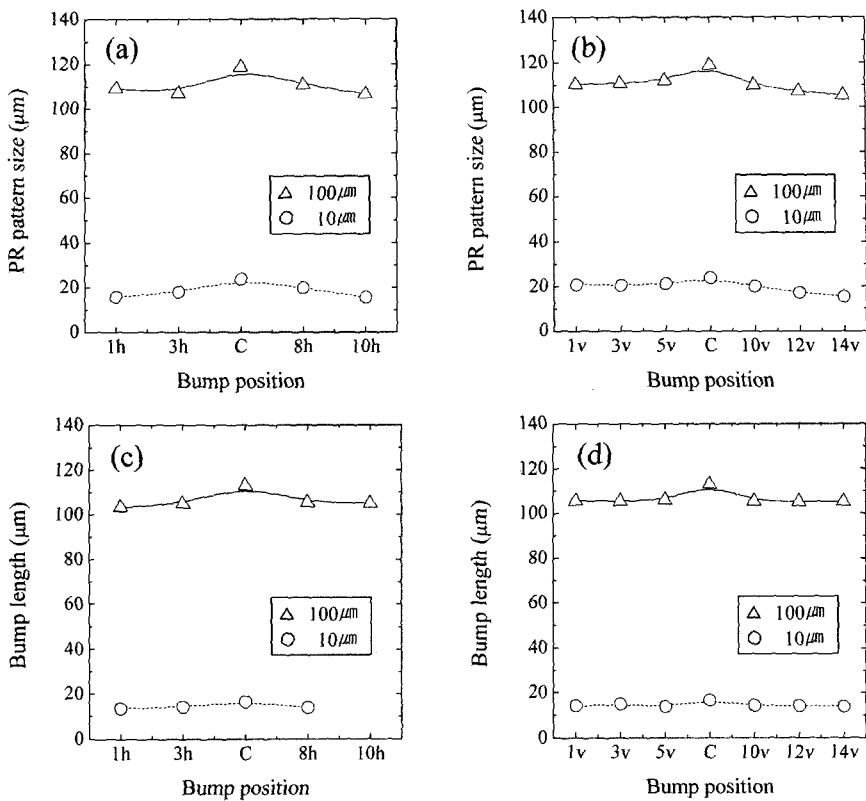


Fig. 2. Actual sizes of photoresist(PR) patterns measured on each bump-array position along (a) horizontal and (b) vertical directions, and the Au bump sizes measured along (c) horizontal and (d) vertical directions.

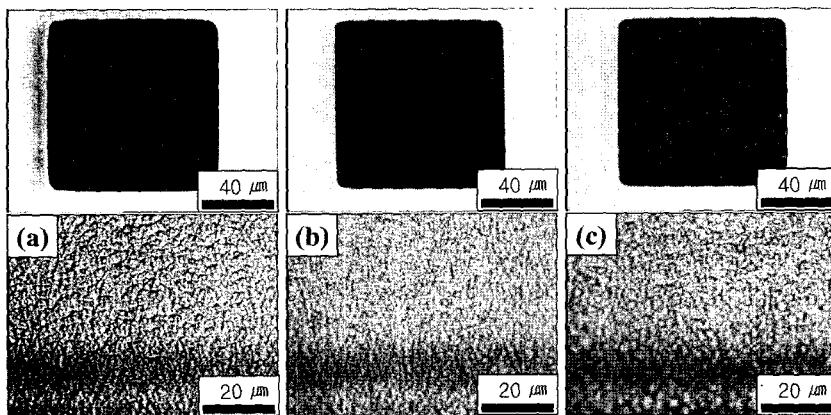


Fig. 3. Optical micrographs of the Au bumps electroplated at 40°C with a current density of (a) 3mA/cm<sup>2</sup>, (b) 5mA/cm<sup>2</sup>, and (c) 8mA/cm<sup>2</sup>.

에서 이동된 전자와 전극-전해액 계면에서 전하이동반응(charge transfer reaction)을 하여 음극 표면에 전착되게 된다.<sup>14)</sup> 전류밀도가 증가함에 따라 음

극 표면에 전착되는 금속 이온의 수가 증가하여 더 많은 핵생성이 발생하게 되어 Au 도금의 결정립 크기가 작아지게 된다.

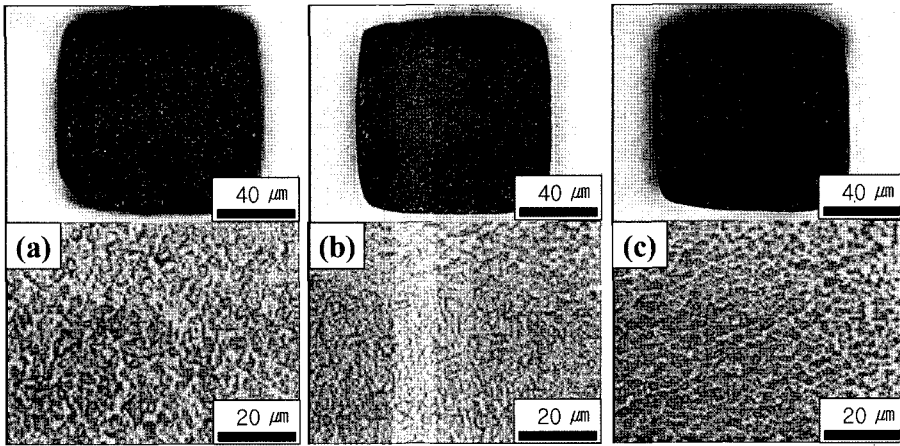


Fig. 4. Optical micrographs of the Au bumps electroplated at 60°C with a current density of (a) 3mA/cm<sup>2</sup>, (b) 5mA/cm<sup>2</sup>, and (c) 8mA/cm<sup>2</sup>.

Fig. 5에 각기 40°C와 60°C의 도금액 온도에서 도금한 Au 범프의 도금전류밀도에 따른 표면 거칠기를 나타내었다. 도금전류밀도가 3mA/cm<sup>2</sup>와 5mA/cm<sup>2</sup>인 경우에는 도금액의 온도에 무관하게 80~100nm 정도의 낮은 표면 거칠기를 나타내었다. 반면에 8mA/cm<sup>2</sup>의 도금전류밀도로 도금시 40°C의 도금액 온도에서 도금한 Au 범프는 표면 거칠기가 800 nm 정도로 크게 증가하였으나, 60°C의 도금액 온도에서 형성한 Au 범프는 3mA/cm<sup>2</sup>와 5 mA/cm<sup>2</sup>에서 도금한 범프와 거의 동일한 표면 거칠기를 나타내었다. 이와 같은 본 연구의 결과와 마찬가지로 비시안계 Au 도금시 전류밀도가 어느 범위 이상으로 증가하면 도금 표면이 밝은 금색을 잃고 거칠기가 크게 증가하며, 또한 미려한 Au 도금을 얻을 수 있는 전류밀도의 범위가 도금액 온도가 증가함에 따라 증가한다고 보고되고 있다.<sup>11)</sup>

최근 칩들을 절단하지 않은 웨이퍼 상태에서 재배열 층 형성과 범프 형성까지의 패키징 공정을 완료 후 bare 칩을 절단하는 웨이퍼 레벨 패키징에 대한 연구가 활발히 진행되고 있다.<sup>5,15)</sup> 웨이퍼 레벨 패키징에서는 전체 웨이퍼 상에서 범프들이 동시에 형성되기 때문에 범프 높이의 균일성이 요구된다. 웨이퍼 레벨로 Au 범프를 도금시 발생하는 도금전류밀도 및 도금액 온도에 따른 Au 범프들의 높이 편차를 분석하기 위해 Fig. 1에 나타난 가로 및 세로의 각 위치에서 100 μm 및 10 μm 크기의 Au 범프들의 높이를 측정하였다. 웨이퍼 레벨

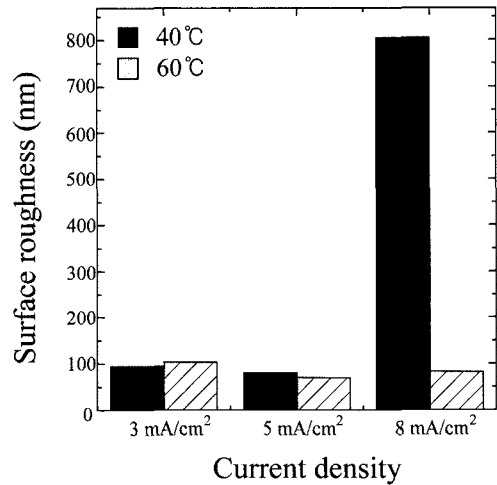
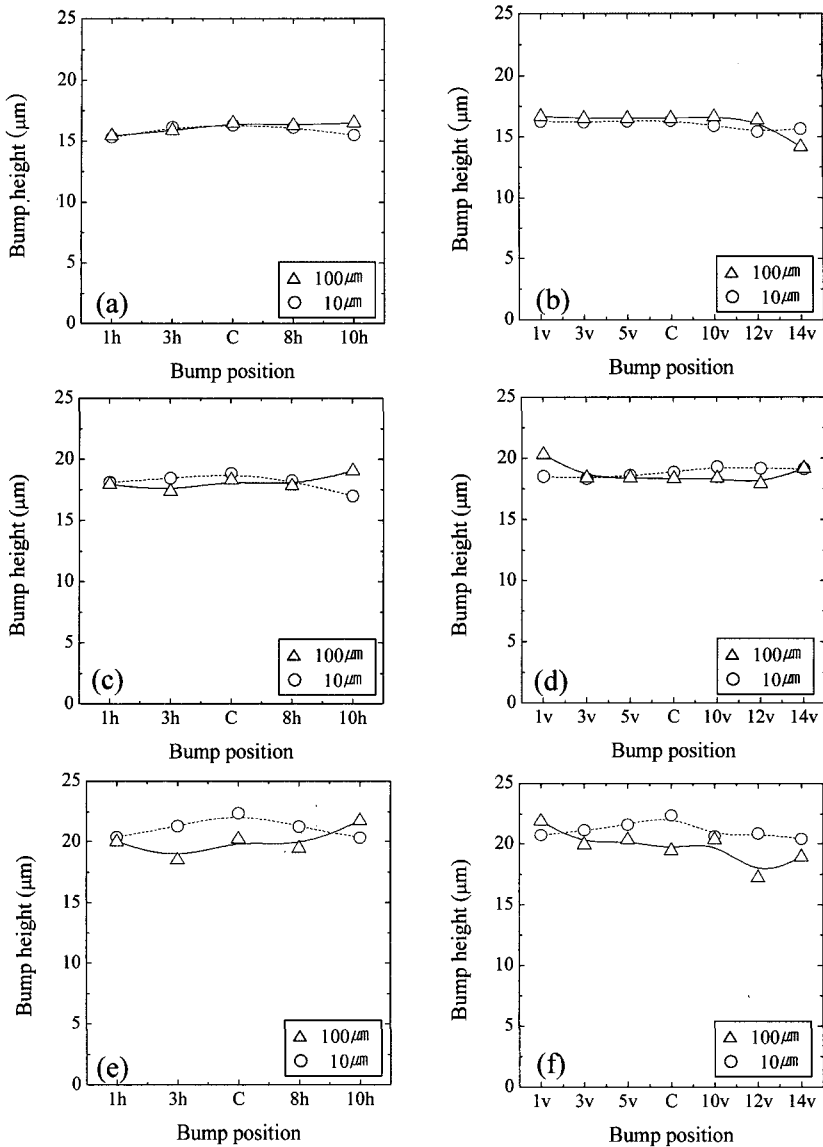


Fig. 5. Surface roughness of the Au bumps electroplated at 40°C and 60°C.

에서 전류밀도에 따른 Au 범프의 높이 분포를 비교하기 위해 도금액 온도 60°C에서 도금한 Au 범프의 가로 방향과 세로 방향에서의 높이 분포를 Fig. 6에 나타내었다. 또한 도금액 온도가 웨이퍼 레벨에서 Au 범프의 높이 분포도에 미치는 영향을 분석하기 위해 40°C에서 5mA/cm<sup>2</sup>의 도금전류밀도로 전기도금한 Au 범프의 가로 방향과 세로 방향에서의 높이 분포를 Fig. 7에 나타내었다.

Fig. 6에서와 같이 도금전류밀도가 증가함에 따라 웨이퍼 레벨에서 가로 방향과 세로 방향에서



**Fig. 6.** Height distribution of the Au bumps electroplated at 60°C: (a) horizontal and (b) vertical directions (current density: 3mA/cm<sup>2</sup>), (c) horizontal and (d) vertical directions (current density: 5mA/cm<sup>2</sup>), (e) horizontal and (f) vertical directions (current density: 8mA/cm<sup>2</sup>)

모두 범프의 높이가 증가하며 또한 범프 높이의 편차가 증가하는 것을 알 수 있다. 도금전류밀도 3mA/cm<sup>2</sup>의 조건에서는 크기 10 μm의 범프 높이와 크기 100 μm의 범프 높이가 동일하였으나, 도금전류밀도를 증가시키에 따라 크기가 다른 이들 두 범프들의 높이 차이가 점점 심하게 발생하였다. 크기 10 μm인 범프가 크기 100 μm인 범프에 비해

도금속도가 더 빠르는데, 이는 도금시 opening 면적이 작은 곳에 도금전류가 집중함을 보여준다. Fig. 7에 나타낸 40°C에서 5mA/cm<sup>2</sup>로 전기도금한 Au 범프의 높이 분포를 Fig. 6(c) 및 (d)의 결과와 비교시, 도금액 온도가 40°C보다는 60°C일 때 웨이퍼 레벨에서 범프 높이의 분포도를 더욱 균일하게 유지할 수 있다는 것을 알 수 있다. Fig. 6와 Fig. 7

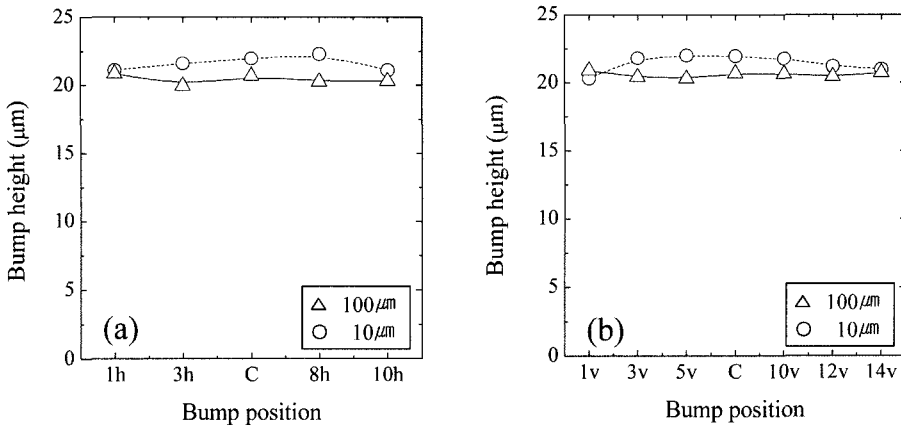


Fig. 7. Height distribution of the Au bumps electroplated with a current density of 5mA/cm<sup>2</sup> at 40°C: (a) horizontal and (b) vertical directions.

의 결과로부터 웨이퍼 레벨에서 Au 범프 높이의 균일한 분포도를 얻기 위해서는 60°C의 도금액 온도로 3mA/cm<sup>2</sup>의 전류밀도를 인가하여 Au 범프를 형성하는 것이 최적의 조건이라는 것을 알 수 있다.

#### 4. 결 론

비시안계 Au 도금을 이용한 플립칩 공정용 Au 범프 형성을 위해 도금전류밀도와 도금액 온도에 따른 표면 거칠기 및 웨이퍼 레벨에서 Au 범프의 높이 분포도를 분석한 결과 다음과 같은 결론을 얻었다.

(1) 40°C에서 도금한 Au 범프에서는 3mA/cm<sup>2</sup>에서 8mA/cm<sup>2</sup> 범위의 도금전류밀도에 따른 결정립 크기의 차이가 크게 관찰되지 않았으나, 60°C에서 도금한 Au 범프에서는 도금전류밀도가 3mA/cm<sup>2</sup>에서 8mA/cm<sup>2</sup>로 증가함에 따라 결정립 크기가 감소하였다.

(2) 도금전류밀도 3mA/cm<sup>2</sup>와 5mA/cm<sup>2</sup>에서 도금한 Au 범프는 도금액의 온도에 무관하게 80~100nm 정도의 낮은 표면 거칠기를 나타내었다. 반면 8mA/cm<sup>2</sup>의 도금전류밀도로 도금시 40°C에서 도금한 Au 범프는 표면 거칠기가 800nm 정도로 크게 증가하였으나, 60°C에서 형성한 Au 범프는 3mA/cm<sup>2</sup>와 5mA/cm<sup>2</sup>에서 도금한 범프와 거의 동일한 표면 거칠기를 나타내었다.

(3) 도금전류밀도가 3mA/cm<sup>2</sup>에서 8mA/cm<sup>2</sup>로

증가함에 따라 웨이퍼 레벨에서 Au 범프의 높이 편차가 증가하였다. 도금액 온도가 40°C보다는 60°C일 때 웨이퍼 레벨에서 범프 높이의 분포도가 더 균일하게 유지되었다. 웨이퍼 레벨에서 Au 범프 높이의 균일한 분포도를 얻기 위한 최적 조건은 60°C의 도금액에서 3mA/cm<sup>2</sup>의 전류밀도를 인가하는 것이었다.

#### 감사의 글

본 연구는 과학기술부/한국과학재단 전자패키지재료연구센터(우수연구센터) 지원(세부과제번호: R11-2000-085-08003-0) 및 CEPM-Fraunhofer IZM 해외 현지연구실과제의 지원(세부과제번호: R11-2000-085-00001-0)으로 수행되었음.

#### 참고문헌

1. K.N. Tu and K. Zeng, "SnPb solder reaction in flip chip technology," Materials Science and Engineering Reports, R34, 1-58 (2001).
2. C. A. Harper, "Electronic packaging and interconnection handbook", McGraw-Hill, New York (2000) p.124
3. D. R. Frear, S. N. Burchett, H. S. Morgan, and J. H. Lau, "The mechanics of solder alloy interconnects", Van Nostrand Reinhold, New York (1994) p.74
4. J. Lau (ed.), "Flip chip technologies", McGraw Hill, New York (1996) p.25

5. J. Lau, "Low cost flip chip technologies", McGraw Hill, New York (2000) p.11
6. R. Joshi, "Chip on glass-interconnect for row/column driver packaging" *Microelectr. J.*, vol. 29, (1998), p. 343-349.
7. Kristiansen H. Liu J. "Overview of conductive adhesive interconnection technologies for LCD's", "IEEE Trans-CPMT-A, Vol. 21, No. 2 (1998), p.208-214.
8. K. Hatada and H. Fujimoto, "A new LSI bonding technology, micron bump bonding technology", *Proc. of the 39th. Electronic. Components Conference*, (1989) p.45-49.
9. D. Wojciechowski, J. Vanfleteren, E. Reese, and H.-W. Hagedorn. "Electro-conductive adhesives for high density package and flip-chip interconnections" *Microelectron. Reliab.*, vol. 40, (2000), p. 1215-1226.
10. M. Schlesinger and M. Paunovic (eds.), "Modern electroplating", John Wiley and Sons, Inc., New York (2000) p.201
11. K. Wang, R. Beica, and N. Brown, "Soft gold electroplating from a non-cyanide bath for electronic applications" *Electronics Manufacturing Technology Symposium, 2004, IEEE/CPMT/SEMI 29th International*, (2004) p.242.
12. T. Osaka, A. Kodera, T. Misato, T. Homma, Y. Okinaka, O. Yoshioka, "Electrodeposition of soft gold from a thiosulfate-sulfite bath for electronics applications", *J. Electrochem. Soc.*, 144, 3462 (1997).
13. T.Osaka, M.Kato, J.Sato, K.Yoshizawa, T.Homma, Y.Okinaka, and O.Yoshioka, "Mechanism of sulfur inclusion in soft gold electrodeposited from the thio-sulfate-sulfite bath," *J. Electrochem. Soc.*148, (2001), C659.
14. M. Schlesinger and M. Paunovic (eds.), "Modern electroplating", John Wiley and Sons, Inc., New York (2000) p.1
15. J. H. Lee and S. W. R. Lee, "Chip scale package", McGraw-Hill, New York, (1999) p.455