

## Electrodeposition 변수에 따른 Sn 도금의 표면 거칠기와 플립칩 접속된 Sn 범프의 접촉저항

정부양 · 박선희 · 김영호<sup>1</sup> · 오태성\*

홍익대학교 신소재공학과, <sup>1</sup>한양대학교 신소재공학부

### Surface Roughness of the Electroplated Sn with Variations of Electrodeposition Parameters and Contact Resistance of the Flip-chip-bonded Sn Bumps

Boo-Yang Jung, Sun-Hee Park, Young-Ho Kim<sup>1</sup>, and Tae-Sung Oh\*

Department of Materials Science and Engineering, Hongik University

<sup>1</sup>Division of Materials Science and Engineering, Hanyang University

**초 록:** 플립칩 공정에 Sn 범프를 적용하기 위해 도금전류밀도와 전류모드에 따른 Sn 도금막의 표면 거칠기와 경도를 측정하였다. 전류밀도 5~50 mA/cm<sup>2</sup>에서 전기도금한 Sn 도금막은 2.0~2.4 μm의 표면 거칠기를 나타내었으며, 직류모드보다 펄스모드로 형성한 Sn 도금막에서 표면 거칠기가 감소하였다. 할로겐 램프를 사용하여 300°C에서 3초간 유지하는 표면 열처리에 의해 Sn 도금의 표면 거칠기가 1 μm 정도로 현저히 저하되었다. 전류밀도 5~50mA/cm<sup>2</sup>에서 전기도금한 Sn 도금막은 10 Hv의 경도를 나타내었다. Sn 범프들을 이용하여 플립칩 본딩한 시편들은 33~17mΩ의 낮은 접촉저항을 나타내었다.

**Abstract:** Surface roughness and hardness of the electroplated Sn were characterized with variations of electroplating current density and current mode. The Sn electroplated at 5~50mA/cm<sup>2</sup> exhibited the surface roughness of 2.0~2.4 μm. The Sn electroplated with pulse current mode exhibited low surface roughness compared one processed with direct current mode. With surface annealing at 300°C for 3 sec using halogen lamp, surface roughness of the Sn bump was substantially reduced to 1μm. The Sn electroplated at 5~50mA/cm<sup>2</sup> exhibited the hardness of 10 Hv. Low contact resistances of 33~17mΩ were obtained for specimens flip-chip bonded with Sn bumps.

**Keywords:** Flip chip, COG, Sn bump, electrodeposition, contact resistance

## 1. 서 론

LCD (Liquid Crystal Display)는 두께가 얇고, 무게가 가벼우며, 소비전력이 낮은 장점이 있어 텔레비전, 노트북 컴퓨터, 휴대전화나 PDA와 같은 휴대용 정보통신기기 등의 디스플레이로 일반적으로 사용되고 있다.<sup>1-4)</sup> LCD 구동용 IC 칩을 평판

디스플레이 패널에 연결하여 전기적 신호를 전달하기 위한 방법으로 COG (chip on glass) 공정이 사용된다.<sup>5-14)</sup> COG 공정은 IC 칩에 형성한 금속 범프를 이용하여 IC 칩을 LCD 패널에 직접 실장하는 방법으로서 미세한 피치를 가진 IC 칩의 실장이 가능하다. 또한 IC 칩의 점유면적을 최소화시킬 수 있어 LCD 장치의 소형화와 박판화가 가능

\*Corresponding author  
E-mail: ohts@hongik.ac.kr

하고, IC 칩과 LCD 패널간의 거리 감소에 따른 신호전달 속도의 증가로 성능 향상이 가능하다.<sup>13,14)</sup>

이제까지 COG 공정은 주로 이방성 전도필름을 이용하여 이루어졌는데, 이는 고분자 내에 Au, Ag, Ni 등의 금속입자 또는 Au/Ni을 코팅한 플라스틱 입자와 같은 전도입자가 들어있는 이방성 전도필름을 IC 칩과 LCD 패널 사이에 넣고 열압착시켜 IC 칩을 LCD 패널에 실장시키는 방법이다.<sup>5-11)</sup> 따라서 전기 전도가 LCD 패널의 패드와 IC 칩의 범프 사이에 압착된 전도입자의 기계적 접촉에 의해 이루어지므로 범프 접촉저항이 크며 또한 사용 중에 접촉저항이 증가하는 등의 문제점이 발생할 수 있다.<sup>12-14)</sup> 또한 이방성 필름이 고가라는 단점이 있으며, 범프 피치가 미세화 됨에 따라 open이나 short가 용이하게 발생할 수 있어 50  $\mu\text{m}$  이하의 미세 피치를 갖는 IC 칩의 실장에는 적용하기 어려운 문제점이 있었다.<sup>13,14)</sup> 이와 같은 문제점을 해결하기 위해 비전도성 접착제 (non-conductive adhesive: NCA)를 이용한 COG 본딩 공정이 제안되었다.<sup>10-14)</sup>

비전도성 접착제를 이용한 COG 공정에서는 IC 칩의 범프와 LCD 패널의 패드 사이에 비전도성 접착제를 주입한 후 적정 온도와 응력을 인가하여 IC 칩의 범프를 LCD 패널의 패드에 직접 접합하게 된다. 따라서 이방성 전도필름을 이용한 접합 공정과는 달리 접착제 내에 전도입자가 없어 50  $\mu\text{m}$  이하의 미세피치에서도 IC 칩의 실장이 가능하며, 저비용 공정이라는 장점이 있다.

COG 공정을 포함한 플립칩 공정용 금속 범프로는 Au 범프가 일반적으로 사용되고 있다.<sup>15)</sup> Sn 범프는 Au 범프에 비해 가격이 저렴하며 도금 생산성이 우수하고 항복강도가 낮은 장점이 있어,<sup>16)</sup> NCA를 이용한 COG 공정에 Sn 범프의 적용이 가능하다. Sn 범프를 COG 공정에 적용시 범프 접속부의 전기적 특성과 기계적 신뢰성에 Sn 범프의 표면 거칠기와 기계적 성질이 중요한 인자들로 작용하게 된다.

본 연구에서는 COG 등의 플립칩 공정에 Sn 범프를 적용하기 위한 연구로서, 도금전류밀도와 전류모드를 변화시키며 Sn을 전기도금한 후, 이들 전기도금 변수와 표면 열처리 공정에 따른 Sn 도금막의 표면 거칠기와 경도를 측정하였다. 또한 전기도금으로 Sn 범프를 형성한 daisy chain 구조

의 시편을 플립칩 본딩하여 접속압력 및 온도에 따른 범프 접속부의 접속저항을 분석하였다.

## 2. 실험 방법

도금전류밀도와 전류모드에 따른 Sn 도금의 표면 거칠기와 기계적 성질의 변화 거동을 용이하게 분석하기 위해, 1 cm $\times$ 1 cm 크기의 Si 기판에 5~50 mA/cm<sup>2</sup>의 전류밀도로 직류모드와 펄스모드를 인가하여 40  $\mu\text{m}$  두께의 Sn 도금막을 형성하였다. 펄스모드를 인가시에는 10ms on-time, 90ms off-time의 조건을 설정하였다.

Sn 도금막의 표면 거칠기는 Fig. 1에 나타난 방법을 사용하여 분석하였다. Sn 도금막의 단면을 연마하고 SEM으로 Fig. 1과 같은 단면 미세구조 사진을 찍은 후, 이 미세구조 사진에서 가장 높은 봉우리에서 두 번째로 높은 봉우리를 연결하는 선을 그었다. 이와 같이 그은 선과 Sn 도금막의 표면 사이의 면적 (Fig. 1(b)에서 까맣게 처리된 부위)을 image analyzer를 이용하여 측정 후, 이를 Sn 도금막의 길이로 나누어 줌으로써 Sn 도금막의 평균 표면 거칠기를 구하였다. Fig. 1(b)에서 까맣게 처리된 부위가 플립칩 본딩시 Sn 범프와 기판 패드 사이에서 NCA가 포획되는 단면이 된다. 따라서 본 연구와 같은 방법을 사용하여 측정된 Sn 도금막의 표면 거칠기가 커질수록 플립칩 본딩시 Sn 범프와 기판 패드 사이에서 포획되는 NCA의 양이 증가한다는 것을 의미한다.

전기도금법으로 Sn 범프를 형성하기 위해, 1000

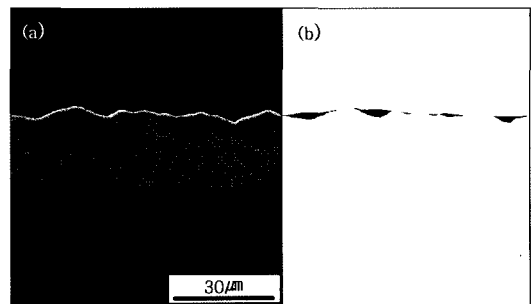


Fig. 1. (a) Cross-sectional SEM micrograph of the electro-deposited Sn and (b) its image processed for surface-roughness measurement.

Å 두께의 SiO<sub>2</sub>가 형성된 p형 Si 웨이퍼에 접착층으로서 0.1 μm의 Ti을 DC 마그네트론 스퍼터링법으로 스퍼터 증착 후, 그 위에 배선층으로 2 μm 두께의 Cu를 스퍼터 증착하였다. 이와 같은 Cu 배선층 위에 0.1 μm의 Ti을 DC 마그네트론 스퍼터링

법으로 형성하였다. Ti(0.1 μm)/Cu(2 μm)/Ti(0.1 μm)에 대해 Sn 범프를 형성할 위치에서 표면 Ti층을 습식에칭으로 제거한 후, Sn을 10 μm 두께로 전기도금하여 Sn 범프를 형성하였다.

Sn 도금의 표면 거칠기를 감소시키기 위해 진공 중에서 할로겐 램프를 사용하여 Sn 범프와 Sn 도금막의 표면을 국부적으로 3초간 용융시키는 표면 열처리를 행한 후, Fig. 1에 나타낸 방법을 사용하여 표면 거칠기를 분석하였다. 주사전자현미경 (Scanning Electron Microscopy: SEM)을 사용하여 Sn 도금막과 Sn 범프의 미세구조를 관찰하였다.

Ti(0.1 μm)/Cu(2 μm)/Ti(0.1 μm) 배선에서 표면 Ti를 daisy chain 패턴으로 습식 에칭한 후 전기도금으로 크기 25×25 μm, 높이 10 μm 및 피치 150 μm의 Sn 범프를 형성하였다. 이와 같은 칩 시편을 Finetech사의 플립칩 본더를 사용하여 기판의 Ti/Cu UBM에 44~95 MPa의 압력으로 130~175°C에서 3분간 플립칩 본딩하여 접속저항 측정용 daisy chain 시편을 제작하였다. Fig. 2에 daisy chain 시편 제작에 사용된 칩과 기판의 배선 구조를 나타내었다. 이와 같은 daisy chain 시편의 범프 개수에 따른 저항을 four point probe를 사용하여 측정함으로써 Sn 범프 접속부의 접속저항을 분석하였다.

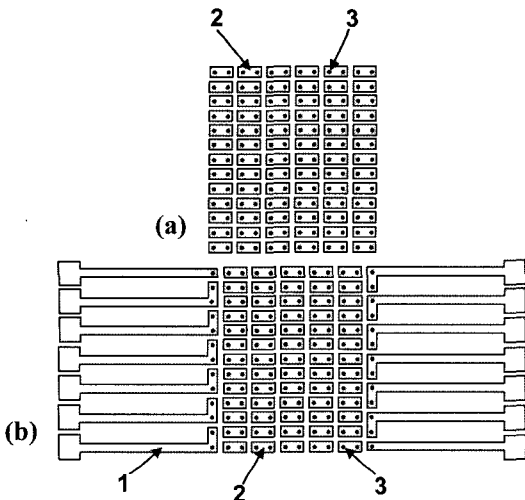


Fig. 2. Schematic illustration of the daisy chain configurations for (a) a chip and (b) a substrate (1 and 2: metallization line, 3: Sn bump).

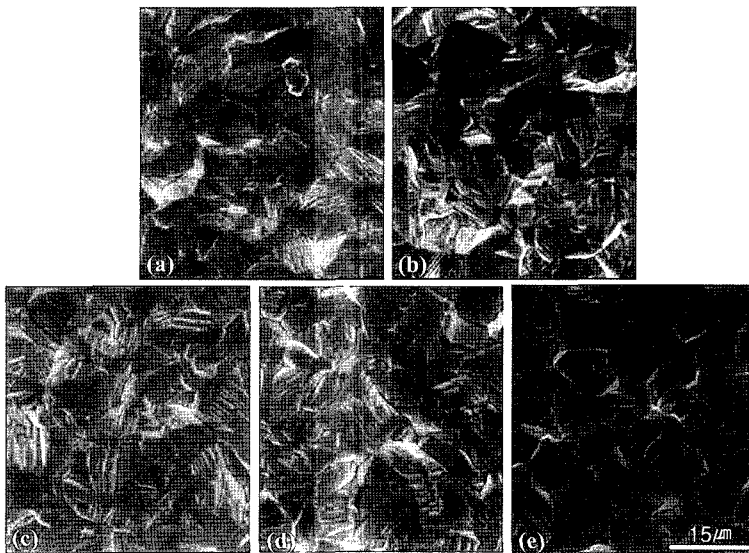


Fig. 3. SEM micrographs of the Sn surface electrodeposited with direct current mode at a current density of (a) 5 mA/cm<sup>2</sup>, (b) 10 mA/cm<sup>2</sup>, (c) 20 mA/cm<sup>2</sup>, (d) 40 mA/cm<sup>2</sup>, and (e) 50 mA/cm<sup>2</sup>.

### 3. 결과 및 고찰

Fig. 3에  $5\text{mA}/\text{cm}^2$ 에서  $50\text{mA}/\text{cm}^2$  범위의 전류밀도로 직류모드를 인가하여 전기도금한 Sn 도금막의 표면 미세구조를 SEM으로 관찰한 결과를 나타내었다. 일반적으로 전류밀도가 증가할수록 Sn 도금막의 결정립 크기가 감소한다고 보고되고 있으나,<sup>16)</sup> 본 실험에서 수행한  $5\text{mA}/\text{cm}^2 \sim 50\text{mA}/\text{cm}^2$  범위에서는 전류밀도에 따른 Sn 도금막의 결정립 크기 및 표면 형상의 변화를 관찰할 수 없었다. 전류밀도  $5\text{mA}/\text{cm}^2 \sim 50\text{mA}/\text{cm}^2$ 을 인가하여 형성한 Sn 도금막들에 대해 Fig. 1에 나타난 방법을 사용하여

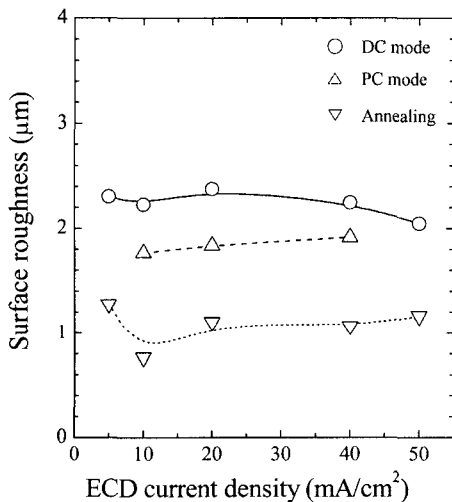


Fig. 4. Surface roughness of the Sn, electrodeposited with direct current mode, pulse current mode, and annealed after electrodeposition with direct current mode, as a function of the electro-chemical deposition (ECD) current density.

표면 거칠기를 측정하였으며, 이를 Fig. 4에 나타내었다. 도금전류밀도에 무관하게 Sn 도금막들은  $2.0 \sim 2.4 \mu\text{m}$ 의 표면 거칠기를 나타내었다. 이와 같이 도금전류밀도에 따른 표면 거칠기의 변화가 관찰되지 않는 이유는  $5\text{mA}/\text{cm}^2 \sim 50\text{mA}/\text{cm}^2$  범위에서 Sn 도금막의 표면 미세구조가 거의 변하지 않는데 기인한다. Fig. 4에 펄스 모드로 도금한 Sn 도금막의 표면 거칠기와 직류 모드로 도금 후 표면 열처리를 한 Sn 도금막의 표면 거칠기를 함께 도시하였는데 이들에 대해서는 뒤에서 기술하였다.

도금전류 모드에 따른 Sn 도금의 표면 거칠기의 변화를 분석하기 위해 10ms on-time, 90ms off-time의 펄스모드 조건으로  $10\text{mA}/\text{cm}^2$ ,  $20\text{mA}/\text{cm}^2$  및  $40\text{mA}/\text{cm}^2$ 를 인가하여 Sn 도금막을 형성하였으며, 이들의 SEM 표면 미세구조를 Fig. 5에 나타내었다. 이들 펄스모드로 형성한 Sn 도금막의 표면 형상을 동일한 전류밀도에서 직류모드로 형성한 Sn 도금막의 미세구조 (Fig. 3)와 비교시 표면 거칠기가 다소 감소한 것으로 관찰되었다. 펄스모드로 형성한 Sn 도금막의 표면 거칠기를 Fig. 1의 방법을 사용하여 분석하였으며, 이 결과를 Fig. 4에 나타내었다. 펄스모드로 제작한 Sn 도금막은 직류모드로 형성한 Sn 도금막보다 다소 낮은  $1.8 \mu\text{m}$ 의 표면 거칠기를 나타내었으며, 이는 Sn 도금막 부근의 도금액에 형성되어 있던 확산 이중층이 펄스 모드의 off-time 기간 중에 소멸하며 핵생성이 용이하게 발생하여 결정립이 미세화 되는데 기인하는 것으로 판단된다.<sup>17,18)</sup>

Fig. 6에 각기  $10\text{mA}/\text{cm}^2$ ,  $20\text{mA}/\text{cm}^2$  및  $40\text{mA}/\text{cm}^2$ 에서 직류 모드로 도금한 Sn 도금막을 할로겐 램프를 사용하여  $300^\circ\text{C}$ 에서 3초간 유지하여 순간 표면열처리를 행한 시편들의 SEM 미세구조 사진

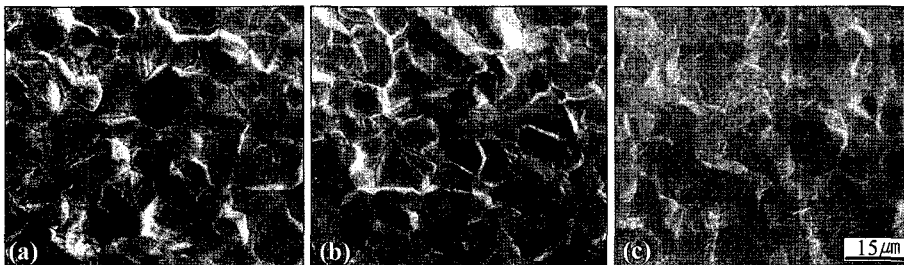


Fig. 5. SEM micrographs of the Sn surface electrodeposited with pulse current mode at a current density of (a)  $10\text{mA}/\text{cm}^2$ , (b)  $20\text{mA}/\text{cm}^2$ , and (c)  $40\text{mA}/\text{cm}^2$ .



Fig. 6. SEM micrographs of the Sn surface annealed at 300°C for 10 sec after electrodeposition with direct current mode at a current density of (a) 10 mA/cm<sup>2</sup>, (b) 20 mA/cm<sup>2</sup>, and (c) 40 mA/cm<sup>2</sup>.

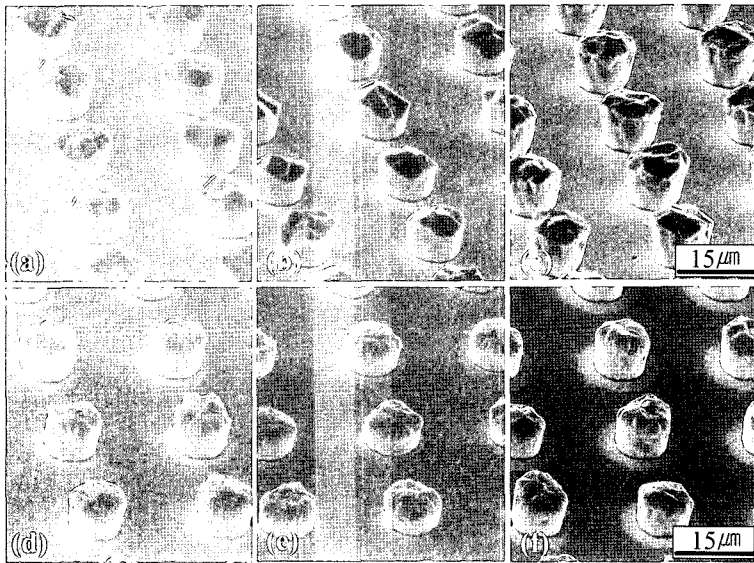


Fig. 7. SEM micrographs of the Sn bumps electrodeposited with direct current mode at (a) 10 mA/cm<sup>2</sup>, (b) 20 mA/cm<sup>2</sup>, and (c) 40 mA/cm<sup>2</sup>, and of the Sn bumps annealed at 300°C for 10 sec after electrodeposition at (d) 10 mA/cm<sup>2</sup>, (e) 20 mA/cm<sup>2</sup>, and (f) 40 mA/cm<sup>2</sup>.

을 나타내었다. 이들 순간 표면열처리를 행한 시편들의 미세구조(Fig. 6)를 동일한 전류밀도에서 직류 모드로 형성한 Sn 도금막 (Fig. 3) 및 펄스모드로 도금한 시편 (Fig. 5)과 비교시 순간 표면열처리에 의해 Sn 도금막의 표면이 현저히 평탄해진 것을 알 수 있다. 순간 표면열처리를 행한 Sn 도금막의 표면 거칠기를 Fig. 1의 방법을 사용하여 분석하였으며, 이 결과를 Fig. 4에 비교하였다. 직류모드로 형성한 Sn 도금막의 표면 거칠기는 2.0~2.4  $\mu\text{m}$  이었으나 순간 표면열처리에 의해 표면 거칠기가 1  $\mu\text{m}$  정도로 현저히 저하되었으며, 이는 순간 표면열처리에 의해 Sn 도금막의 표면이 극부적으로 용해되는데 기인한다.

Sn 범프에서도 순간 표면열처리에 의한 표면 거칠기의 저하가 가능한지를 확인하기 위해 직경 7  $\mu\text{m}$ , 피치 25  $\mu\text{m}$ 의 면배열 Sn 범프를 10mA/cm<sup>2</sup>, 20mA/cm<sup>2</sup> 및 40mA/cm<sup>2</sup>에서 직류 모드로 형성하였으며, 이들 Sn 범프들을 할로겐 램프를 이용하여 300°C에서 3초간 유지하여 순간 표면열처리를 행하였다. Fig. 7에 직류 모드로 형성한 Sn 범프들과 이들을 순간 표면열처리한 시편의 SEM 미세구조를 나타내었다. Fig. 7의 미세구조에서 순간 표면열처리에 의해 Sn 범프의 형상을 그대로 유지하면서도 표면 거칠기를 현저히 감소시키는 것이 가능함을 알 수 있다.

도금전류밀도에 따른 Sn 도금의 기계적 성질을

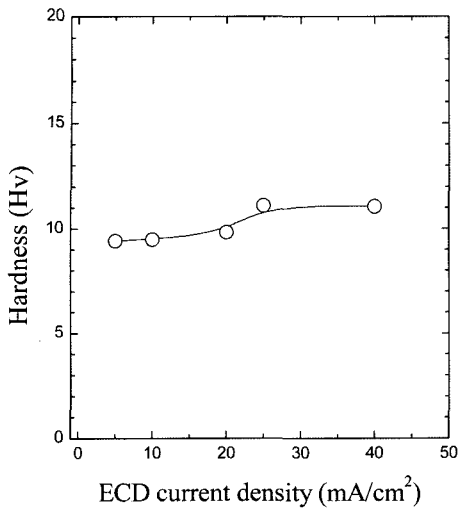


Fig. 8. Vickers hardness of the electrodeposited Sn as a function of the ECD current density.

분석하기 위해 5~50mA/cm<sup>2</sup>의 전류밀도로 직류모드를 인가하여 형성한 Sn 도금막의 Vickers 경도를 측정하여 Fig. 8에 나타내었다. Sn 도금은 5~50 mA/cm<sup>2</sup> 범위에서 10 Hv의 낮은 경도값을 나타내었으며, 도금전류밀도의 증가에 따라 경도가 증가하는 경향을 나타내었으나 그 증가 정도는 크지 않았다. Sn이 매우 연하며 또한 Fig. 3에서와 같이 도금전류밀도에 따른 미세구조의 변화가 별로 없기 때문에 도금전류밀도에 따른 Sn 도금의 경도가 크게 변하지 않는 것으로 판단된다. COG 공정에 사용되는 Au 범프의 경도는 50~140 Hv로 보고되

고 있다.<sup>19)</sup> Sn 범프가 Au 범프보다 낮은 경도를 지니고 있어 열압착에 의한 COG 공정시 소성변형이 더 용이하게 발생하여 기관 패드와의 접촉면적을 증가시킬 수 있다. 따라서 COG 공정에 Sn 범프를 적용시 기존의 Au 범프보다 접촉부의 기계적 신뢰성을 향상시키며 접촉저항을 저하시킬 수 있을 것으로 기대된다.

Fig. 2에 나타낸 daisy chain 구조의 칩 시편과 기관 시편에 직류모드로 5mA/cm<sup>2</sup>의 전류밀도를 인가하여 크기 25×25 μm, 높이 10 μm, 피치 150 μm의 Sn 범프들을 도금 후, 플립칩 본딩하여 접촉저항 측정용 daisy chain 시편을 제작하였다. 이와 같은 시편을 사용하여 daisy chain의 저항을 측정 후 식 (1)을 이용하여 평균 접촉저항을 구하였다.

$$R_{\text{daisy chain}} = 2R_1 + nR_c + (n-1)R_2 \quad (1)$$

식 (1)에서  $R_{\text{daisy-chain}}$ 은 daisy chain 단자 사이에서 측정된 저항,  $R_1$ 은 Sn 범프와 daisy chain 측정 단자 사이의 도선저항,  $n$ 은 daisy chain 단자 사이의 Sn 범프의 개수,  $R_c$ 는 Sn 범프 접속부의 접촉저항이며  $R_2$ 는 두 Sn 범프 사이의 도선저항이다.

식 (1)을 사용하여 구한 접촉압력 및 접촉온도에 따른 Sn 접속부의 접촉저항을 각기 Fig. 9(a) 및 (b)에 나타내었다. Fig. 9(a)와 같이 150°C에서 플립칩 본딩시 접촉압력이 44 MPa에서 95 MPa로 증가함에 따라 Sn 접속부의 평균 접촉저항이 33mΩ에서 17mΩ으로 저하하였다. 접촉압력의 증가에 따른

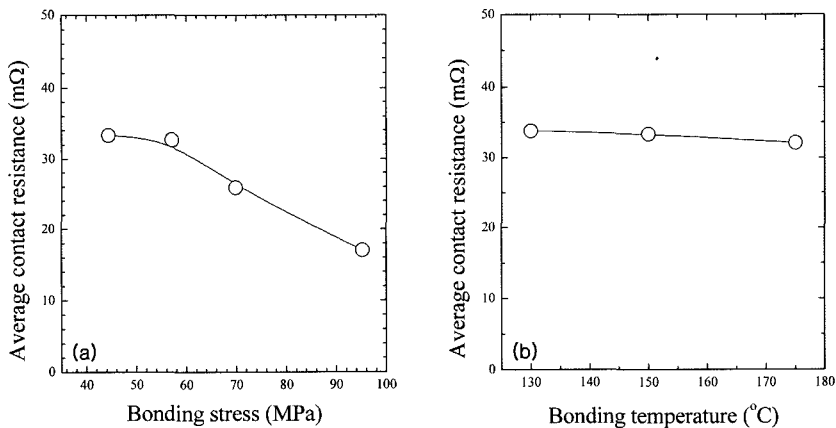


Fig. 9. Contact resistance of the flip-chip bonded Sn bump joints as a function of (a) bonding stress and (b) bonding temperature.

접속저항의 감소는 높은 접속압력 하에서 Sn 범프의 소성변형이 심하게 발생하여 접속면적이 증가하는데 기인한다. Fig. 9(b)와 같이 44 MPa의 압력 하에서 접속시 접속온도가 130°C에서 175°C로 증가함에 따라 접속저항이 약간 감소하였으며, 이는 온도 증가에 따른 Sn 범프의 항복강도의 저하에 기인한다. 본 연구에서 Sn 범프를 사용하여 얻은 평균 접속저항 33~17mΩ은 이방성 전도필름을 사용한 플립칩 공정에서 보고된<sup>20-22)</sup> 수백 mΩ에 비해 매우 우수한 값이다. Sn 범프의 표면 거칠기가 감소할수록 접속저항이 저하될 것으로 예측되므로 향후 순간 표면열처리를 행한 Sn 범프를 사용하여 플립칩 시편을 제작 후 접속저항을 비교 분석할 계획이다.

#### 4. 결 론

(1) 전류밀도 5~50mA/cm<sup>2</sup> 범위에서 전기도금한 Sn 도금막에서는 전류밀도에 따른 결정립 크기와 표면 형상의 변화를 관찰할 수 없었으며, 2.0~2.4 μm의 표면 거칠기를 나타내었다. 직류모드로 형성한 Sn 도금막에 비해 펄스모드로 형성한 Sn 도금막에서 결정립 미세화에 기인하여 표면 거칠기가 다소 감소하였다.

(2) 할로겐 램프를 사용하여 300°C에서 3초간 유지하여 Sn 도금의 표면만을 국부적으로 용해시키는 순간 표면열처리에 의해 Sn 도금의 표면이 현저히 평탄해져 표면 거칠기가 1 μm 정도로 현저히 저하되었다. 이와 같은 순간 표면열처리에 의해 Sn 범프의 형상을 그대로 유지하면서도 표면 거칠기를 현저히 감소시키는 것이 가능하였다.

(3) 전류밀도 5~50mA/cm<sup>2</sup> 범위에서 전기도금한 Sn 도금막은 10 Hv의 낮은 경도값을 나타내었다.

(4) 크기 25×25 μm, 높이 10 μm, 피치 150 μm의 Sn 범프들을 이용한 플립칩 시편들은 기존의 이방성 필름을 이용한 플립칩 시편에서 보고된 수백 mΩ보다 매우 낮은 33~17mΩ의 접속저항을 나타내었다.

#### 감사의 글

본 연구는 산업자원부의 21세기 프론티어연구 개발사업인 차세대 정보 디스플레이 기술개발단

의 연구비 (과제번호: F0004121) 지원 및 과학기술부/한국과학재단 CEPM-Fraunhofer IZM 해외 현 지연구실과제(세부과제번호: R11-2000-085-00001-0) 지원으로 수행되었음.

#### 참고문헌

1. C. Tombling and M. Tillin, *Synthetic Metals*, 122 (2001) 209
2. S. Naemura, *Displays*, 22 (2001) 1
3. M. S. Son, K. H. Yoo, and J. Jang, *Solid State Electronics*, 48 (2003) 2307
4. L. Hwang, J. Yoo, E. Jang, D. Oh, Y. Jeong, I. Ahn, and M. Cho, *Sensors and Actuators A: Physical*, 115 (2003) 73
5. Y. W. Chiu, Y. C. Chan, and S. M. Lui, *Microelectron. Reliab.*, 42 (2002) 1945
6. Y. P. Wu, M. O. Alam, Y. C. Chan, and B. Y. Wu, *Microelectron. Reliab.*, 44 (2004) 295
7. C. Y. Yin, M. O. Alam, Y. C. Chan, C. Bailey, and H. Lu, *Microelectron. Reliab.*, 43 (2003) 625
8. R. Joshi : *Microelectron. J.*, 29 (1998) 34
9. H. Kristiansen and J. Liu, *IEEE Trans. CPMT-A*, 21 (1998) 208
10. K. Ishibashi and J. Kimura, *IEEE Trans. CPMT-B*, 19 (1996) 752
11. M. J. Yim and K. W. Paik, *IEEE Trans. Adv. Packag.*, 22 (1999) 166
12. M. Mori, Y. Kizaki, M. Saito, and A. Hongu, *IEEE Trans. Comp. Hybrids, Manufact. Technol.*, 16 (1993) 852
13. U. B. Kang and Y. H. Kim, *Proc. 3rd Int. Symp. Electron. Mater. & Packag.*, Cheju, Korea (2001) p.12
14. U. B. Kang and Y. H. Kim, *IEEE Trans. Comp. Packag. Technol.*, 27 (2004) 253
15. J. Lau (ed.), "Flip Chip Technologies", McGraw Hill, New York (1996) p.25
16. M. Schlesinger and M. Paunovic (eds.), "Modern Electroplating", John Wiley and Sons, Inc., New York (2000) p.241
17. B. Neveu, F. Lallemand, G. Poupon, and Z. Mekhalif, *Appl. Surf. Sci.*, 252 (2006) 3569
18. [www.dynatronix.com/overview.htm](http://www.dynatronix.com/overview.htm)
19. J. Lau (ed.), "Flip Chip Technologies", McGraw Hill, New York (1996) p.425
20. J. H. Choi, S. W. Jun, B. Y. Jung, T. S. Oh, and Y. H. Kim, *Proc. 2003 Tech. Symp. Microelectron. Packag., IMPAS-Korea*, (2003) p.103
21. M. A. Uddin, *Microelectron. Reliab.*, 44 (2004) 510
22. E. Nicewarner, *Microelectron. Reliab.*, 39 (1999) 113