

솔더볼 배치에 따른 절연층 재료가 WLCSP 신뢰성에 미치는 영향

김종훈* · 양승택 · 서민석 · 정관호 · 홍준기 · 변광유

(주)하이닉스반도체

The Effect of Insulating Material on WLCSP Reliability with Various Solder Ball Layout

Jong Hoon Kim*, Seung Taek Yang, Min Suk Suh, Qwan Ho Chung,
Joon Ki Hong and Kwang Yoo Byun

Hynix Semiconductor Inc., San 136-1 Ami-ri Bubal-eub Icheon-si Kyoungki-do 467-701 S. Korea

초 록: WLCSP(wafer level chip size package)는 웨이퍼 레벨에서 패키지 공정이 이루어지는 차세대 패키지 중 하나이다. WLCSP는 웨이퍼 레벨에서 패키지 공정이 이루어진다는 특징으로 인하여 웨이퍼 당 생산되는 반도체 칩의 수에 따라 그 패키징 비용을 크게 줄일 수 있다는 장점이 있다. 그러나 응력 버퍼 역할을 하는 기판을 없애는 혁신적인 구조로 인하여 솔더 조인트의 신뢰성이 기존의 BGA 패키지에 비하여 취약하게 되는데, 이러한 솔더 조인트 신뢰성에 대하여 반도체 칩과 솔더볼을 연결하는 폴리머 절연층은 열팽창계수 차이에 의해 발생하는 응력을 흡수하는 중요한 역할을 하게 된다. 본 연구에서는 하이닉스에서 개발한 Omega-CSP를 사용하여 솔더볼 배열 변화와 제1 절연층의 특성에 따른 솔더 조인트의 열피로 특성을 평가하였다. 그 결과 절연층의 특성 변화가 솔더 조인트의 열피로 특성에 주는 영향은 솔더볼 배열 구조에 따라 변화되는 것을 확인하였다.

Abstract: A major failure mode for wafer level chip size package (WLCSP) is thermo-mechanical fatigue of solder joints. The mechanical strains and stresses generated by the coefficient of thermal expansion (CTE) mismatch between the die and printed circuit board (PCB) are usually the driving force for fatigue crack initiation and propagation to failure. In a WLCSP process peripheral or central bond pads from the die are redistributed into an area array using an insulating polymer layer and a redistribution metal layer, and the insulating polymer layer affects solder joints reliability by absorption of stresses generated by CTE mismatch. In this study, several insulating polymer materials were applied to WLCSP to investigate the effect of insulating material. It was found that the effect of property of insulating material on WLCSP reliability was altered with a solder ball layout of package.

Keywords: wafer level chip size package (WLCSP), solder joint reliability, thermal cycling test, insulating polymer material.

1. 서 론

전자 제품의 소형화, 경량화, 고성능화에 대한 욕구는 전자 부품의 소형화, 경량화, 고성능화에

대한 욕구로 이어지고 있다. 이러한 욕구는 반도체 설계, 제작 기술의 발전과 함께 다양한 패키지 기술의 발전을 가져오게 되었는데 그 대표적 예가 면 배열, 표면실장형 패키징 기술을 기반으로 하

*Corresponding author

E-mail: jonghoon2.kim@hynix.com

는 BGA(ball grid array), Flip-Chip, CSP(chip size package) 등이다. 그 중 CSP는 실제 칩 크기와 동일한, 소형의 패키지 개발을 가능하게 하여 관심을 받고 있는 패키지이다. 특히 웨이퍼 레벨에서 패키지 공정이 완성되는 WLCSP는 웨이퍼 레벨에서 패키지 공정이 이루어진다는 특징으로 인하여 웨이퍼 당 생산되는 반도체 칩의 수에 따라 그 패키징 비용을 크게 줄일 수 있다는 장점이 있다. 따라서 웨이퍼 당 칩 생산성이 높은 300 mm 웨이퍼에 WLCSP 기술 적용 시 패키지 생산 비용을 크게 감소시킬 수 있어 최근 그 관심이 크게 증가하고 있다¹⁾. 그러나 용력 버퍼 역할을 하는 기판을 없애는 혁신적인 구조로 인하여 솔더 조인트의 신뢰성이 기존의 BGA 패키지에 비하여 취약하며, 반도체 칩의 지속적인 크기 감소로 인하여 기존의 JEDEC 솔더볼 배열 표준을 적용할 수 없다는 문제 등 새로운 문제가 발생하고 있다. 따라서 상기의 문제점은 WLCSP를 실제 제품에 적용하기 위한 중요한 핵심이 되고 있다.

하이닉스 반도체에서는 Omega-CSP라 명명한, 메모리 반도체를 위한 WLCSP를 개발하였다^{2,3)}. Omega-CSP는 Fig. 1에서 확인되는 바와 같이 절연체 역할을 하는 제 1 폴리머 절연층과 Cu 도선층의 접합 특성을 향상시키기 위한 Ti/NiV/Cu 씨앗층, 전기 도금에 의한 Cu 재배열층, 그리고 솔더

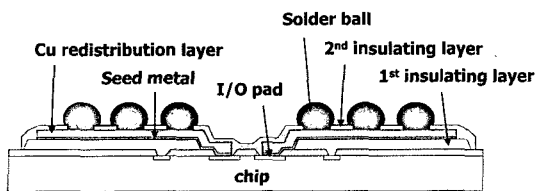


Fig. 1. Schematic diagram of Omega-CSP structure.

마스크 역할을 하는 제2 폴리머 절연층으로 구성되어 있으며 비교적 적은 I/O 핀을 갖는 메모리 반도체에 적합한 패키지이다. Omega-CSP는 JEDEC 솔더볼 배열을 만족하도록 개발되어 왔으나 최근의 반도체 칩 크기의 지속적인 감소로 인하여 반도체 칩 위에 JEDEC 솔더볼 배열을 구현할 수 없는 관계로 솔더볼 배열 변화에 따른 패키지 특성도 평가하고 있다.

본 연구에서는 Omega-CSP의 솔더볼 배열 변화에 따른 패키지 특성 평가 중 제 1 폴리머 절연층의 특성에 따른 솔더 조인트의 열피로 특성을 평가하였다. 특히 솔더볼 배열의 변화에 따른 솔더 조인트의 파괴 모드 변화를 관찰하고 제 1 폴리머 절연층의 특성이 솔더 조인트 파괴 모드 변화에 주는 영향을 고찰하였다.

2. 실험방법

본 실험은 8 mm × 13 mm 크기의 Omega-CSP를 사용하여 수행하였다. Omega-CSP는 제 1 폴리머 절연층의 특성 변화에 따른 솔더 조인트 열피로 특성 변화를 평가하기 위하여 기계적 특성이 다른 4개의 재료를 제 1 폴리머 절연층에 적용하여 각각 제작되었다. 또한 솔더볼 배열 변화가 솔더 조인트의 신뢰성에 주는 영향을 평가하고자 두 종류의 솔더볼 배열, 즉, JEDEC 솔더볼 배열과 하이닉스에서 설계한 솔더볼 배열을 적용하여 제작되었다. Table 1과 Fig. 2에 본 실험에서 Omega-CSP에 적용된 제 1 폴리머 절연층의 특성과 솔더볼 배열을 나타내었다. Fig. 2에서 확인되는 바와 같이 하이닉스에서 설계한 솔더볼 배열은 JEDEC 솔더볼 배열에 비하여 볼 간격이 작다. 모든 Omega-CSP는 볼 배열에 상관없이 지름 0.45 mm의 63 wt.%Sn-

Table 1. The property of insulating materials and Cu layer used in this study

	1st Insulating Polymer Layer				Cu layer (Thickness, μm)	2nd Insulating Polymer Layer			
	Modulus (GPa)	Tensile Strength (MPa)	CTE (ppm/ $^{\circ}\text{C}$)	Thickness (μm)		Modulus (GPa)	Tensile Strength (MPa)	CTE (ppm/ $^{\circ}\text{C}$)	Thickness (μm)
Sample A	4.0	100	59						
Sample B	2.8	87	52	16.5	10	4.0	100	59	17
Sample C	2.2	90	56						
Sample D	0.3	49	221						

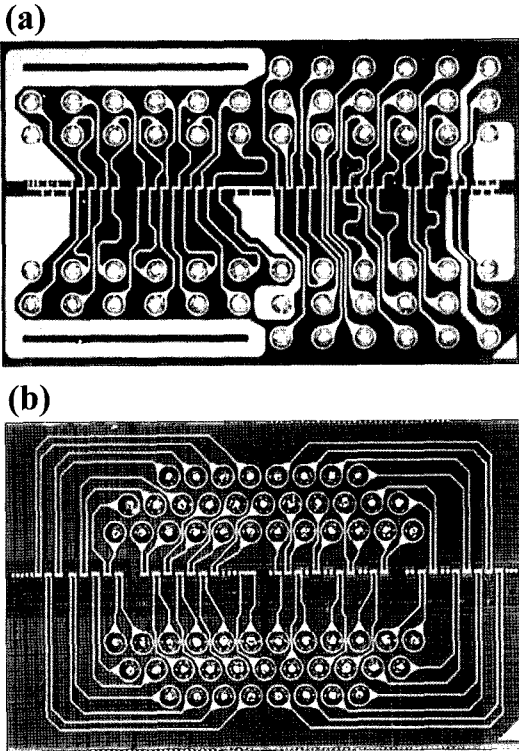


Fig. 2. Omega-CSP ball layout by (a) JEDEC ball configuration and (b) Hynix ball configuration.

37 wt.%Pb 솔더볼을 사용하였으며 데이지 체인 배선을 구현하여 열피로 시험 중 발생하는 파손을 확인할 수 있도록 하였다.

제작된 Omega-CSP는 데이지 체인 배선이 구현된 PCB에 실장되었으며, 0°C에서 125°C의 온도 범위에서 열피로 특성을 평가하였다. 열피로 실험 시 가열 속도 및 냉각 속도는 25°C/min이었으며 최고 온도 및 최저 온도에서 10분 간 유지하였다. Omega-CSP의 열피로 시험에 의한 솔더 조인트 파손 여부를 확인하기 위하여 열피로 주기, 100사이클마다 데이지 체인의 저항을 측정하였으며, 데이지 체인 저항이 열피로 시험 전 대비 20배 이상 증가 시 파손으로 정의하였다.

열피로 시험에 의하여 파괴된 솔더 조인트는 단면 분석을 통하여 파괴 모드가 평가되었다. 솔더 조인트는 3 μm의 다이아몬드 페이스트를 사용하여 연마를 진행하였으며 단면 분석을 위하여 최고 배율, 1500배의 광학 현미경을 사용하였다.

3. 실험 결과 및 고찰

열피로 주기 횟수에 따른 Omega-CSP의 파손은 와이블 분포 함수로 분석하여 수치화하였다. 와이블 분포 함수 중 누적 고장율(CDF), $F(x)$ 는 다음과 같다.

$$F(x) = 1 - e^{-(x/\theta)^\beta}$$

위 수식 중 β 는 형상모수이며, θ 는 척도모수 또는 특성수명으로서 누적 고장율(CDF)이 63.2%에 해당하는 시간, 즉, $F(\theta)=63.2\%$ 에 해당된다. JEDEC 솔더볼 배열 Omega-CSP 시편과 하이닉스 솔더볼 배열 Omega-CSP 시편의 열피로 시험 와이블 누적 고장율을 Fig. 3(a), (b)에 각각 나타내었다. 또한 Table 2에 누적 고장률 값을 관련 모수값을 사용하여 나타내었다. JEDEC 솔더볼 배열 Omega-CSP와 하이닉스 솔더볼 배열 Omega-CSP에서 시편 A와 시편 D는 초기

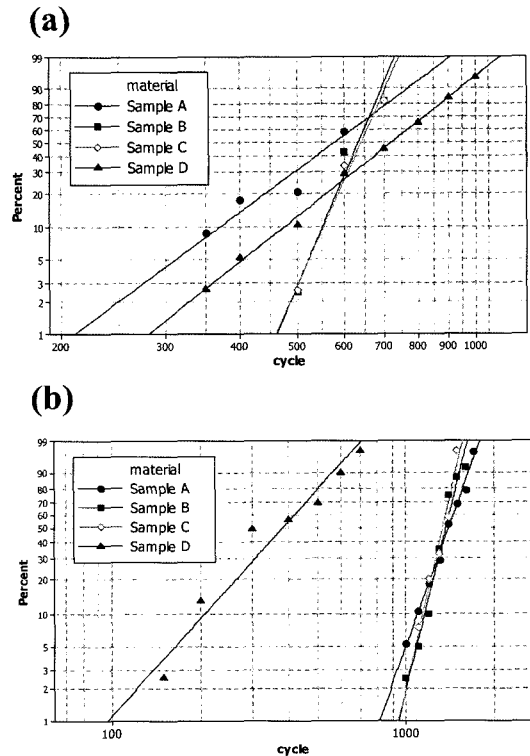
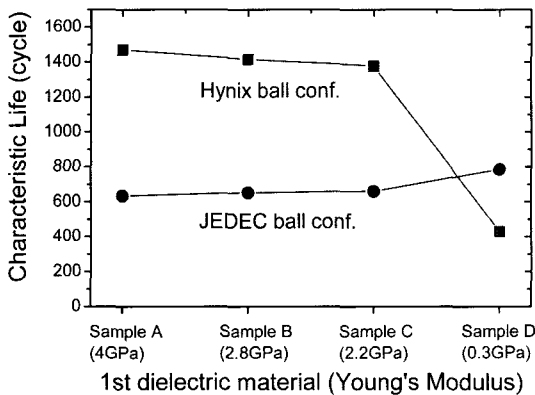


Fig. 3. Weibull logarithm plot of solder joint lifetime for Omega-CSP with (a) JEDEC ball configuration and (b) Hynix ball configuration.

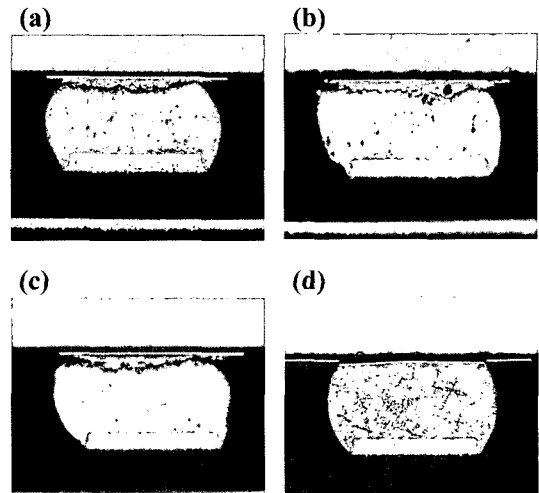
Table 2. Results of thermal fatigue test

	JEDEC ball configuration		Hynix ball configuration	
	shape factor	scale factor (characteristic life)	shape factor	scale factor (characteristic life)
Sample A	4.1893	632.637	7.7185	1470.53
Sample B	13.2859	652.414	11.2732	1416.54
Sample C	12.7487	660.138	12.0490	1377.21
Sample D	4.4779	784.552	3.0761	430.09

**Fig. 4.** The characteristic life of Omega-CSP related with 1st dielectric layer.

파손과 최종 파손이 비교적 넓은 사이클 범위에서 발생하는 반면, 시편 B와 시편 C는 초기 파손과 최종 파손이 비교적 적은 사이클 범위에 집중되어 발생함을 알 수 있다.

Fig. 4에 두 솔더볼 배열에 대한 열피로 특성 수명을 제 1 폴리머 절연층의 탄성 계수 값과 함께 나타내었다. 제 1 폴리머 절연층의 탄성 계수가 2.0 GPa 이상인 경우 JEDEC 솔더볼 배열을 적용한 시편의 경우 특성 수명은 약 650 사이클 전후의 값을 보이며 제 1 폴리머 절연층의 탄성 계수 값의 변화에 따라 특성 수명의 변화는 거의 없음을 알 수 있다. 하이닉스 솔더볼 배열의 경우 특성 수명은 약 1400 사이클로서 JEDEC 솔더볼 배열 시편보다 큰 특성 수명 값을 보이며 제 1 폴리머 절연층의 탄성 계수 값의 변화에 따른 큰 변화는 보이지 않고 있다. DNP(distance from neutral point)가 짧은 하이닉스 솔더볼 배열의 시편이 DNP가 큰 JEDEC 솔더볼 배열 시편보다 큰 열피로 수명을 보이는 결과는 DNP 감소 시 수명이 증가하는 기존의 결과와 동일한 결과이다^{4,5)}. 그러나 제 1 폴

**Fig. 5.** Cross sectional views of solder joint after failure of (a) sample A, (b) sample B, (c) sample C and (d) sample D with JEDEC ball configuration.

리머 절연층의 탄성 계수가 0.3 GPa인 경우 정반대의 양상을 보이고 있다. DNP가 짧은 하이닉스 솔더볼 배열의 경우 특성 수명이 약 430 사이클로 DNP가 큰 JEDEC 솔더볼 배열의 785 사이클보다 낮은 수명 값을 보이고 있는데 이는 기존에 보고된 결과와 정반대의 결과이다. 이러한 열피로 수명 변화의 원인을 분석하기 위하여 파손이 발생한 시편의 단면 분석을 통하여 파괴 모드를 확인하였다.

Fig. 5에 JEDEC 솔더볼 배열을 적용한 시편의 열피로 파괴 후 솔더 조인트 단면 사진을 나타내었다. Fig. 5의 사진은 각 시편의 해당 특성 수명에서 파손이 발생한 시편을 분석한 결과이며 다른 열피로 사이클에서 파손이 발생한 시편도 동일한 파괴 모드임을 확인하였다. Fig. 5에서 확인되는 바와 같이 시편 A, B, C, D 모두 솔더 조인트의 Omega-CSP 방향에서 파손이 발생하였음을 확인

할 수 있다. 제 1 폴리머 절연층의 탄성 계수가 큰 시편 A, B, C는 솔더볼의 Omega-CSP 방향에서 솔더볼 내부로 균열이 발생하여 파손이 발생하였다. 그러나 제 1 폴리머 절연층의 탄성 계수가 작은 시편 D의 경우, 솔더볼 내부에서는 균열이 발생하지 않았으나 제 1 폴리머 절연층과 칩간의 박리 및 균열이 발생하며 파손이 발생하였다. 이러한 단면 분석 결과는 시편 A, B, C와 시편 D의 경우 모두, 열피로 시 발생한 응력이 Cu 재배열 배선보다는 솔더 조인트에 집중되어 발생하였음을 보여준다. 시편 A, B, C의 경우, 제 1 폴리머 절연층의 탄성 계수가 비교적 높아 열피로에 의하여 발생한 응력이 제 1 폴리머 절연층에 충분히 흡수되지 못하고 솔더 조인트에 전달되어 솔더 내부에 파손이 발생하였으며, 낮은 탄성 계수의 제 1 폴리머 절연층을 적용한 시편 D에서는 열피로에 의하여 발생한 응력이 제 1 폴리머 절연층에 흡수되어 솔더 조인트에는 균열이 발생하지 않았으나 제 1 폴리머 절연층의 인장강도가 낮아 제 1 폴리머 절연층에 균열이 발생하여 파손이 발생하였다. 그러나 Fig. 4에서 확인되는 바와 같이 제 1 폴리머 절연층의 응력 흡수 효과에 의하여 시편 D의 경우 열피로 수명이 약 100 사이클 향상된 것을 알 수 있다.

솔더 내부 균열에 의하여 파손이 발생한 시편 A, B, C의 경우 솔더볼의 처음 접합 위치와 솔더볼 균

열에 파괴 계면 위치가 일치하지 않음을 Fig. 5(a), (b),(c)로부터 확인할 수 있다. 이러한 현상은 Kim 등⁶⁾이 보고한 결과와 동일한 것으로 열피로 시험 중 고온에서 솔더볼 변형이 발생하고 저온에서 균열이 성장하여 발생한 것으로 판단된다.

Fig. 6에 하이닉스 솔더볼 배열을 적용한 시편의 열피로 파손에 의한 솔더 조인트 단면 사진을 나타내었다. JEDEC 솔더볼 배열 시편의 경우와 마찬가지로 각 시편의 해당 특성 수명에서 파손이 발생한 시편을 분석한 결과이며 다른 열피로 사이클에서 파손이 발생한 시편도 동일한 파괴 모드임을 확인하였다. 시편 A, B, C의 경우 JEDEC 솔더볼 배열 시편들과 마찬가지로 솔더 조인트의 Omega-CSP 방향에서 솔더 내부 균열에 의하여 파손이 발생하였으나 시편 D의 경우 솔더 균열을 확인할 수 없었다. 그러나 시편 D의 경우 PCB로부터 분리하여 Omega-CSP 표면을 관찰한 결과 제 2 폴리머 절연층의 균열이 관찰되었으며 표면 균열과 함께 Cu 재배열 배선의 균열이 관찰되었다. 따라서 하이닉스 솔더볼 배열의 시편 D는 재배열 배선의 균열에 의한 파괴로 판단된다. Fig. 7에 열피

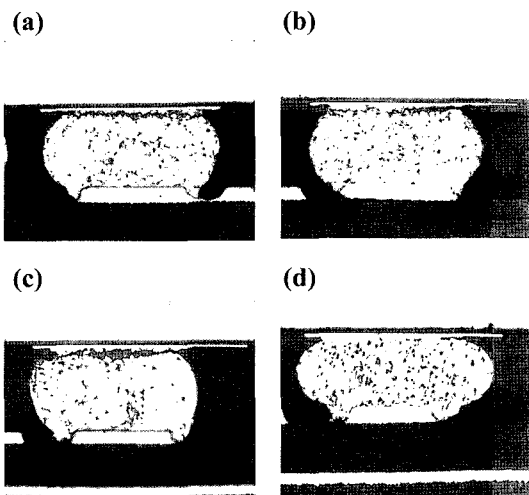


Fig. 6. Cross sectional views of solder joint after failure of (a) sample A, (b) sample B, (c) sample C and (d) sample D with Hynix ball configuration.

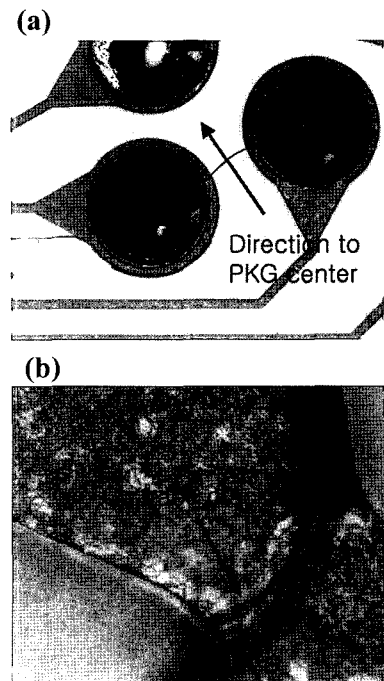


Fig. 7. Plane view of sample D after failure. (a) the crack of dielectric layer, (b) the crack of Cu redistribution layer.

로 시험 후 파손이 발생한 시편 D의 평면 사진을 나타내었다.

Kim 등은 열피로 시험 시 고온에서 크리프 현상에 의한 솔더볼 형상 변화가 발생하는 것과 저온에서는 크리프에 의한 변형보다는 균열이 주로 발생하여 솔더 조인트 파괴가 발생함을 보고하였다⁶⁾. 또한 Joo 등은 열피로 시험 시 패키지의 굽힘 현상에 의한 변위가 고온에서 거의 원위치로 회복되어 냉각 시 발생하는 응력은 고온 상태를 시발점으로 발생함을 관찰하였다⁷⁾. 이처럼 열피로 시험 시 고온에서 솔더 조인트의 형상 변화가 발생하여 응력을 흡수하고 저온에서는 균열이 주로 발생하는 메카니즘은 DNP가 짧은 하이닉스 솔더볼 배열 Omega-CSP가 DNP가 큰 JEDEC 솔더볼 배열 Omega-CSP보다 낮은 열피로 수명을 보인 시편 D의 결과를 잘 설명해 준다. 하이닉스 솔더볼 배열 Omega-CSP는 Fig. 2에서 확인되는 바와 같이 솔더볼 간

격이 작은 대신 Cu 재배열 배선이 CSP 안쪽의 패드에서 직접 솔더볼로 연결되지 못하고 바깥을 돌아 연결되어 있다. 이러한 구조는 솔더볼의 크리프 현상이 발생하지 않는 저온에서 Cu 재배열 배선에 인장 응력을 야기하여 Cu 재배열 배선의 균열이 발생하게 된다. 이 경우 제 1 폴리머 절연층의 탄성 계수가 큰 시편 A, B, C의 경우 제 1 폴리머 절연층이 Cu 재배열 배선의 강도를 보강하게 되어 Cu 재배열 배선의 균열을 막을 수 있으나, 탄성 계수 및 인장 강도가 작은 제 1 폴리머 절연층을 적용한 시편 D는 발생하는 응력이 그대로 Cu 재배열 배선에 전달되어 Cu 재배열 배선의 균열에 의하여 파괴가 발생한 것으로 풀이된다. 그러나 CSP 안쪽 패드가 직접 솔더볼로 연결되는 JEDEC 솔더볼 배열의 경우 균열이 발생하는 저온에서 Cu 재배열 배선에 압축 응력이 형성되므로 Cu 재배열 배선에는 파괴가 발생하지 않게 된다. Fig. 8에 솔더볼 배열의 차이에 따라 열피로 시험 중 발생하는 파괴 메커니즘의 차이를 개략적으로 나타내었다.

4. 결 론

하이닉스에서 개발하는 Omega-CSP를 사용하여 솔더볼 배열 변화에 따른 솔더 조인트의 파괴 모드 변화를 관찰하고 제 1 폴리머 절연층의 특성이 솔더 조인트 파괴 모드 변화에 주는 영향을 확인하였다. 제 1 폴리머 절연층의 탄성 계수가 큰 경우 솔더볼의 DNP가 작을수록 열피로 수명이 향상되었으며 솔더 조인트에서 파괴가 발생하였다. 그러나 제 1 폴리머 절연층의 탄성 계수가 작은 경우 솔더볼의 DNP가 작을수록 Cu 재배열 배선에 파괴가 발생하여 열피로 수명이 감소되는 정반대의 경향이 관찰되었다. 이는 솔더볼의 DNP를 줄이기 위하여 솔더볼을 CSP 중앙에 밀집하여 배치시키고 Cu 재배열 배선을 CSP 바깥으로 돌아 형성시킨 구조 때문으로 고찰되었다. Cu 재배열 배선을 CSP 바깥으로 돌아 형성시키는 경우 저온에서 Cu 재배열 배선에 인장응력이 작용되어 Cu 재배열 배선의 균열이 발생하기 쉽다. 따라서 이러한 경우 Cu 재배열 배선을 보강하기 위한 탄성계수 2.0GPa 이상의 강한 제 1 폴리머 절연층의 적용이 필수적인 것으로 판단된다.

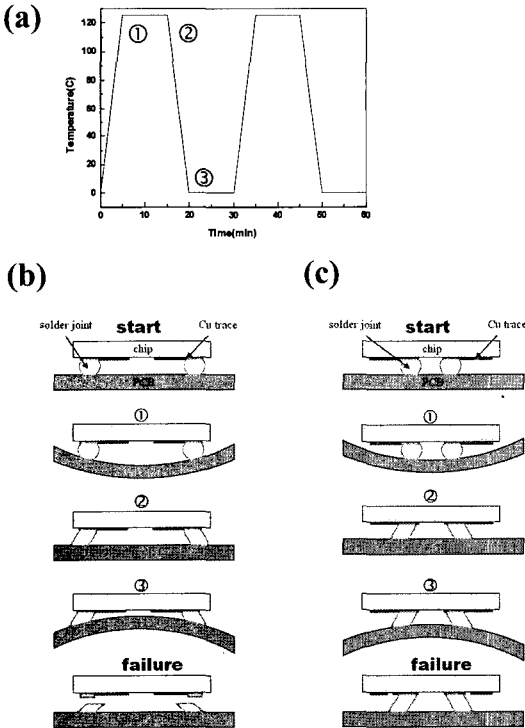


Fig. 8. (a) Temperature profile of thermal fatigue test, (b) Schematic failure mechanism of JEDEC ball configured Omega-CSP, (c) Schematic failure mechanism of Hynix ball configured Omega-CSP.

참고문헌

1. G. Kim, "WLF for high-performance DDR2 SDRAM and memory module", 11th Annual KGD Packaging and Test Workshop, (2004) quoted from www.napa-kgd.com/previous/kgd2004/pdf/kim.pdf.
2. I.-S. Kang, J.-H. Kim, I. S. Park, K.-R. Hur, S.-J. Cho, H. Han and J. Yu, "The solder joint and runner metal reliability of Wafer-Level CSP(Omega-CSP)", 50th Electronic Component and Technology Conference, 87-92 (2000).
3. S.-J. Cho, J.-Y. Kim, M.-Y. Park, I.-S. Park and H.-S. Chun, "Under bump metallurgies for a wafer level CSP with eutectic Pb-Sn solder ball", 50th Electronic Component and Technology Conference, 844-849 (2000).
4. J. H., Lau, "The roles of DNP (distance to neutral point) on solder joint reliability of area array assemblies", Soldering and Surface Mount Tech., 9, 58-60 (1997).
5. R. Darveaux, J. Heckman, A. Syed and A. Mawer, "Solder joint fatigue life of fine pitch BGAs - impact of design and material choices", Microelectron. Reliab., 40, 1117-1127 (2000).
6. D.-H. Kim, P. Elenius, M. Johnson and S. Barrett, "Solder joint reliability of a polymer reinforced wafer level package", Microelectron. Reliab., 42, 1837-1848 (2002).
7. J. Joo, S. Cho and B. Han, "Characterization of flexural and thermo-mechanical behavior of plastic ball grid package assembly using moire interferometry", Microelectron. Reliab., 45, 637-646 (2005).