
MB-OFDM 방식의 UWB 시스템을 위한 Fast-Hopping 주파수 합성기의 유형별 설계 및 비교

이재경* · 박준규* · 박종태* · 유종근*

Design and Comparison of the Fast-Hopping Frequency Synthesizers for MB-OFDM UWB Systems

Jae-kyoung Lee* · Joon-kyu Park* · Jong-tae Park* · Chong-gun Yu*

본 논문은 정보통신부 출연금으로 수행한 정보통신 연구개발 사업의 연구결과이며,
IDEC 지원에 의해서도 일부 수행되었음

요 약

본 논문에서는 MB-OFDM 방식의 UWB 시스템 응용을 위한 fast-hopping 주파수 합성기들을 설계하였다. 세 개의 중심 주파수(3432MHz, 3960MHz, 4488MHz) 생성이 필요한 주파수합성기를 세 가지 구조로 각각 설계하고 성능을 비교하였다. 첫 번째 구조는 4224MHz의 주파수에서 동작하는 단일 PLL을 사용하여 세 개의 중심 주파수를 합성하고, 두 번째 구조는 각각의 중심 주파수에서 동작하는 세 개의 PLL을 사용한다. 본 논문에서 제안된 세 번째 구조는 3960MHz와 528MHz에서 동작하는 두 개의 PLL을 사용하여 원하는 주파수를 합성한다. 0.18um RF CMOS 공정 변수를 이용하여 모의실험 한 결과 세 번째 구조가 다른 구조에 비해 switching time, spur, 칩 면적 및 전류 소모 면에서 좋은 특성을 보인다. 제안된 세 번째 구조의 주파수 합성기는 1.3ns 이하의 band switching 특성과 -36dBc 이하의 spur 특성을 보이며 1.8V 공급전원 하에서 22mA의 전류를 소모한다.

ABSTRACT

This paper describes fast-hopping frequency synthesizers for multi-band OFDM(MB-OFDM) ultra-wide band(UWB) systems. Three different structures in generating 3 center frequencies(3432MHz, 3960MHz, 4488MHz) are designed and compared. The first structure generates 3 center frequencies using only one PLL operating at 4224MHz, and the second uses three PLLs operating at corresponding center frequencies. The proposed third structure employs two PLLs operating at 3960MHz and 528MHz. Simulation results using 0.18um RF CMOS process parameters show that the third structure exhibits better characteristics in spur, area and current consumption than the other structures. The band switching time of the proposed synthesizer is less than 1.3ns and the spur is less than -36dBc. The synthesizer consumes 22mA from a 1.8V supply.

키워드

UWB, Frequency Synthesizer, PLL, VCO

I. 서론

IEEE산하 802.15.3에서는 사무실이나 가정과 같은 작은 공간에서 10m 정도의 근거리에서 있는 PC, TV, PDA, DVD, 디지털 카메라, 프린트 등의 정보기기들을 최소 100Mbps이상의 전송속도로 연결하기 위한 PAN 기술로 UWB 통신 방식을 채택하고, 2002년 11월부터 802.15.3a를 구성하여 표준화를 시도하기 시작하였다[1]. 현재 표준안은 Intel, TI 등에서 주도하고 있는 MBOA(Multi-Band OFDM Alliance) 진영의 MB-OFDM 방식의 제안서[2]와 Motorola 진영의 Direct Sequence 기술 기반의 single/dual band 방식의 제안서[3] DS-UWB로 압축되고 있다.

본 논문에서는 MB-OFDM 방식의 UWB 시스템을 위한 fast hopping 주파수 합성기들을 CMOS 회로로 설계하고 성능을 비교하였다. MB-OFDM UWB 시스템의 RF front-end 단 블록다이어그램을 그림 1에 보였다. 여기서 주파수 합성기는 direct-conversion mixer에 필요한 LO(Local Oscillator)신호를 발생하고 안정화 시키는 역할을 한다.

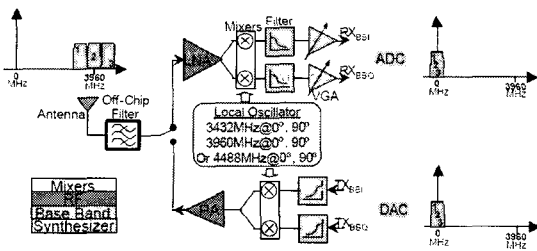


그림 1. UWB 시스템의 RF Front-End 단
Fig. 1. RF Front-End of UWB systems

MB-OFDM에서 제안한 Mode 1 Device는 528MHz의 대역폭을 갖는 3개의 band를 사용하도록 되어있다. 각 band의 중심 주파수는 3432MHz, 3960MHz, 4488MHz이다. 따라서 이 3가지 주파수를 합성하는 것이 필요하며, 2ns 이하의 빠른 band 스위칭 속도가 요구된다.

기존에 UWB 시스템을 위한 주파수 합성기로는 단일 PLL을 사용하는 구조[4]와 세 개의 PLL을 사용하는 구조[5]가 제안되었다. 본 논문에서는 두 개의 PLL을 사용하여 3개의 중심주파수를 합성하는 새로운 구조를 제안하였으며, 제안된 구조의 주파수합성기와 기존의 두 가지 주파수합성기들을 설계하고 성능을 비교하였다.

II. 회로설계

본 논문에서 설계된 CMOS 주파수 합성기 회로는 각 유형별로 하나, 둘, 또는 세 개의 on-chip PLL을 사용하여 주파수를 합성한다. 이때 사용되는 PLL은 모두 동일한 구조이며 VCO만 LC 또는 Ring 형태를 선택적으로 사용한다.

2.1. 핵심 회로 설계

각 유형별 주파수 합성기는 사용되는 PLL 수에 따라 VCO의 형태나 SSB mixer의 사용유무 등이 결정된다. 또한 모든 유형의 주파수 합성기는 최종 단계에 3-port switch를 이용하여 band switching을 하도록 설계 하였다. 따라서 본 논문에서 설계된 주파수 합성기의 핵심 회로는 LC-QVCO, Ring-QVCO, SSB mixer, 3-port switch, on-chip PLL 등을 들 수 있다.

2.1.1 LC-QVCO

설계된 LC-QVCO는 그림 2에서 보는 것과 같이 NP_core 형태로 quadrature 신호를 발생시키도록 설계하였다. VCO의 발진 주파수를 tuning하기 위해 2-bit 외부 신호 'VCON1'과 'VCON2'에 의해 캐패시터 값을 조절할 수 있도록 하였다. 설계된 VCO의 주파수 tuning 범위는 약 1.6GHz이다. 정현파 발진은 LC 공진에 의해 이루어지며 L은 spiral inductor를 사용하였고 C는 공정에서 제공되는 varactor mscap을 사용하였다. VCO에 의해 생성된 quadrature 신호는 분주 회로를 통과하여 PLL의 feedback 신호로도 사용되며, synthesizer 블록에 입력되어 주파수 합성에 사용된다.

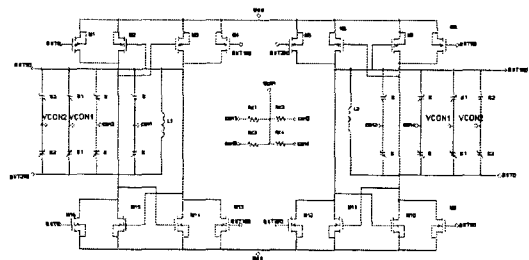


그림 2. 설계된 LC-QVCO 회로
Fig. 2. Schematic of the designed LC-QVCO

2.1.2 Ring-QVCO

Ring-QVCO는 그림 3에서와 같이 저항성 부하를 포함하는 source coupled 구조의 차동 버퍼 지연 단[6]을 이용하여 구성하였다.

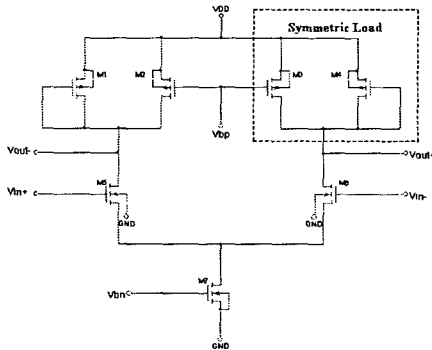


그림 3. 차동 버퍼 지연 단
Fig. 3. Differential buffer delay stage

바이어스 전압 'Vbp'가 변하면 병렬 대칭구조의 저항성이 바뀌어 버퍼의 지연 시간이 바뀌고 따라서 동작 주파수가 변하게 된다. 버퍼 지연 단에 바이어스 인가는 replica-feedback biasing[6]을 사용하였기 때문에 전원전압의 변화에도 일정한 전류가 버퍼 지연 단에 공급된다. 설계된 Ring-QVCO는 위의 지연 단을 4단으로 연결하여 quadrature 동작을 하도록 하였다.

2.1.3 SSB Mixer

SSB mixer는 첫 번째와 세 번째 구조의 주파수 합성기 설계에 있어 중요한 블록이다. SSB mixer의 기본 개념은 아래 수식과 같다[7].

$$V_{out} = A\cos\omega_1 t \cdot B\cos\omega_2 t - A\sin\omega_1 t \cdot B\sin\omega_2 t$$

$$= AB\cos(\omega_1 + \omega_2)t$$

수식에서 보듯이 두 개의 DSB mixer의 조합으로 원하는 SSB mixing 동작을 할 수 있다. 부가적으로 SSB mixer의 동작을 위해서는 같은 입력 신호의 I/Q 요소를 사용해야 함도 확인할 수 있다. 설계된 SSB mixer는 그림 4에서와 같이 Gilbert 유형의 double-balanced mixer를 두 개 사용하였다. Spur 특성을 고려하여 RF 단에 낮은 주파수를 LO 단에 높은 주파수를 인가하도록 구성하였고 출력 단은 간단한 differential pair 구조의 buffer를 이용하여 구성하였다.

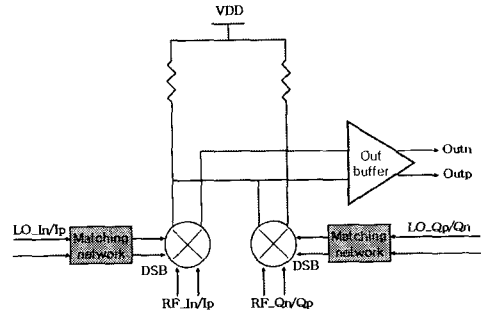


그림 4. 출력 buffer를 포함하는 SSB mixer
Fig. 4. SSB mixer with output buffer

2.1.4 Output Switch

Switch는 주파수 합성기의 최종 단으로 합성된 주파수를 선택적으로 출력시키는 역할을 하게 된다. 그림 5에서 볼 수 있듯이 설계된 switch는 3-port 형태로 구성되었고, 각 port 별로 하나의 MOSFET에 의해 switching이 조절 되도록 하였기 때문에 band switching에 있어서 빠른 속도 특성을 나타낸다. NMOS switch가 'on'된 경우에는 PMOS가 'off'되고 NMOS switch가 'off'된 경우에는 isolation을 위해 PMOS가 'on'되어 ground로 전류 path를 형성해 주도록 설계하였다. 3-port switch는 3 개의 mode 신호에 따라 선택된 band의 중심 주파수를 출력하게 된다.

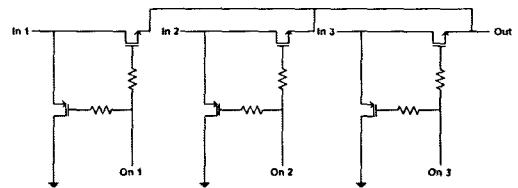


그림 5. 3-port switch 회로
Fig. 5. 3-port switch schematic

2.1.5 On-Chip PLL

On-chip PLL은 그림 6에서와 같은 구조의 charge-pump PLL[8]을 사용하였다. Bias 회로는 VCO와 Charge pump 회로에 필요한 안정된 기준전류를 공급한다. PFD는 기준 주파수인 f_{ref} 와 주파수 분주기의 출력 f_{vco}/N 을 비교하며, Lock Detector는 f_{ref} 와 f_{vco}/N 이 locking이 되었는지를 판별한다. CML Latch로 구성된 주파수 분주기는 VCO의 출력을 분주하여 PFD에 전달한다. Charge pump는 PFD에서 입력되는 신호에 따라 전류를 칩 내부의 Loop Filter에 공급하여 VCO의 oscillation 주파수를 조절한다.

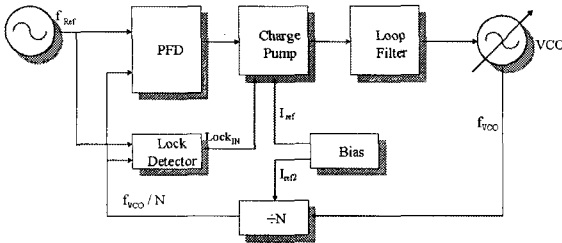


그림 6. 설계된 on-chip charge pump PLL
Fig. 6. Designed on-chip charge pump PLL

2.2. 유형별 주파수 합성기

본 논문에서 설계한 주파수 합성기의 구조를 분류하는 주된 기준은 사용된 PLL의 개수이다. On-chip PLL은 하나에서 세 개까지 사용되며 첫 번째 및 두 번째 구조는 LC oscillator를 세 번째 구조는 LC oscillator와 Ring oscillator를 각각 하나씩 사용한다. 이에 따라 주파수 합성기의 전체 구성 및 특성이 다르게 나타난다.

2.2.1 첫 번째 구조

설계된 주파수 합성기의 첫 번째 구조를 그림 7에 보였다. 설계된 회로는 LC-QVCO, 주파수 분주기, Bias, Charge Pump, PFD, Lock Detector 등을 포함하는 on-chip PLL block과 SSB mixer, RF-Switch, Quadrature Divider 등을 포함하는 Synthesizer block으로 구성된다. 첫 번째 구조의 주파수 합성기에서는 4224MHz의 주파수에서 동작하는 단일 PLL을 사용하여 세 개의 중심 주파수를 합성한다. PLL에서는 4224MHz의 quadrature 신호를 발생시키며, 분주기를 이용하여 1056MHz, 528MHz, 264MHz 등의 신호를 발생시킨다. Synthesizer block에서 1056MHz와 528MHz의 신호를 SSB mixing을 하여 1584MHz 신호를 발생시키고, quadrature 2분주 divider를 통해 792MHz의 신호를 발생시킨다. 이 신호들은 switching block과 SSB mixer로 구성된 tripple frequency SSB mixer로 인가되며, 이를 통해 3432MHz, 3960MHz, 4488MHz의 중심 주파수를 생성하게 된다.

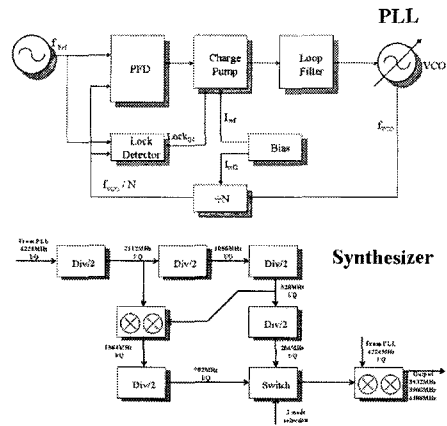


그림 7. 첫 번째 구조
Fig. 7. The first structure

첫 번째 구조는 주파수 합성을 위해 하나의 PLL을 사용한다는 장점을 가지고 있는 반면, SSB mixer를 두 개 사용하고 다수의 divider를 사용함으로써 많은 전류 소모 및 큰 spur 특성을 보인다. 또한 SSB mixer의 in-output matching을 위한 다수의 inductor 사용으로 인해 chip size 증가한다는 문제점을 가지고 있다.

2.2.2 두 번째 구조

설계된 두 번째 구조의 블록다이어그램을 그림 8에 보였다. 이 구조는 각각의 중심 주파수에서 동작하는 세 개의 PLL을 사용한다. LC-VCO를 사용하는 3개의 on-chip PLL과 RF-Switch 만을 사용하여 주파수 합성을 하도록 설계되었다. 각 PLL은 3432MHz, 3960MHz, 4488MHz의 주파수를 발생시키고, 이 신호들은 특별한 부속 회로 없이 switch에 인가되게 되며, mode 신호에 따라 중심 주파수를 출력으로 내보내게 된다.

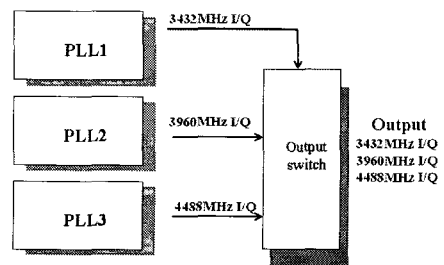


그림 8. 두 번째 구조
Fig. 8. The second structure

설계된 두 번째 구조는 모의 실험상에서는 좋은 spur 특성을 보일 수 있으나, 실제 chip 제작에서는 하나의 chip 내부에 고주파 발진 성분이 다수 발생하여 신호간 간섭이 크게 작용할 것으로 예상된다. 또한 LC-VCO를 다수 사용함으로 인해 chip size가 증가하며 전류 소모가 증가하는 단점이 있다.

2.2.3 세 번째 구조

유형별 주파수 합성기의 설계에 있어 가장 좋은 특성을 보여준 세 번째 구조의 블록다이어그램을 그림 9에 보였다. 이 구조는 두 개의 PLL과 하나의 SSB Mixer를 사용하여 원하는 주파수를 합성한다. LC-VCO를 사용하는 PLL1에서 3960MHz의 주파수를 발생하며, Ring-VCO를 사용하는 PLL2에서 528MHz의 주파수를 생성한다. PLL1에서 생성된 3960MHz의 주파수는 출력 및 SSB mixer의 LO 신호로 사용되며, PLL2의 528MHz는 SSB mixer의 RF 입력으로 인가된다. Mode 신호에 따라 SSB mixer는 up/down conversion 동작을 하고 이에 따른 출력은 최종단인 RF switch에 전달되게 된다. 최종 출력은 PLL1으로부터 발생된 3960MHz와 SSB mixer에서 up/down conversion된 3432MHz와 4488MHz의 신호가 switching에 의해 선택된다.

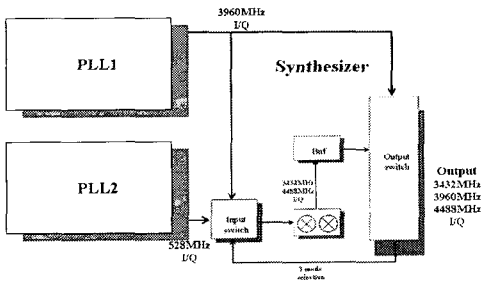


그림 9. 세 번째 구조
Fig. 9. The third structure

설계된 세 번째 주파수 합성기는 SSB mixer 및 divider의 사용을 줄여 spur 및 전류 소모 특성을 첫 번째 구조에 비해 줄일 수 있고, 고주파 및 저주파 PLL을 각각 하나씩 사용함으로써 두 번째 구조에 비해 신호 간 간섭을 줄일 수 있다. On-chip spiral inductor의 수도 다른 두 구조에 비해 줄어들어 전체적인 chip size도 축소될 수 있다.

III. 모의실험 결과

설계된 회로를 0.18 μ m CMOS 공정변수를 사용하여 RF-Spectre 모의실험 한 결과를 그림 10~14에 나타내었다.

그림 10은 세 구조에서 공통으로 사용된 그림 6의 PLL을 4.224GHz의 주파수에서 동작 시켰을 때의 LC-QVCO의 control 전압에 대한 모의실험 결과이다. PLL은 기준주파수가 되는 33MHz 입력신호 f_{ref} 와 주파수 분주기를 통과한 f_{vco}/N 을 비교하며, 두 신호의 위상차에 해당하는 시간 동안 Charge pump에서 공급되는 100 μ A의 초기 전류를 통해 locking을 시도한다. locking된 후 전류는 25 μ A 정도로 감소하게 되며, 대응되는 VCO의 control 전압은 거의 일정하게 유지되게 된다. 설계된 PLL은 lock window 내에 들어가서 25 μ A의 전류를 흘려주기 시작할 때까지 약 5 μ s의 시간이 소요되며, 정상 상태에 이르는 시간은 약 14 μ s가 소요됨을 그림 10에서 확인 할 수 있다. 설계된 PLL 회로는 1.8V의 전원전압에서 4.224GHz 동작 시 약 6.6mA의 전류를 소모한다.

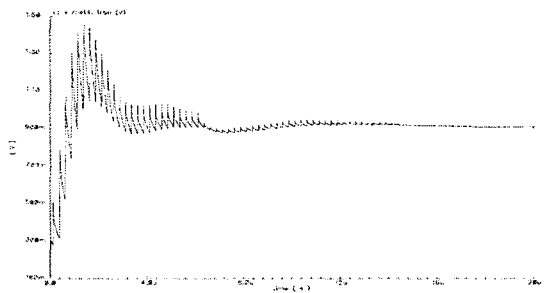


그림 10. PLL simulation 결과
Fig. 10. PLL simulation result

그림 11, 12, 13은 각 구조별 주파수 합성기가 3432MHz의 중심 주파수에서 동작할 때의 출력 신호 스펙트럼이다. 그림에서 각 구조의 spur 특성은 각각 -30.29dBc, -35.89dBc, -36.21dBc 이하임을 확인 할 수 있다.

그림 14는 세 번째 주파수 합성기가 4488MHz에서 3432MHz로 switching 할 때의 transient 특성을 보여주며, 소모 시간은 1.3ns인 것을 확인할 수 있다. 세 구조 모두 같은 switch를 사용하였기 때문에 거의 같은 채널 선택 소모 시간 특성을 보인다.

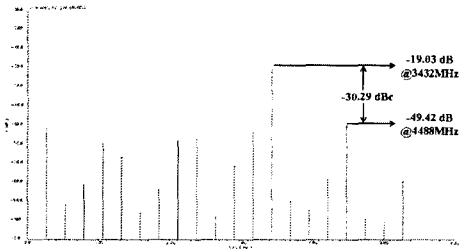


그림 11. 첫 번째 구조의 모의실험 결과
Fig. 11. Simulation result (1st structure)

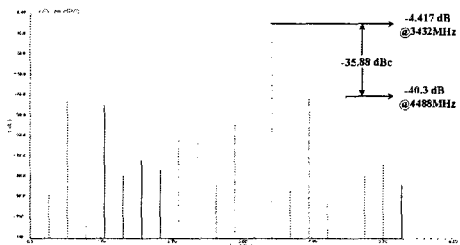


그림 12. 두 번째 구조의 모의실험 결과
Fig. 12. Simulation result (2nd structure)

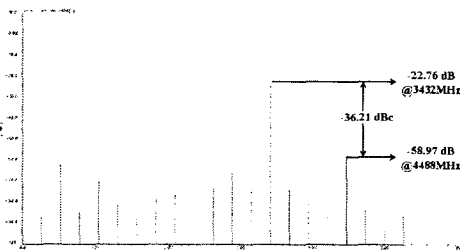


그림 13. 세 번째 구조의 모의실험 결과
Fig. 13. Simulation result (3rd structure)

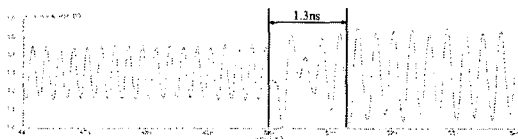


그림 14. 세 번째 구조의 switching time
Fig. 14. Switching time of the 3rd structure

설계된 세 가지 구조의 성능을 표 1에 비교 요약하였다. 모의실험 결과본 논문에서 제안된 세 번째 구조가 다른 구조에 비해 switching time, spur, 전류소모, 및 칩 면적 면에서 좋은 특성을 보인다.

표 1. 설계된 주파수합성기의 성능요약
Table 1. Performance summary of the designed frequency synthesizers

	첫 번째 구조	두 번째 구조	세 번째 구조
PLL Frequency	4224MHz	3432MHz 3960MHz 4488MHz	3960MHz 528MHz
Switching time	< 1.3ns	< 1.3ns	< 1.3ns
Spur	< -30.3dBc	< -35.9dBc	< -36.2dBc
Current Consumption	28.5mA	24.4mA	22.0mA
Chip size	4.2mm ²	3.1mm ²	2.2mm ²

IV. 결론

본 논문에서는 MB-OFDM UWB 시스템을 위한 RF front-end 단 주파수 합성기를 구조별로 CMOS 회로로 설계하고 성능을 비교하였다. 각 구조는 사용되는 PLL 개수에 따라 세 가지로 분류되며 UWB 시스템의 주요 spec인 spur, switching time, 전류소모, chip size 등의 특성에서 차이가 나게 된다. 설계된 주파수 합성기 중에서 두 개의 PLL을 사용하는 세 번째 구조가 모든 특성 면에서 다른 두 구조에 비해 좋은 성능을 보였다. 제안된 세 번째 구조의 주파수 합성기는 1.3ns의 band switching time 특성을 보이고, -36dBc 이하의 spur 특성 및 1.8V의 전원전압 하에서 22mA의 전류 소모 특성을 보인다. 칩 면적은 약 2.2 mm²로 예상된다.

참고문헌

- [1] 이재경, 강기섭, 박종태, 유종근, "MB-OFDM 방식의 UWB 시스템을 위한 CMOS LNA 설계," 한국해양정보통신학회논문지, 제10권 제1호, pp. 117-122, Jan. 2006.
- [2] "Multi-band OFDM Physical Layer Proposal" IEEE P802.15 Working Group for Wireless Personal Area Networks(WPANs),http://grouper.ieee.org/groups/802/15/pub/2003/Ju103/03267r6P802-15_TG3a-Multi-band-OFDM-CFP-Presentation.ppt.
- [3] "XtremeSpectrum CFP Presentation" IEEE P802 .15

Working Group for Wireless Persona Area Networks (WPANs), http://grouper.ieee.org/group/802/15/pub/2003/Jul03/03153r10P802-15_TG3a-XtremeSpectrum-CFP-Presentation.ppt.

- [4] 이재경, 유종근, "MB-OFDM UWB 시스템을 위한 Fast-Hopping 주파수 합성기 설계", 대한전자공학회 SoC 컨퍼런스 논문지, May. 2006.
- [5] Behzad Razavi, "A UWB CMOS Transceiver", *IEEE J. Solid-State Circuits*, vol. 40. No. 12, December 2005.
- [6] John G. Maneatis, "Low-jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", *IEEE J. Solid-State Circuits*, vol. 31. No. 11. November 1996.
- [7] T. P. Liu, "A 2.7-V dual-frequency single-sideband mixer", in Symp. VLSI Circuits Dig. Tech. Papers, pp. 124-127 Jun. 1998.
- [8] 이재경, 유종근, "초광대역 시스템 Hopping Carrier 발생을 위한 0.18um 4.224GHz CMOS PLL 설계", 대한전자공학회 추계학술대회 논문지II, pp. 845-848, 2005.

저자소개

이재경(李在鏡)



2005.2 인천대학교 전자공학과 학사
2005.3~현재: 인천대학교 대학원 전자공학과 석사과정

※ 관심분야: 고성능 PLL 및 주파수 합성기 설계, RFIC 설계

박준규(朴俊圭)



2006.2: 인천대학교 전자공학과 학사
2006.3~현재: 인천대학교 대학원 전자공학과 석사과정

※ 관심분야: 고성능 PLL 및 RFIC 설계

박종태(朴鍾泰)



1981.2: 경북대학교 전자공학과 학사
1983.8: 연세대학교 전자공학과 석사
1987.2: 연세대학교 전자공학과 박사

1983.8~1985.8: 금성반도체(주) 연구소 연구원

1991.1~1991.12: MIT Post Doc.

2000.7~2001.8: UC Davis 방문교수

1987.3~현재: 인천대학교 전자공학과 교수

※ 관심분야: CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

유종근(劉宗根)



1985.2: 연세대학교 전자공학과 학사
1987.2: 연세대학교 전자공학과 석사
1993.12: Iowa State University 전기 및 컴퓨터공학과 Ph.D.

1989.9~1991.8: Texas A&M Univ. 전기공학과 연구조교

1994.3~현재: 인천대학교 전자공학과 교수

※ 관심분야: CMOS Analog/Mixed-mode IC 설계, RFIC 설계