
Shallow Trench Isolation 공정에서 수분에 의한 nMOSFET의 Hump 특성

이 영 철*

Moisture Induced Hump Characteristics of Shallow Trench-Isolated nMOSFET

Young Chul Lee*

요 약

본 논문은 shallow trench isolation (STI) 공정에서 ILD (inter-layer dielectric) 막의 수분에 의해 야기되는 단 채널 (short-channel) nMOSFET의 hump 특성의 원인을 분석하고 억제 방법을 제안하였다. 다양한 게이트를 가지는 소자와 TDS-APIMS(Thermal Desorption System-Atmospheric Pressure Ionization Mass Spectrometry) 측정을 이용하여 hump 특성을 체계적으로 분석하였고, 분석을 바탕으로 단 채널 hump 모델을 제안하였다. 제안된 모델에 의한 단 채널 nMOSFET의 hump 현상은 poly-Si 게이트 위의 ILD 막의 수분이 상부의 SiN 막에 의해 밖으로 확산되지 못하고 게이트와 STI의 경계면으로 확산하여 발생한 것이며, 이를 개선하기 위해 상부의 SiN 막의 증착 전 열공정을 통해 ILD 막의 수분을 효과적으로 배출시킴으로써 hump 특성을 성공적으로 억제하였다.

ABSTRACT

In this paper, hump characteristics of short-channel nMOSFETs induced by moistures of the ILD(inter-layer dielectric) layer in the shallow trench isolation (STI) process are investigated and the method for hump suppression is proposed. Using nMOSFETs with various types of the gate and a measurement of TDS-APIMS (Thermal Desorption System-Atmospheric Pressure Ionization Mass Spectrometry), hump characteristics were systematically analyzed and the systemic analysis based hump model was presented; the ILD layer over poly-Si gate of nMOSFET generates moistures, but they can't diffuse out of the ILD layer due to the upper SiN layer. Consequently, they diffuses into the edge between the gate and STI and induces short-channel hump. In order to eliminate moisture in the ILD layer by out-gassing method, the annealing process prior to the deposition of the SiN layer was carried out. As the result, short-channel humps of the nMOSFETs were successfully suppressed.

키워드

nMOSFET, Hump, STI, Short-channel, ILD

I. 서 론

반도체 소자의 크기가 급격히 감소함에 따라, 반도체 소자 격리(isolation) 기술에서 STI (shallow trench isolation)

기술이 소자의 scalability나 평탄도(planar topology) 측면에서 중요한 기술로 사용되어 오고 있다 [1]. 그러나 STI 기술은 STI 가장자리(edge)에서의 다양한 원인에 의해 turn-off 시에도 MOSFET이 전류(sub-threshold)가 흐르는

hump 특성이 나타나는 단점이 있다. 따라서 이러한 hump 특성은 시스템 칩의 대기전류와 누설전류를 증가시키는 문제점을 야기한다 [2].

일반적인 hump 특성은 STI의 침하(recess)된 상부 모서리에 높은 가장자리 전계(fringing field)가 유도되고, 낮은 게이트 전압에서 MOSFET이 turn-on되어 전류가 흐르는 recess-hump가 주로 보고되고 있고 [3, 4], 소스(source)/드레인(drain)에 As 이온 주입 공정 중에 poly-Si 게이트 아래에 기생적으로 채널을 형성하여 hump 특성이 나타나기도 한다[5]. 또한, 최근에는 수분이 STI 측벽으로 확산하고, 게이트와 STI 경계면에서 boron(B) 이온의 분리로 인한 hump 특성이 보고되는 [6, 7] 등 여러 가지 이유로 MOSFET에서 hump 특성이 야기되고 있으며 이의 원인과 개선을 위하여 다양한 연구가 진행되고 있다.

MOSFET에서 hump 특성은 V_t (threshold voltage) 값에 직접적인 영향을 주고 이의 심한 변동은 회로나 시스템 칩의 설계를 어렵게 한다. 따라서 MOSFET에서 hump 특성의 영향을 감소시키기 위해 여러 개의 MOSFET을 연결하여 하나의 MOSFET로 구성된 array 형태가 제안되었다 [2]. 수분에 의한 hump 특성을 개선하기 위해서는 게이트 바로 상부에 SiN 막을 증착하여 수분의 확산을 효과적으로 방지하는 방법이 제안되었다[6, 7].

본 연구에서는 다양한 형태의 소자를 이용하여 단 채널(short channel) nMOSFET의 hump 특성을 체계적으로 분석하고, 이를 바탕으로 수분에 의한 hump 모델을 제안하며, 열 공정을 이용하여 hump 특성을 효과적으로 개선하였다.

II. 본 론

2.1. Hump 현상 분석

본 연구에서 제작에 사용된 소자의 개략적인 구조 및 평면구조를 그림 1에 나타내었다. 식각된trench는 CVD (chemical vapor deposition) 산화막을 이용하여 채워 졌다. 70 Å의 게이트 산화막과 소스와 드레인 형성 후, ILD (inter-layer dielectric) 막이 LPCVD (low-pressure CVD) 방법을 이용하여 증착되었다. CMP (chemical mechanical planarization) 공정 후 총 ILD 막의 두께는 8000 Å이다. MOSFET 상부의 소자 형성에서 식각 정지 막으로 작용하는 SiN 막이 300 Å의 증착되었다. STI 위로 게이트가 그림

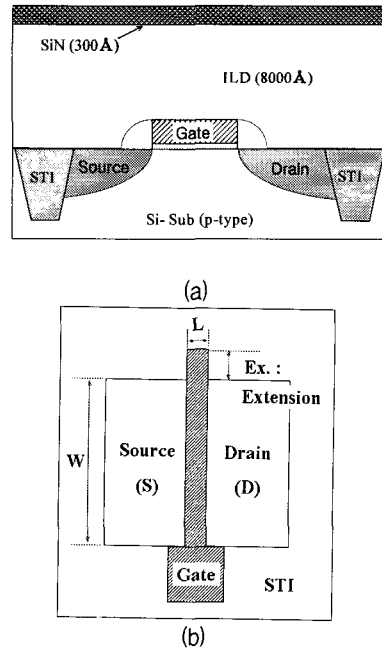


그림 1. nMOSFET의 개략도(a) 및 평면구조(b) (L: 게이트의 채널 길이, W: 게이트의 채널 폭, 그리고 Ex: STI 위의 게이트의 연장길이).

Fig. 1. Schematic diagram of the nMOSFET(a) and its layout (b) (L: the gate length, W: the gate width, and Ex: the gate extension on the STI).

1 (b)과 같이 연장(Ex: extension)되어 있으며, 본 연구에서 사용된 표준 소자의 연장길이는 2 μm이다. 이상의 구조로 제작된 단-채널 nMOSFET의 hump 특성을 분석하기 위하여 다양한 게이트 구조의 소자와 ILD 막의 특성을 측정하여 그 특성을 분석하였다.

그림 2는 게이트의 길이(L)가 8 μm인 장 채널과 0.25 μm인 단 채널 소자의 드레인 전류(I_d)와 게이트-소스전압(V_{gs})의 특성곡선을 나타내고 있다. 일반적인 recess-hump는 장 채널 소자에 발생하나[3, 4], 본 연구에서는 그림 2에서처럼 hump 특성이 나타나지 않았다. 그러나 단 채널 소자에서는 hump 특성이 뚜렷함을 알 수 있다. 따라서 본 연구에서 나타난 hump 특성은 일반적인 recess-hump 현상이 아님을 알 수 있다. 이례적인 hump 특성을 분석하기 위하여 다양한 게이트 구조를 갖는 nMOSFET을 설계하여 그 특성을 분석하였다.

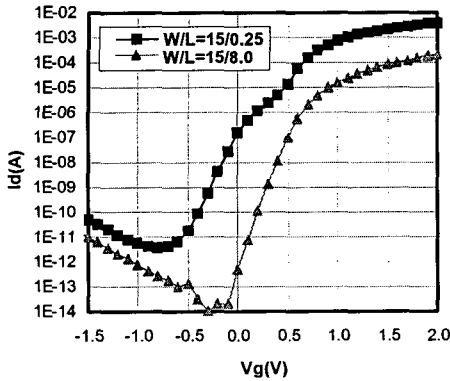


그림 2. 장 채널 및 단 채널 nMOSFET의 Id-Vgs 특성.

Fig. 2. Id-Vgs characteristics of the long- and short-channel nMOSFETs.

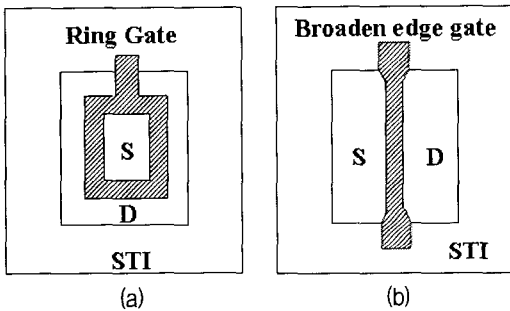


그림 3. 링 게이트 (a) 및 광폭 게이트(b) nMOSFET의 평면도.

Fig. 3. Layout of a ring-gate and broaden edge gate nMOSFET.

그림 3은 소스와 드레인 사이의 게이트가 STI의 가장자리와 인접하지 않은 링 게이트 nMOSFET(a)과 STI 가장자리와 게이트의 경계면에서 게이트의 채널 길이가 넓어지는 형태인 광폭 게이트 (broaden edge gate)의 nMOSFET (b)의 평면 구조를 나타내고 있으며, 두 소자의 게이트의 채널 폭(W)은 33 μm , 게이트의 채널 길이(L)는 0.25 μm 이다.

그림 4는 두 소자의 전류-전압 특성을 W/L이 15/0.25 μm 인 표준 단 채널 nMOSFET과 비교하고 있다. 두 소자 모두 단 채널임에도 불구하고 hump 특성이 나타나지 않음을 알 수 있다.

그림 5는 소자의 게이트가 STI 위로 연장이 되는데 연장 정도에 따른 장 채널 소자의 전류-전압 특성을 나타내고 있다. 소자의 W/L은 15/15 μm 이고 연장길이(Ex.)를

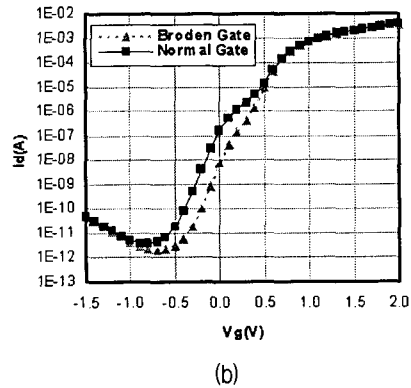
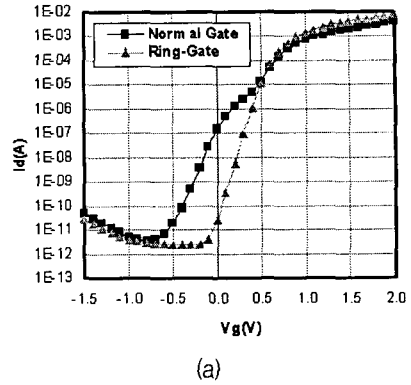


그림 4. 링 게이트 (a) 및 광폭 게이트 (b) nMOSFET의 Id-Vgs 특성.

Fig. 4. Id-Vgs characteristics of the ring-gate (a) and broaden edge gate (b) nMOSFET.

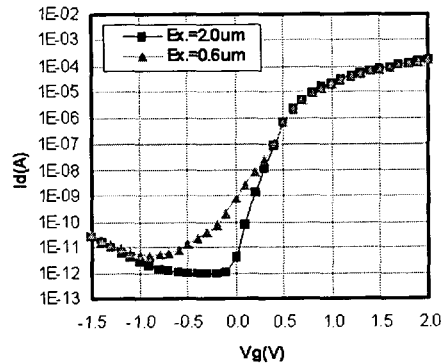


그림 5. 장 채널 소자의 게이트 연장에 따른 Id-Vgs 특성 (W/L=15/15 μm).

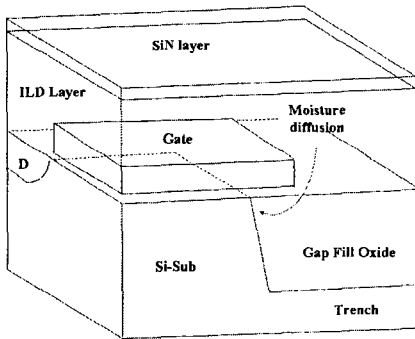
Fig. 5. Id-Vgs characteristics with different gate extension length (W/L=15/15 μm)

2.0 μm 에서 0.6 μm 로 감소시켰다. 연장길이가 짧아짐에 따라 장 채널 소자임에도 불구하고 hump 특성이 나타남을 알 수 있다.

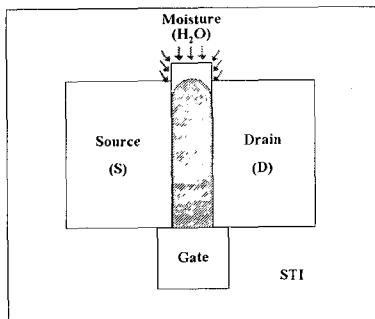
그림 3, 4, 그리고 5의 결과로 볼 때, 게이트와 STI의 경계면에서 게이트의 채널 길이와 STI 가장자리(edge)가 단 채널 hump 특성에 밀접한 관련이 있음을 알 수 있다.

2.2. Hump 모델

본 연구에서 나타난 단 채널 nMOSFET의 hump 특성은 일반적인 recess-hump 특성과 다르며, STI와 게이트의 경계면이 단 채널 hump의 직접적인 원인으로 판단되는 여러 실험 결과를 바탕으로 그림 6과 같은 hump 모델을 제안한다. nMOSFET 바로 위에 위치하는 ILD 층의 수분은 상부의 SiN 층에 의해 밖으로 배출되지 못하고 그림 6 (a)



(a) Hump 모델의 3차원 도식도 (nMOSFET의 1/4 부분)
(a) 3D schematic diagram of the hump model (1/4 part of the nMOSFET)



(b) Hump 모델의 2차원 평면도
(b) 2D planar view of the hump model

그림 6. 수분에 의해 야기된 단 채널 hump 특성의 모델.
Fig. 6. Hump model for moisture induced short-channel hump characteristics.

에서처럼 게이트 연장 영역 아래 STI 측벽으로 확산하여 들어간다. 확산된 수분에 의해 Si/SiO₂ 경계면에서 B(boron)의 분리로 인해 도핑농도의 감소를 초래하게 된다[8]. 따라서 STI의 가장자리와 인접한 게이트 부분에서 Vt 전압을 감소시킴으로써 hump 특성을 야기한다. 즉 STI와 게이트 경계면 근처에서 그림 6 (b)와 같이 소자의 주 채널보다 작은 채널이 기생적으로 만들어지는 효과를 나타낸다. 따라서 낮은 Vt에서도 기생채널이 turn-on되어 hump 특성이 나타난다. 따라서 제안된 모델에 의하여 그림 3, 4, 그리고 5의 결과들의 설명이 가능하다. 즉, 그림 6 (b)에서처럼 STI 가장자리와 게이트가 만나는 경계면이 주로 수분의 확산에 취약하기 때문에, 경계면이 없거나 [그림 3. (a)와 그림 4. (a)], 가장자리에서 게이트의 채널 길이가 긴 게이트 형태 [그림 3. (b)와 그림 4. (b)]에서 hump 특성이 나타나지 않았고, 연장길이(그림 5)가 짧아짐에 따라 수분의 확산이 용이함으로 장 채널 소자에서도 hump 특성이 나타난 것으로 판단된다.

ILD 막의 특성을 알아보기 위하여, 11,000 Å의 ILD막을 TDS-APIMS(Thermal Desorption System-Atmospheric Pressure Ionization Mass Spectrometry)를 이용하여 측정된 결과를 그림 7에 나타내었다. 그림에서처럼 온도의 상승에도 불구하고 수분의 발생량이 상당한 것으로 미루어 보아 ILD 막질 자체가 수분량이 많으며 수분과의 결합력도 상당히 약한 것으로 판단된다. 따라서 단 채널 nMOSFET의 hump 특성의 직접적인 원인이 ILD 층의 수분임을 알 수 있으며, hump 특성의 개선을 위하여 ILD 막의 수분 제거가 필수적으로 요구된다.

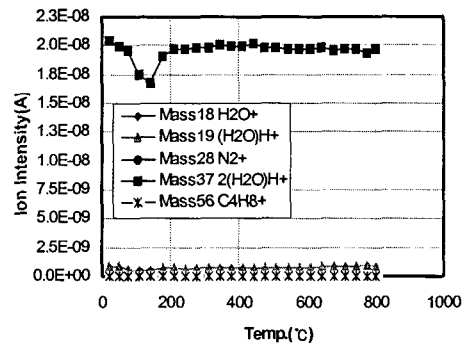


그림 7. TDS-APIMS 측정결과 (ILD 막의 두께: 11,000 Å).
Fig. 7. TDS-APIMS results of the ILD layer (ILD thickness: 11,000 Å).

본 연구에서는 제안된 모델을 증명하고 ILD 층의 수분으로 인한 단 채널 nMOSFET의 hump 특성을 개선하기 위하여, 상부의 SiN 막의 증착 전에 760 °C에서 2시간 동안 진공 열처리하여 ILD 층의 수분을 제거한 후 소자를 제작하여 그 특성을 기존의 소자와 비교하였다.

그림 8은 W/L이 15/0.25 μm인 단 채널 nMOSFET의 열처리(annealing) 유무에 따른 전류-전압 특성을 비교한 것이다. SiN 막의 증착 전에 열처리 공정으로 인해 hump 현상이 완전히 없어진 것을 알 수 있으며, 이것은 ILD 막의 수분이 외부로 효과적으로 제거되었기 때문이다. 따라서 본 연구에서의 단 채널 nMOSFET의 hump 현상은 소자 상부 절연 층(ILD)에 포함된 수분에 의한 것이며, 이의 개선을 위한 효과적인 방법이 상부의 SiN 막의 증착 전 열처리를 알 수 있다.

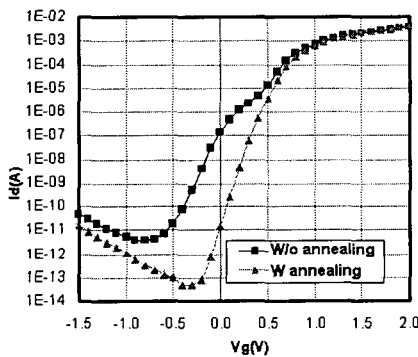


그림 8. ILD 층의 열처리에 따른 Id-Vgs 특성 비교 (W/L=15/0.25, W/O annealing: 열처리 하지 않음, W annealing: 열처리 함).

Fig. 8. Comparison of the Id-Vgs characteristics according to the annealing process of the ILD layer (W/L=15/0.25, W/O: without, W: with).

III. 결 론

본 논문은 shallow trench isolation (STI) CMOS 공정에 서 ILD (inter-layer dielectric)막의 수분에 의해 야기되는 단 채널 nMOSFET의 hump 특성의 원인을 분석하고 억제 방법을 제안하여 그 특성을 개선하였다. 다양한 게이트 형태를 가지는 소자를 이용한 분석을 토대로, 본 연구에서 나타난 단 채널 소자의 hump는 기존의 장 채널 소자의 recess-hump와 다른 상부의 ILD 막에 포함된 수분에 의한

새로운 모델을 제안하였고 이를 증명하였다. 제안된 모델에 따라, 상부의 SiN막의 증착 전에 진공 열공정을 통해 ILD막의 수분을 외부로 배출시킴으로써 단 채널 nMOSFET의 hump 특성을 효과적으로 억제하였다.

참고문헌

- [1] M. Nandakumar, A. Chatterjee, S. Sridhar, K. Joyner, M. Rodder, and I.-C. Chen, "Shallow trench isolation for advanced ULSI CMOS technologies", Proceeding of IEEE International Electron Devices Meeting (IDEM), pp. 133 - 136, 1988.
- [2] Akira Mizumura, Tetsuya Oishi, Nobuhiko Yokoyama, Mie Nonaka, Shigeyuki Tanaka, and Hiroaki Ammo, "Study of 90-nm MOSFET Subthreshold Hump Characteristics Using Newly Developed MOSFET Array Test Structure", IEEE trans. on Semiconductor Manufacturing, vol. 19, no. 1, pp.19-26, 2006.
- [3] Brut, H.; Velghe, R.M.D.A., "Contribution to the characterization of the hump effect in MOSFET submicronic technologies" International Conference on Microelectronic Test Structures (ICMTS), pp. 188- 193, 1999.
- [4] Hsin-Yi Lee; Chih-Sheng Chang; Ting-Hua Hsieh; Jyh-Chyurn Guo, "Subthreshold hump mechanisms for both surface and buried channel MOSFET using STI technology", Proceeding of the 30th European Solid-State Device Research Conference, pp. 108-111, 2000.
- [5] G. Fuse, S. Shibata, and Y. Kato, "N-channel MOS FET Degradation by Source/Drain Implantation", Proceedings of the 11th International Conference on Ion Implantation Technology, pp. 642-645, 1996.
- [6] Jung-Hwan Lee, Won-Kyu Park, Eun-Young Chung, Young-Hee Kim, and Chang-Kyu Choi, "Analysis of Water Diffusion Path Evolving From Silicon Dioxide and Its Influence on Transistor Hump", IEEE Trans. On Electron Devices, vol. 53,no. 4, pp.790-796, 2006
- [7] Sung-Kye Park, Moon-Sik Suh, Jae-Young Kim, Gyu-Han Yoon, and Sung-Ho Jang, "CMOSFET Characteristics Induced by Moisture Diffusion from

Inter-Layer Dielectric in 0.23 μm DRAM Technology with Shallow Trench Isolation" IEEE International Reliability Physics Symposium, pp.164-168, 2000.

- [8] K. Taniguchi, K. Kurosawa, and M. Kashiwagi, "Oxidation enhanced diffusion of boron and phosphorus in (100) silicon," *J. Electrochem. Soc.*, vol. 127, no. 10, pp. 2243 - 2248, 1980.

저자소개

이 영 철(Young Chul Lee)



1995년 영남대 전자공학과(공학사)

1997년 영남대 전자공학과
(공학석사)

2005년 한국정보통신대학교(ICU)
(공학박사)

1997~2000 하이닉스반도체 DRAM 연구소 주임연구원
2005.3~현재 목포해양대학교 해양전자통신공학부 전임
강사

※관심분야: 반도체 물성 및 소자, 밀리미터파 회로 및 시스템, System-on-Package(SoP), reconfigurable RFICs.