

논문 2006-43SD-11-13

고속 버스트 모드 광 송신기에 적합한 자동 전력 제어 회로

(An Automatic Power Control Circuit suitable for High Speed Burst-mode optical transmitters)

기 현 철*

(Hyeon Cheol Ki)

요 약

기존의 버스트 모드 자동전력제어 회로는 저 전력과 단일 칩화에 적합한 효율적인 구조인 반면에 데이터 율(data rate)이 높아짐에 따라 영의 밀도(zero density) 영향을 심하게 받아 에러를 야기하였다.

본 논문에서는 더블 게이트 MOS와 MOS다이오드를 이용하여 주입전류의 불균형을 보상하는 할 수 있는 새로운 구조의 첨두 비교기를 고안하고 이를 자동전력제어 회로에 적용하여 높은 데이터 율에서도 영의 밀도 변화에 강한 버스트 모드 자동전력제어 회로를 제안하였다. 제안한 자동전력제어 회로 내의 첨두 비교기는 높은 데이터 율에서 영의 밀도 변화에도 불구하고 정확한 전류비교 기준점을 견지하며 에러 없이 정상동작 하였다. 또한 제안한 첨두 비교기는 저전력 구조이고 대용량의 커패시터가 사용되지 않아 단일 칩화에도 적합하였다.

Abstract

The conventional burst-mode APC(Automatic Power Control) circuit had an effective structure that was suitable for a low power consumption and a monolithic chip. However, as data rate was increased, it caused errors due to the effect of the zero density.

In this paper, we invented a new structured peak-comparator which could compensate the unbalance of the injected currents using double gated MOS and MOS diode. And we proposed a new burst-mode APC adopting it. The new peak-comparator in the proposed APC was very robust to zero density variations maintaining the correct decision point of the current comparison at high data rate. It was also suitable for a low power consumption and a monolithic chip due to lack of large capacitors.

Keywords : Burst-mode, APC(Automatic Power Control), Peak-comparator, LD Driver, Zero-density

I. 서 론

기존의 점 대 점 링크(point-to-point link) 방식의 광통신은 최근의PON(Passive Optical Network)기술의 발달에 따라 광 다중접속(optical multiple access)으로 전환되고 있다. 이러한 광 다중접속은 동일 광섬유 선을 시분할 다중접속(time division multiple access) 방식으로 공유하게 되므로 PON시스템 내의 데이터는 버스트 모드(burst-mode)로 송수신 되고 이에 따라 버스트

트 모드 광 송수신기에 대한 연구가 활발히 진행되고 있다^[1-5].

특히, PON시스템의 버스트 모드 송신기는 정전 시 백업 충전지로 동작해야 하므로 저전력 특성이 요구되고 기존의 구리선에 대해 경쟁력을 확보하기 위해서는 저가로 구현될 수 있는 기술이 요구된다. 이에 따라 저전력이면서 저가 구현이 가능한 매우 효율적인 광 송신기 구조가 고안되었다^[1,2]. 그림 1은 그 구조를 블록도로 간략히 보여 주고 있다.

레이저 다이오드(LD: Laser Diode) 구동기의 구동전류는 업/다운 카운터에 의해 MOSFET을 스위칭 함으로써 디지털적으로 조절하도록 되어 있어 버스트와 버스트 사이 구간에서 전류를 완전 차단하므로 소모전력

* 정희원, 경원대학교 전자공학과
(Dept. of Electronic Engineering Kyungwon University)
접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

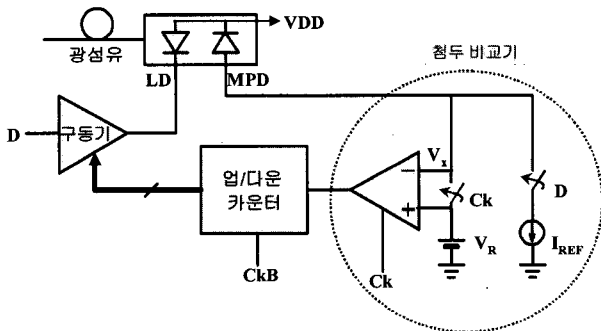


그림 1. 기존의 버스트 모드 자동 전력제어 회로의 구조

Fig. 1. The structure of the conventional burst-mode APC circuit.

을 대폭 줄일 수 있다. 또한, 변조 전류가 디지털적으로 제어됨으로써 업/다운 카운터가 홀더(holder) 역할을 하여 홀더 구현에 필요한 큰 값의 용량기가 없어짐으로써 단일 칩화에 유리한 구조로 된다.

한편, 자동전력제어(APC: Automatic Power Control) 회로에서는 레이저 다이오드 출력 광의 세기가 모니터 광 검출기(MPD: monitor Photo Detector)에서 전류로 검출되어 기준전류 I_{REF} 와 비교됨으로써 전압 V_x 가 야기되고 비교기(comparator)에서 기준전압 V_R 와 비교함으로써 업/다운 카운터의 증감을 결정한다. 자동전력제어 회로는

광 송신기의 가장 중요한 기능 중 하나인 출력 광 세기의 안정적 제어를 담당하는데, 버스트 모드 신호에서는 출력 광의 세기를 측정하는 것이 매우 어렵기 때문에, 자동전력제어 회로의 구현이 쉽지 않다. 기존의 연속모드(continuous-mode) 신호의 경우 신호는 매우 긴 시간 동안 연속적이고 크기변화는 데이터(data) 속도에 비해 매우 느리므로 긴 시간 동안의 광 신호 크기의 평균을 구하여 출력 광의 세기를 어렵지 않게 측정할 수 있었다. 그러나 버스트 모드(burst-mode) 신호의 경우 한 버스트(burst)에서 다른 버스트로 전환될 때 신호크기가 급격히 변화할 수 있고 한 버스트의 길이도 짧을 뿐만 아니라 그 길이도 일정하지 않다. 따라서, 일반적인 경우, 모니터 광 검출기의 전류를 전압으로 변화하는 I/V 변환기를 거쳐 전압으로 변환한 후 첨두(peak)를 검출하고 이를 기준 전압과 비교함으로써 판단한다. 이 경우 광대역의 I/V 변환기와 고속의 첨두 검출기(peak detector)에서 큰 전력을 소모하게 된다. 따라서 [1,2]에서는 모니터 광 검출기와 기준전류에 CMOS스위치를 두어 모니터 광 검출기가 빛을 받는 구간에서만 비교하게 하고 그 외에는 CMOS스위치를 차단하는 방

법으로 큰 전력을 소모하는 I/V 변환기와 첨두 검출기를 제거하여 저전력이고 간단하면서도 효율적인 자동 전력제어를 구현하였다. 그러나 이 경우 데이터 율(data rate)과 마크 밀도(mark density)에 크게 영향을 받게 되어 출력 광 세기의 안정적 제어가 어려워 지게 된다. [3]에서는 CMOS스위치의 스위칭 때 발생하는 검출 전압의 감소분을 인위적으로 부스트시켜 줌으로써 상쇄시켜 이 문제를 해결하고 있다. 그러나 이 경우 고속의 버퍼 회로가 소요되어 소모전력이 증가하고 회로가 다소 복잡해 지며 큰 용량의 커패시터를 필요로 하여 단일 칩화가 어려워지는 문제점을 갖고 있어 실제 활용하기 적합한 만큼 효율적이지는 못한 측면이 있다.

본 논문에서는 데이터 율(data rate)과 마크 밀도(mark density)의 영향을 감쇄하는 보다 개선된 특성과 함께 저전력 및 단일 칩화가 용이한 효율적인 버스트 모드 자동 전력 제어 회로를 제시하고 그 특성을 기존 방식과 비교하고 분석하고자 한다.

II. 기존 첨두 비교기의 분석

기존의 버스트 모드 자동 전력제어 회로는 그림1에 보인 바와 같이 첨두 비교기(peak-comparator)를 제외한 대부분이 디지털적으로 수행되므로 충분한 잡음여유를 갖고 안정적으로 동작할 수 있다. 다시 말해 첨두 비교기가 카운터의 업/다운을 올바르게 제어해 줄 수 있다면 자동 전력제어 회로는 안정적으로 작동하게 된다. 따라서 자동 전력제어 회로의 핵심 동작은 첨두 비교기에서 이루어진다.

1. 동작 및 해석

그림 2는 기존의 버스트 모드 자동 전력제어 회로에 사용된 첨두 비교기의 구조를 보여준다.

전류 미러(current mirror)에 의해 MOS 트랜지스터 M2에 기준 전류 I_{REF} 가 흐르도록 하고 모니터 광검출기(MPD) 전류 I_{pd} 와 비교함으로써 레이저 다이오드의 광 출력 크기를 판단한다. 즉, $I_{pd}=I_{REF}$ 이면 $V_x=V_R$, $I_{pd}>I_{REF}$ 이면 $V_x>V_R$, $I_{pd}<I_{REF}$ 이면 $V_x<V_R$ 이 되므로 비교기(comparator)를 통해 V_x 와 V_R 의 크기를 비교하여 업/다운 카운터를 제어함으로써 광 출력 크기를 자동적으로 제어한다.

한편, 광검출기(MPD)의 기생용량 C_{pd} 는 매우 큰 시상수(time constant)를 통해 충전되므로 여러 비트의 충전 시간이 소요된다. 이 경우 광 출력이 없는 비트에서

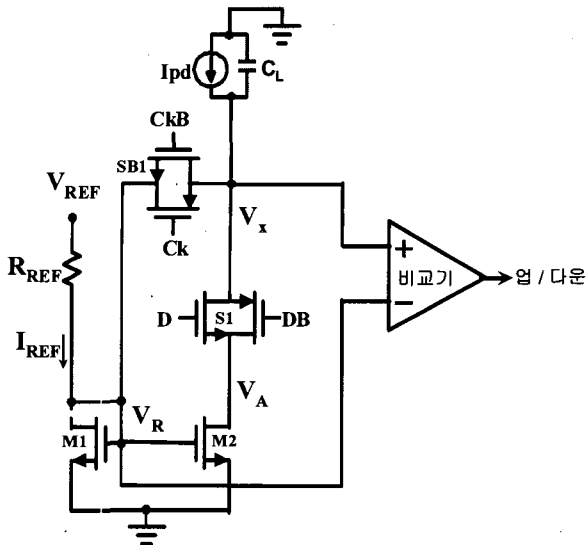


그림 2. 기존의 첨두 비교기의 구조
Fig. 2. The structure of the conventional peak-comparator.

는 C_{pd} 가 M2를 통해 방전하므로 CMOS스위치 S1으로 차단해 준다. 또한, CMOS스위치 SB1은 매 버스트(burst)마다 턴온과 턴오프를 반복하여 첨두 비교기가 한 버스트에서는 비교작업을 수행하고 다음 버스트에서는 리셋(reset)하도록 되어있다.

한 비트(bit)의 시간을 t_b 라고 하고 C_{pd} 와 이와 병렬 연결된 다른 소자에 의한 기생용량을 모두 합하여 C_L 이라 하면, 리셋 이후 한 버스트 구간에서 V_X 전압의 변동 성분 V_q 는 다음 수식으로 표현된다^[1,2].

$$\Delta V_x = \frac{1}{C_L} \int [I_{pd}(t) - I_{REF}(t)] dt = \frac{t_b b_{tot}}{C_L} (I_{pd} - I_{REF}) \quad (1)$$

여기서, b_{tot} 는 한 버스트 내에 '1'인 비트의 수이다. 식(1)로부터 $I_{pd} > I_{REF}$ 인 경우 전압 변동 성분 $V_x > 0$ 이므로 전압 V_x 는 버스트 내에서 시간이 지남에 따라 계속 증가하는 단조함수가 된다. 반면에 $I_{pd} < I_{REF}$ 인 경우 전압 변동 성분 $V_x < 0$ 이므로 전압 V_x 는 버스트 내에서 계속 감소하는 단조함수가 된다. 따라서 버스트 길이가 충분히 길 경우 전압 V_x 는 기준전압 보다 충분히 크거나 작아지게 되어 업/다운 판정이 용이하게 할 수 있다.

2. 전하주입 영향

CMOS스위치가 스위칭하는 동안 전하주입(charge injection)이 발생하나 식(1)은 CMOS스위치 S1에 의한 전하주입 성분을 무시하고 있다. nMOS의 문턱전압 V_{TN} 이 pMOS의 문턱전압 V_{TP} 와 크기가 같고

$V_{TN} < V_{DD}/2$ 라고 가정하여 전하주입에 의한 V_x 의 변동 성분 V_q 를 구하면 다음 수식으로 표현된다^[3,6,7].

$$\Delta V_q = -\frac{C_{ox}WL(V_{GS} - V_{TN})}{2C_L} \quad (2)$$

여기서, W와 L은 nMOS의 채널폭과 길이 L이고 C_{ox} 는 게이트 커패시턴스이다.

식(1)과 식(2)으로부터 V_x 의 총 변동분 $V_{x,tot}$ 는 다음 수식으로 표현된다.

$$\Delta V_{x,tot} = \Delta V_x + \Delta V_q = \frac{b_{tot}}{2C_L} [2t_b(I_{pd} - I_{REF}) - C_{ox}WL(V_{GS} - V_{TN})] \quad (3)$$

식(3)은 $I_{pd} > I_{REF}$ 인 경우에도 전압 변동 성분 $V_{x,tot} < 0$ 가 되어 에러가 발생할 수도 있음을 의미한다.

이상의 해석 결과를 확인하기 위해 오스트리아 AMS사의 0.8um CMOS 상용 파운드리를 이용하여 그림2의 첨두 비교기를 설계하고 시뮬레이션(simulation)을 통해 특성을 검증하였다. 레이저 다이오드는 최대 모니터 전류가 2mA이고 기생용량이 10pF인 15mW급 미쯔비사사의 제품을 모델화하여 사용하였다.

그림 3은 500 Mbps 데이터 율로 동작 할 때의 첨두 비교기의 특성을 보여 주고있다. $I_{REF} = 540\mu A$ 일 때 $I_{pd} = 590\mu A_{p-p}$ 를 인가하여 $I_{pd} > I_{REF}$ 로써 V_X 는 버스트 구간 내에서 단조함수로 증가하여야 한다. 이 경우 특성은 데이터의 '1'보다 '0'에 의해 영향을 받게 되므로 마크밀도(MD; Mark Density)보다는 '0'의 밀도로 표현하는 것이 보다 논리적인 것이다. 따라서 1-MD를 영의 밀도(ZD; Zero Density)라고 하여 표현하기로 한다. 영의 밀도가 0인 구간에서는 전압 V_X 가 단조함수로 증가하여 기준전압 V_R 보다 커지고 있으므로 매우 정상적으

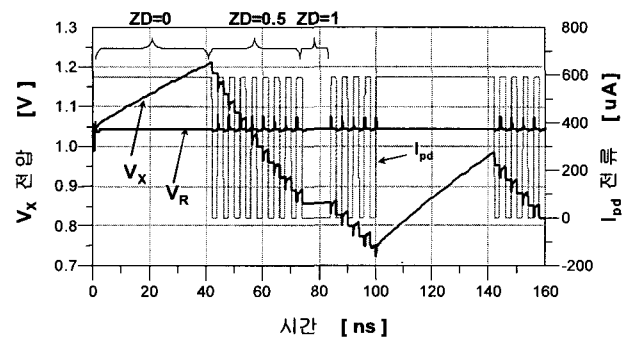


그림 3. 기존의 첨두 비교기 특성
Fig. 3. The characteristics of the conventional peak-comparator.

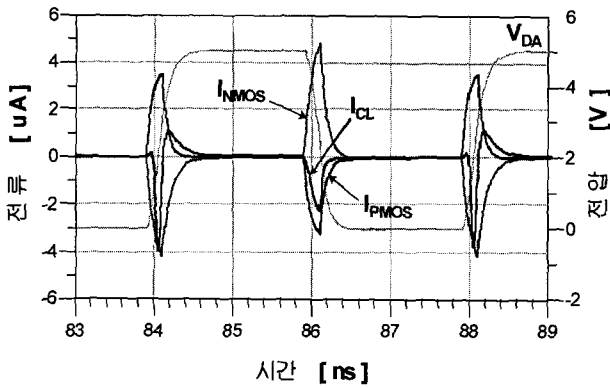


그림 4. CMOS 스위치를 통해 주입되는 전류(기준 첨두 비교기).

Fig. 4. The injected current through the CMOS switch(conventional peak-comparator).

로 동작하고 있음을 확인 수 있다. 그러나 영의 밀도가 0.5인 구간에서는 오히려 감소하고 있어서 식(3)로부터 예견되었던 예러 가능성이 실제로 나타나고 있음을 볼 수 있다. 한편, 영의 밀도가 1인 구간에서는 CMOS스위치가 차단되어 정지 상태를 유지하므로 전압 V_X 크기의 변화가 없다.

그림 4는 영의 밀도가 0.5인 구간에서 CMOS스위치의 전하주입 상황을 보여주고 있다. CMOS스위치의 전하주입은 스위치가 오프되는 순간에 nMOS와 pMOS의 게이트를 통한 주입전류의 차가 발생하며 그 차 만큼이 C_L 로 흘러 오프 순간마다 V_X 를 일정 량 씩 강하시키고 있다. 이로 인해 마크밀도가 0.5인 구간에서 증가해야 할 V_X 가 오히려 감소 하는 현상이 발생하게 된다. 이것은 회로의 오작동을 의미하므로 반드시 해결되어야 한다.

III. 자동 전력제어 회로의 개선

1. 제안된 첨두 비교기의 구조

본 논문에서는 저전력과 단일 칩화가 가능한 기존의 자동전력 제어회로의 장점을 훼손하지 않으면서 데이터율이나 영의 밀도의 영향으로 에러가 발생하는 문제를 해소할 수 있는 첨두 비교기를 고안함으로써 전하주입에 의한 오작동을 방지하는 개선된 버스트 모드 자동 전력 제어 회로를 제안하고자 한다.

그림 5은 제안된 첨두 비교기로서 저전력과 단일 칩화를 위해 고속동작 시 큰 전력을 소모하는 I/V변환기나 피크 검출기를 배제하고 단일 칩화에 지장을 주는 큰 값의 용량기를 사용하지 않도록 하여 저전력 저가

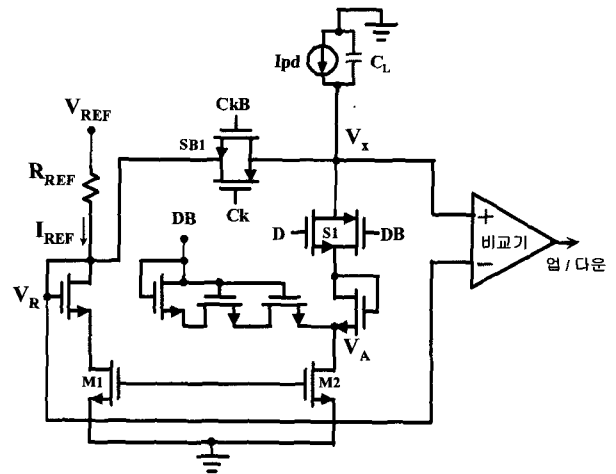


그림 5. 제안된 첨두 비교기 구조

Fig. 5. The structure of the proposed peak-comparator.

구현이 가능한 구조를 전제로 고안되었다.

그림 5의 회로에서 CMOS스위치 S1이 턴오프 될 경우 전압 V_A 가 감소하여 S1의 pMOS보다 nMOS가 더 늦게 턴오프 되도록하여 줌으로써 nMOS에 의한 전하주입을 야기하고 있다. 따라서 S1 턴오프 시 전압 V_A 가 감소하는 것을 방지해 주기 위해 V_A 마디에 더블 게이트(double gate) MOS와 MOS다이오드를 통해 DB(Data Bar)를 인가하여 줌으로써 nMOS에 의한 전하주입을 보상하도록 하고 있다. 여기서 더블 게이트 MOS는 MOS다이오드를 통해 흐르는 전류의 미세조절이 용이하도록 하여주는 역할을 한다. 반면에 S1이 턴 온 될 경우 모니터 전류 I_{pd} 와 M2의 드레인을 통해 흐르는 I_{REF} 가 온전히 비교될 수 있도록 V_A 마디에서의 간섭을 차단해 주어야 한다. 이 경우 D가 저 레벨로 바뀌므로 MOS다이오드가 턴오프되어 자연스럽게 간섭이 차단된다. 이 동작은 매 스위칭마다 반복되므로 매 스위칭마다 추가되는 전하주입 영향을 효과적으로 보상

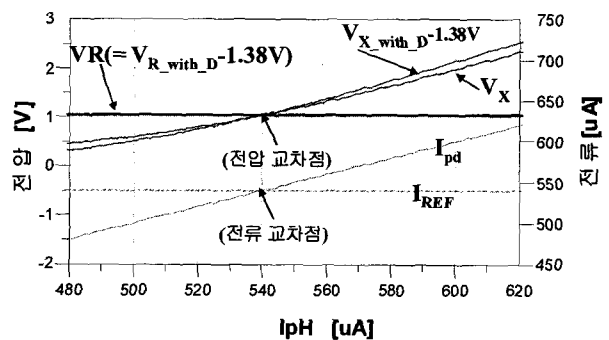


그림 6. MOS다이오드에 의한 전압비교 해상도 개선 효과.

Fig. 6. The improvement effect of voltage comparison resolution using MOS diodes.

할 수 있게 된다.

또한, M1과 M2의 드레인에 직렬로 MOS다이오드를 연결하여 줌으로써 비교 해상도를 다소 개선시키는 효과를 얻을 수 있었다. 그림 6은 I_{REF} 에 대해 I_{pd} 를 변화시키에 따른 V_R 에 대한 V_X 의 변화를 보여주고 있다. MOS다이오드를 연결한 경우 기존에 비해 수십 μA 의 전류 변화에 대해 수백 mV정도 더 큰 전압차를 얻을 수 있어 비교 해상도 증가가 증가하고 있음을 볼 수 있다.

2. 제안된 첨두 비교기의 특성

제안된 첨두 비교기의 개선된 성능을 확인하고 특성을 분석하기 위해 그림 5의 제안된 첨두 비교기를 AMS사의 0.8 μm CMOS 상용 파운드리를 이용하여 설계하고 시뮬레이션(simulation)을 통해 특성을 추출하였다. 제안된 첨두 비교기 레이저 다이오드는 기존 첨두 비교기 설계에서 사용한 모델을 그대로 사용하였다. 그림 7은 500 Mbps 데이터 율로 동작 할 때의 동작 특성을 보여주고 있다. I_{REF} 는 540 μA 이고 I_{pd} 는 590 μA -p를 인가함으로써 V_X 는 단조함수로 증가하여야 하도록 설정하였다. 제안된 구조는 MOS 다이오드가 삽입되어 있으므로 기준 전압이 기존의 구조 보다 1.4V 정도 위에 존재한다.

영의 밀도가 0인 2ns까지는 두 구조가 모두 정상적으로 동작하여 V_X 가 양으로 증가하고 있다. 그러나 영의 밀도가 0.5인 2ns 이상에서는 기존 구조의 경우 V_X 가 감소하여 55ns이후에는 $V_X < V_R$ 이 되어 에러를 야기하고 있다. 반면에 제안된 구조는 증가율이 낮아지기는 하나 단조함수를 유지하면서 지속적인 증가를 하고 있어 올바른 결과치를 내고 있음을 보여주고 있다.

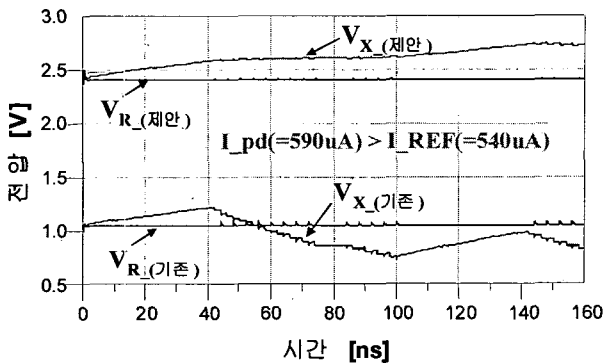


그림 7. 제안된 첨두 비교기의 특성
Fig. 7. The characteristics of the proposed peak-comparator.

그림 8은 이 때의 CMOS스위치 전하주입 상황을 보여주고 있다. 제안된 구조의 경우 그림 4의 기존 구조의 경우와는 달리 보상회로를 통해서 보상전류 ($I_{compensation}$)가 자동 유입되고 있어 CMOS 스위치가 오픈되는 순간에 nMOS 주입전류와 보상전류의 합이 pMOS의 게이트를 통한 주입전류와 거의 대칭을 이루고 있다. 따라서 그 차 전류인 C_L 로의 유입 전류량도 대폭 줄어들어 전하 주입의 영향을 잘 보상하여 주고 있음을 보여주고 있다.

상기의 국부적인 비교 분석을 통해 기존구조에 비해 제안 구조가 개선된 성능을 보여주고 있다는 것과 보상 작용이 의도한 데로 잘 이루어 지고 있음을 보였다. 지금부터는 기존 구조와 제안 구조의 성능 차를 체계적으로 비교하고자 한다.

우선 데이터 율 변화에 따른 영향 정도를 평가 및 비교하기 위해 설계된 두 첨두 비교기에 대해 데이터 율

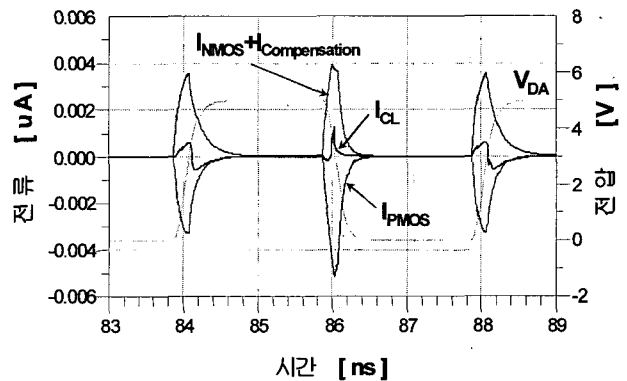


그림 8. CMOS 스위치를 통해 주입되는 전류(제안된 첨두비교기).
Fig. 8. The injected current through the CMOS switch(proposed peak-comparator).

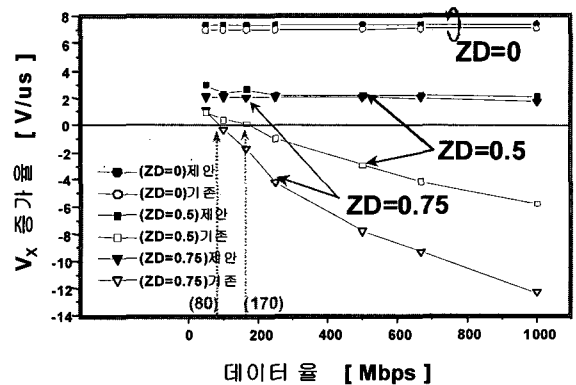


그림 9. 데이터율 변화에 따른 첨두 비교기 특성 비교
Fig. 9. Comparisons of the peak-comparator characteristics depend on the variations of data rate.

을 50Mbps~1Gbps까지 변화시켜가며 시뮬레이션을 통해 그 영향을 분석하였다. 여기서, 기준 전류 I_{REF} 는 적용하고자 하는 PON(Passive Optical Network) 시스템에서의 요구 규격인 540uA로 설정하였고 모니터 전류 I_{pd} 는 640 uA_{p-p}로 설정하였다. 따라서 I_{pd} 가 I_{REF} 보다 100uA 더 크므로 V_x 증가율은 항상 양수를 유지하고 있어야 올바르게 동작하는 것이 된다. 그림 9는 결과 자료를 정리하여 그래프로 보여주고 있다. 색칠된 심볼은 제안 구조의 특성이고 색칠이 되지 않은 심볼은 기존 구조의 특성을 나타낸다.

영의 밀도(ZD)가 0인 경우 제안 구조와 기존 구조 모두 높은 V_x 증가율을 보이며 아주 정상적으로 동작하고 있음을 보여준다. 영의 밀도(ZD)가 증가하여 0.5인 경우 제안 구조의 V_x 증가율이 크게 감소하기는 했으나 여전히 양수이므로 V_x 값은 단조함수적으로 증가하고 있고 따라서 올바르게 작동하고 있음을 알 수 있다. 반면에 기존 구조는 데이터율이 170Mbps를 넘어서면서 V_x 증가율이 음수 반전되어 V_x 값이 감소하는 현상을 보이고 따라서 오동작하고 있음을 보여준다. 영의 밀도(ZD)가 더욱 증가하여 0.75인 경우 제안 구조는 영의 밀도(ZD)가 0.5인 경우와 큰 차이 없는 안정된 동작을 보여 주고 있다. 반면에 기존 구조는 데이터율이 80Mbps를 넘어서면서 V_x 증가율이 음수 반전되어 오작동 하고 있음을 보여준다. 결국 기존 구조의 칩두 비교기는 영의 밀도가 높아질 경우 오작동 하며, 영의 밀도가 증가함에 따라 오작동이 시작되는 데이터 율도 낮아지고 있다. 반면에 제안 구조는 영의 밀도의 증가에도 불구하고 정상적인 작동을 지속하고 있어 광범위한

데이터율에서 영의 밀도 변화에 강한 특성을 보여주고 있다.

그림 10은 차 전류(I_{diff})에 대한 V_x 증가율 결과를 정리한 그래프이다. 차 전류(I_{diff})는 -400uA에서부터 600uA까지 변화를 주고 500Mbps의 데이터 율에서 분석 작업을 수행하였다.

이 경우도 영의 밀도(ZD)가 0인 경우 제안 구조와 기존 구조 모두 정상적으로 동작하고 있어 아무런 문제가 없음을 알 수 있다. 영의 밀도(ZD)가 0.5인 경우 제안 구조의 V_x 증가율이 차 전류가 0인 점을 기준으로 차 전류가 양이 되면 V_x 증가율도 양이 되고 차 전류가 음이 되면 V_x 증가율도 음이 되어 올바르게 작동하고 있음을 보여 준다. 반면에 기존 구조는 차 전류가 0인 점에서 V_x 증가율이 음 수를 보이고 있어 오동작하고 있음을 보여준다. 실제로 V_x 증가율 증감 판단의 기준 점이 차 전류가 0인 점이 아니라 300uA인 점으로 잘못 이동되어 있음을 볼 수 있다. 이것은 칩두 검출기의 에러 범위가 되므로 매우 심각한 문제이다. 영의 밀도(ZD)가 0.75인 경우에도 기존 구조는 ZD=0.5인 경우와 큰 차이 없이 오동작하고 있음을 보여 주고 있다. 한편, 제안 구조는 이 경우에도 여전히 차 전류의 크기를 정확히 판단하고 있다. 따라서 제안된 칩두 비교기는 광범위한 차 전류 값에서 영의 밀도 변화에 강한 내성을 보여주고 있다.

IV. 결 론

기존의 버스트 모드(burst-mode) 자동전력제어 회로는 저 전력과 단일 칩화가 용이한 효율적인 구조인 반면에 데이터 율(data rate)이 증가함에 따라 마크 밀도(mark density)의 보수인 영의 밀도(zero density) 영향을 심하게 받아 에러를 야기할 수 있다. 이는 소자의 성능에서 기인된 것이 아니고 스위칭 시의 주입전류의 불균형에 기인한 회로 구조적 문제이다.

본 논문에서는 더블 게이트(double gate) MOS와 MOS다이오드를 통해 DB(Data Bar) 신호로부터 주입 전류의 불균형을 해소할 수 있는 보상전류가 공급될 수 있도록 하여 줌으로써 고속 동작 시 영의 밀도(zero density) 영향으로 에러를 야기하는 문제를 해결하고자 시도하였다. 오스트리아 AMS사의 파운드리 라이브러리를 통한 검증 결과 기존 칩두 비교기는 데이터 율이 증가함에 따라 영의 밀도 영향을 심하게 받아 비교 판단에서 에러를 유발하는데 반해, 제안한 칩두 비교기는

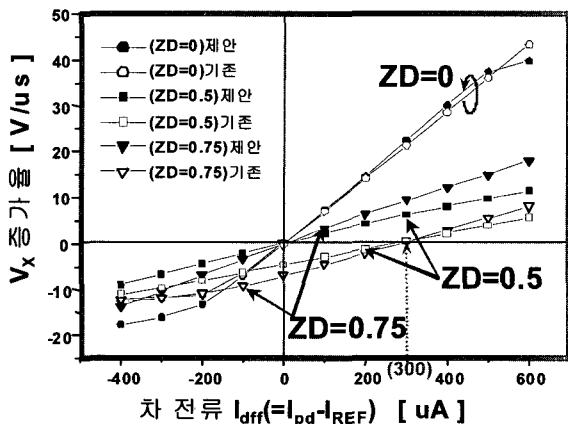


그림 10. 차 전류 변화에 따른 칩두 비교기 특성 비교
Fig. 10. Comparisons of the peak-comparator characteristics depend on the variations of I_{diff} .

광범위한 영의 밀도 변화에서도 에러를 유발함이 없이 정상적인 동작을 하였다. 또한, 기존 침두 비교기가 고속 동작에서 0인 차 전류 판단 점이 영의 밀도 영향으로 300uA까지 이동하는 데 반해, 제안한 침두 비교기는 영의 밀도 변화에도 불구하고 0인 차 전류 판단 점을 그대로 유지하고 있어 에러 없이 매우 안정된 동작을 함을 확인하였다.

특히, 제안한 침두 비교기는 기존의 것에 비해 소모 전력 증가가 거의 없고 대용량 커패시터 등의 단일 칩화를 방해하는 소자를 사용을 배제하고 있어 저 전력과 단일 칩화라는 기존의 장점을 그대로 유지할 수 있어 매우 효율적인 구조로 판단된다.

참 고 문 헌

- [1] C. Sackinger, Y. Ota, T. J. Gabara, and W. C. Fischer, "A 15-mW, 155-Mb/s CMOS Burst-Mode Laser Driver with Automatic Power Control and End-of-Life Detection", *IEEE Journal on Solid-State Circuits*, Vol.35, No.2, February pp.269-275, 2000.
- [2] C. Sackinger, Y. Ota, T. J. Gabara, and W. C. Fischer, "A 15-mW, 155-Mb/s CMOS Burst-Mode Laser Driver with Automatic Power Control and End-of-Life Detection", *IEEE International Solid-State Circuits Conference*, 0-7803-5129-0/99, 1999.
- [3] 기현철, "마크 밀도에 강한 버스트 모드 자동 전력 제어 회로", *대한전자공학회*, 41권 SD편, 제4호, pp.355-362, 2004.
- [4] T. Matsuyama, M. Miki, T. Inoue, and N.Ueno, "A 156 Mbps CMOS Laser Driver for Optical Burst-Mode Transmission", *Symposium on VLSI Circuits Digest of Technical papers*, pp.174-175, 2000.
- [5] C. Sackinger, Y. Ota, T. J. Gabara, and W. C. Fischer, "Low power CMOS Burst-Mode Laser Driver for Full service Access Network Application", *IEEE CLEO Pacific Rim '99*, pp.519-520, 1999.
- [6] T. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, IEEE Press, p.720, 1998.
- [7] P. E. Allen, and D. R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press2, p.118, 2002.

저 자 소 개



기 현 철(정회원)

1984년 2월 한양대학교
전자공학과 졸업.(공학사)
1986년 8월 한양대학교 대학원
전자공학과 졸업
(공학석사)
1992년 2월 한양대학교 대학원
전자공학과 졸업.
(공학박사)

1986년~1989년 한국 전자통신 연구원 연구원.
1996년~1997년 미국 조지아공대 post.doc
1992년 3월~현재 경원대학교 전자공학과 교수.
<주관심분야 아날로그/RFIC설계, 광통신용IC설계, ASIC 설계>.