

논문 2006-43TC-11-19

임베디드 ARM 기반의 5.8GHz DSRC 통신모뎀에 대한 SoC 구현

(Embedded ARM based SoC Implementation for 5.8GHz DSRC
Communication Modem)

곽재민*, 신대교*, 임기택*, 최종찬*

(Jae-Min Kwak, Dae-Kyo Shin, Ki-Taek Lim, and Jong Chan Choi)

요약

DSRC(Dedicated Short Range Communication)은 도로변의 RSE(Road Side Equipment)와 고속으로 이동하는 차량의 단말인 OBE(On-Board Equipment)간의 통신을 위한 단거리 전용 무선 통신 표준이다. 본 논문에서는 국내의 TTA(Telecommunication Technology Association) 표준에 호환되는 DSRC 규격에 따라 5.8GHz DSRC 모뎀을 구현하고, 이를 제어하고 연산처리를 수행할 수 있도록 ARM9 CPU를 임베딩 시킨 SoC(System on a Chip)에 대한 구현과정 및 제작한 SoC를 장착시킨 OBE 단말의 테스트결과에 대해 제시하였다. 본 논문에서 구현한 SoC는 0.11 um 공정을 적용하였으며 480 핀 EPBGA 패키지로 설계되었다. 제작 SoC (Jaguar™)에는 5.8GHz용 DSRC PHY(Physical Layer) 모뎀과 MAC 블록을 설계하여 장착하였으며, ARM926EJ-S 코어를 CPU로 사용하였고, LCD 컨트롤러, 스마트카드 컨트롤러, 이더넷 MAC 코어, 메모리 컨트롤러 등을 주요 기능으로 포함시켰다.

Abstract

DSRC(Dedicated Short Range Communication) is dedicated short range communication for wireless communications between RSE(Road Side Equipment) and OBE(On-Board Unit) within vehicle moving high speed. In this paper, we implemented 5.8GHz DSRC modem according to Korea TTA(Telecommunication Technology Association) standard and investigated implementation results and design process for SoC(System on a Chip) embedding ARM CPU which control overall signal and process arithmetic work. The SoC is implemented by 0.11um design technology and 480pins EPBGA package. In the implemented SoC (Jaguar™), 5.8GHz DSRC PHY(Physical Layer) modem and MAC are designed and included. For CPU core ARM926EJ-S is embedded, and LCD controller, smart card controller, ethernet MAC, and memory controller are designed as main function.

Keywords : Embedded, DSRC, SoC, Wireless Communication

I. 서론

최근의 무선통신기술의 발전은 차량에서의 무선 통신 서비스를 포함한 거의 모든 분야에 걸쳐서 확산되었다. 이미 선진국에서는 ITS(Intelligent Transport Systems) 및 텔레매틱스 서비스를 제공하기 위해 DSRC 시스템을 기반으로 한 다양한 서비스를 선보이

고 있다^{[1],[2]}. DSRC는 고속 이동 차량환경에서 사용되는 단거리 전용 무선통신기술로서 톨 요금징수, 주차안내정보, 도로정보, 교통량 정보, 날씨정보 등과 같은 ITS 및 텔레매틱스 응용서비스를 제공하기 위한 핵심 기술이라 할 수 있다^[3]. 특히 일본의 경우 DSRC 시스템을 이용한 ETC(Electronic Toll Collection) 서비스가 활성화되어 성공을 거두고 있으며, CNS(Car Navigation Systems) 서비스 제공을 위한 시스템으로도 활용되고 있다^[4]. 국내의 DSRC 표준은 1998년 초부터 TTA의 ITS 통신연구회에서 추진되어 2000년 6월 전파통신기술위원회에 표준안으로 상정되고 10월에 단체표준으로 확정되었다^[2].

* 정희원, 전자부품연구원 SoC 연구센터
(SoC Research Center of Korea Electronics
Technology Institute)
접수일자: 2006년10월10일, 수정완료일: 2006년11월18일

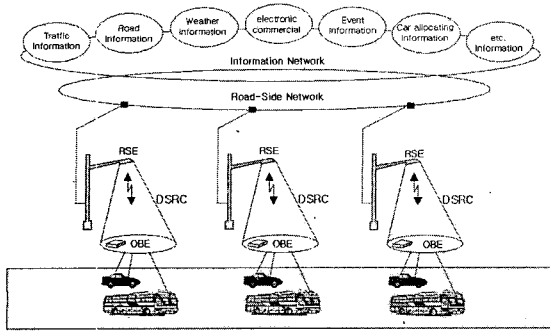


그림 1. DSRC 네트워크에 대한 서비스 개념
 Fig. 1. Service Concept for DSRC network.

그림 1은 DSRC 네트워크를 이용한 서비스 개념을 나타낸다. DSRC 네트워크를 통하여 차량에 장착된 OBE와 도로변에 설치된 RSE가 통신을 하게 되며, RSE는 기존의 백본망 등에 의해 중앙제어센터로 연결되어 날씨정보, 도로정보, 전자요금징수, 교통량 정보 등을 서비스 네트워크가 구성된다.

DSRC는 운전중에 통과하며 서비스를 받아야 하는 특징을 갖고 있어서 통신 링크설정에 대한 셋업시간이 매우 짧아야 한다. 짧은 시간 내에 링크를 설정하고 초기화 및 통신을 수행해야 하는 특징을 고려하여, 본 논문에서 구현한 SoC인 Jaguar™은 association 기능을 모두 H/W로 구현하여 고속은 링크연결을 가능하게 하였으며, DSRC 모뎀의 구현 복잡도를 최소화 시켜 가격 경쟁력을 갖도록 하였다.

본 논문의 순서는 다음과 같다. 우선 II장에서 DSRC 표준 규격에 대해 설명하고 DSRC 모뎀에 대한 설계방식을 제시한다. III장에서는 본 논문에서 구현한 ARM 임베디드 SoC인 Jaguar™에 대한 설계과정 및 구현결과를 설명하였고, IV장에서는 구현한 Jaguar™을 장착한 DSRC OBE에 대한 통신 테스트 과정 및 테스트 결과를 제시하고, 마지막으로 결론을 맺는다.

II. DSRC 개요 및 모뎀 설계방안

II장에서는 DSRC 표준에 대한 개요와 DSRC 모뎀에 대한 설계방식에 대해 제시한다^{[5],[6]}. 본 논문에서 설계하여 SoC에 장착시킨 DSRC 모뎀은 OBE와 RSE사이에서 듀플렉스 모드로 통신을 수행할 수 있다. 좁은 통신영역 내에서 고속 통신을 수행하는 환경에서의 통신성공률을 높이기 위해 모뎀 블록 내에는 자동으로 association을 수행하는 블록과 빠른 링크 연결을 위한 고속 제어 블록을 포함시켜 설계하였다.

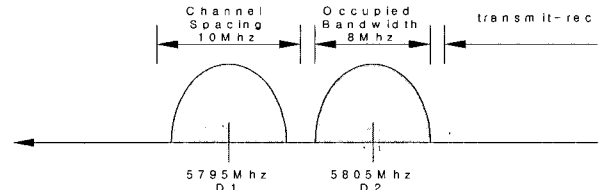


그림 2. DSRC 무선 채널 할당 현황
 Fig. 2. DSRC Radio Channel Allocation.

1. DSRC 개요

본 절에서는 국내의 DSRC 표준에 대한 개요를 설명한다. DSRC의 동작 주파수와 채널 할당현황을 그림 2에 나타내었다.

그림 2에 보인 바와 같이 국내의 DSRC 규격에는 4개의 가용 채널이 정의되어 있다. 이중 두개의 채널은 상향 링크를 위한 것이고 나머지 두개는 하향링크를 위해 준비되어 있다. 다중접속 방식으로는 TDMA-FDD 기반의 적응형 Slotted ALOHA이 채택되었다. 다중화되는 TDMA 채널은 8개이고 변복조 방식으로는 ASK (Amplitude Shift Keying)을 사용하고 split phase code(맨체스터 코드)를 적용하여 신호를 형성한다. 변조기 입력으로 가해지는 정보데이터의 비트율은 1024Kbps 이고 신호 전송률은 2048Kbaud이다.

그림 3은 DSRC 프레임 구조를 나타낸다. 프레임은 FCMS(Frame Control Message Slot), MDS(Message Data Slot), 그리고 ACTS(Activation Slot)으로 구성되어 있다.

FCMS는 제어정보를 제공하며 그림 3에 나타낸 바와 같이 각 프레임의 시작부분에 위치한다. MDS는 메시지 다중화 슬롯이며, 각각의 프레임 마다 FCMS 위치 다음에 하나 이상의 슬롯이 할당된다. MDS는 two-way 통신을 위해 사용되며 MDS 개수의 최대치는 8이다.

ACTS는 활성 채널 다중화 슬롯으로서 매 프레임 마다 0개 이상의 슬롯이 할당되며, 상향링크 전용으로만 사용된다. ACTS에는 6개의 ACTCs(ACTivaTion Channels)가 할당되어 OBU의 association을 위해 사용된다. 링크 설정단계에서는 하나의 OBU에서 6개의 ACTCs중에서 선택된 윈도우를 사용하여 하나의 ACTC를 전송한다. ACTS의 최대 개수는 3이며, MDS 슬롯과 ACTS슬롯의 개수의 합은 최대 8을 넘을 수 없다.



그림 3. DSRC 프레임 구조
 Fig. 3. DSRC Frame Structure.

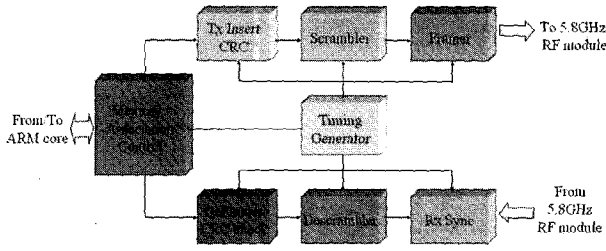


그림 4. DSRC 모뎀 블록도
Fig. 4. Block Diagram of DSRC Modem.

2. DSRC 모뎀 설계

본 논문에서 구현한 DSRC 모뎀의 블록도를 그림 4에 나타내었다. 설계된 DSRC 모뎀은 APB(Advanced Peripheral Bus) 인터페이스 블록, 메모리 컨트롤러, association 컨트롤러, tx CRC inserter, 스크램블러, framer, 타이밍 생성기, rx CRC checker, deframer, 디스크램블러, 그리고 수신기 동기 블록 등으로 구성하였다.

APB 인터페이스는 AMBA(Advanced Microcontroller Bus Architecture) 버스 인터페이스로 연결된다. DSRC 모뎀은 인터럽트를 갖는 16비트 사이즈의 APB 인터페이스를 지원한다. 메모리 컨트롤러 블록은 tx FIFO(First Input First Output)와 Rx FIFO 두개의 FIFO와 APB 인터페이스, 그리고 송수신기 블록을 제어한다.

Association 블록은 자동 association 동작을 위해 구성하였으며, 이는 DSRC 모뎀을 초기화 한 후, 유효한 FCMS를 기다리게 된다. 유효한 FCMS를 수신하면, DSRC 모뎀은 신속한 연결을 위해 즉시 association 동작을 수행한다. ACTS의 위치와 ACTC 채널이 유효한 것으로 확인되면, association 메시지와 랜덤하게 생성된 링크주소를 유효한 ACTC 채널로 전송한다. RSE 측에서는 채널 association이 성공적으로 수행되면, 이전에 전송했던 링크 주소와 현재의 예약된 MDS 슬롯의 주소들을 다음 FCMS에 삽입시킨다.

tx CRC(Cyclic Redundancy Check) inserter와 rx CRC checker는 각각 대응되는 생성다항식으로 구현된다. CRC 생성 다항식은 식 (1)에 나타내었으며 check 오율은 1.5e-5이다.

$$G(x) = x^{16} + x^{12} + x^5 + 1 \quad (1)$$

스크램블러와 디스크램블러는 CRC inserter와 CRC checker와 같은 형태로 서로 대응되는 구조를 적용하여 구현된다. 스크램블러 생성다항식은 식 (2)에 나타내었다.

$$G(x) = x^{16} + x^{12} + x^3 + x + 1 \quad (2)$$

구현한 DSRC 모뎀의 클럭 동작속도는 32.768MHz이며 데이터 전송속도는 1Mbps이다. DSRC 모뎀은 TTA & ISO(International Organization for Standardization) 규격과 호환되는 프로토콜로 구현이 되었으며, MAC(Media Access Control) 계층의 일부는 H/W 모뎀에 포함시켜 구현하였다.

III. ARM 임베디드 SoC 설계

본 논문에서 구현한 ARM 임베디드 SoC인 Jaguar™은 차량에서의 네트워크 및 무선통신을 지원할 수 있도록 설계하였다. Jaguar™은 차량내부를 네트워크화 할 때 게이트웨이의 역할을 하여, DSRC 네트워크와 차량용 유선 제어네트워크인 CAN(Controller Area Network), 그리고 차량용 유선 멀티미디어 네트워크인 MOST(Media Oriented Systems Transport) 네트워크 간의 통신을 지원할 수 있도록 하였다^{[7],[8]}.

1. ARM 임베디드 SoC

Jaguar™은 그림 5에 보인 바와 같이 32비트 고성능 ARM9 CPU 코어, 스마트카드 컨트롤러, CAN2.0B 버스 컨트롤러, DSRC 모뎀, 그리고 주변장치들로 구성하였다.

32비트 고성능 CPU 코어로는 200MHz의 동작속도까지 지원하는 ARM926EJ-S를 도입하여 SoC에 임베딩시켰다.

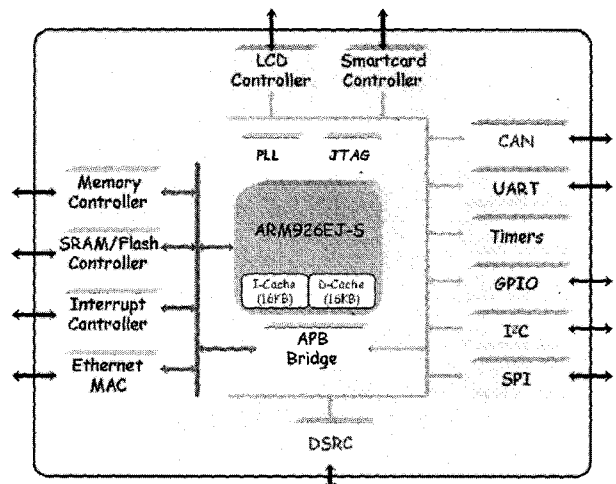


그림 5. ARM 임베디드 SoC (Jaguar™)의 블록도
Fig. 5. Block Diagram of ARM Embedded SoC (Jaguar™).

표 1. Jaguar™의 내부 어드레스 맵

Table 1. Internal Address Map of Jaguar™.

Description	Address	Max. Size
External SRAM/Flash	0x0000.0000 ~ 0x0FFF.FFFF	256Mbytes
External SRAM/Flash Configuration	0x8400.0000 ~ 0x87FF.FFFF	64Mbytes
External SDRAM	0x2000.0000 ~ 0x2400.0000	64Mbytes
External SDRAM Configuration	0x1000.0000 ~ 0x1FFF.FFFF	256Mbytes
Interrupt Controller	0x8000.0000 ~ 0x83FF.FFFF	64Mbytes
GPIO	0x9000.0000 ~ 0x9000.FFFF	64Kbytes
Timer	0x9001.0000 ~ 0x9001.FFFF	64Kbytes
Uart0	0x9002.0000 ~ 0x9002.FFFF	64Kbytes
Uart1	0x9003.0000 ~ 0x9003.FFFF	64Kbytes
Uart2	0xE600.0000 ~ 0xE6FF.FFFF	16Mbytes
Uart3	0xE700.0000 ~ 0xE7FF.FFFF	16Mbytes
I2C0	0x9004.0000 ~ 0x9004.FFFF	64Kbytes
I2C1	0x9005.0000 ~ 0x9005.FFFF	64Kbytes
Ethernet MAC	0x9006.0000 ~ 0x9006.FFFF	64Kbytes
Remap	0x9007.0000 ~ 0x9007.FFFF	64Kbytes
LCD Controller	0xE000.0000 ~ 0xE0FF.FFFF	16Mbytes
MOST Interface	0xE100.0000 ~ 0xE1FF.FFFF	16Mbytes
DSRC Modem	0xE200.0000 ~ 0xE2FF.FFFF	16Mbytes
SPI Interface	0xE300.0000 ~ 0xE3FF.FFFF	16Mbytes
Smart Card Controller	0xE400.0000 ~ 0xE4FF.FFFF	16Mbytes
CAN 2.0B	0xE500.0000 ~ 0xE5FF.FFFF	16Mbytes

ARM926EJ-S는 두 개의 AHB(Advanced High-performance Bus) 버스를 가지고 있다. 하나는 Instruction AHB로 IAHB로 불리우며, 명령어를 읽는 버스이다. 나머지 하나는 Data AHB로 DAHB로 불리우며, 데이터를 읽거나 쓰는 버스이다. 두개의 버스로 명령어 액세스와 데이터 액세스를 동시에 수행할 수 있어서 성능이 향상된다. 또한, I-Cache와 D-Cache를 통하여 앞으로 수행될 명령어나 액세스가 될 데이터를 미리 읽어와 대기하여 명령어 처리속도를 높일 수 있다.

표 1은 구현한 Jaguar™의 외부메모리와 Peripheral에 대한 어드레스 맵을 나타낸다.

Jaguar™은 두개의 16-bit 타이머가 내장되어 있다. 각 타이머는 16-bit의 prescaler를 가지고 있고, 두 개의 동작 모드를 가지고 있다. 매번 지정된 값이 되면 인터럽트를 발생시키는 periodic 모드와 지정된 값까지 카운트해가서 인터럽트를 발생시키는 Interval 모드를 지원하며, 타이머를 스톱시키거나 런 시킬수 있는 기능과 업 카운트나 다운 카운터를 선택할 수 있는 기능을 지원한다.

내장된 PLL(Phase Locked Loop)은 외부의 25Mhz의 클럭을 받아들여 내부 ARM 코어에서 사용하는 200Mhz의 클럭을 생성한다. ARM 코어는 200Mhz로 동작하며, AHB와 APB는 각각 100Mhz, 50Mhz로 동작한다.

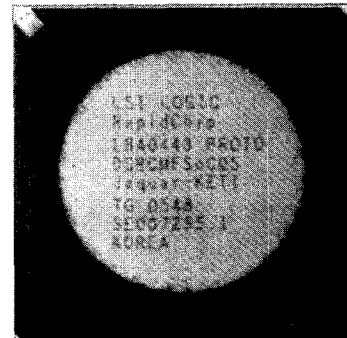


그림 6. 제작한 SoC (Jaguar™) 사진

Fig. 6. Photograph of SoC (Jaguar™).

APB Bridge는 AHB 버스에 연결된 슬레이브보다 일반적으로 속도가 느린 슬레이브들이 연결되어 동작하도록 하는 블럭이다. APB Bridge는 100Mhz의 AHB 버스의 신호들을 50Mhz의 APB 버스 신호로 변환하여 연결한다.

Jaguar™은 3가지 종류의 메모리로서 SRAM, SDRAM, 그리고 NAND 플래쉬 메모리를 포함시켰다. 디버깅의 용이성 및 이더넷 네트워크 연결을 위해 이더넷 MAC 코어를 장착하였다. 주변장치로는 4개의 UART 콘트롤러, 32비트 GPIO, EBIU (SRAM 인터페이스), SPI 콘트롤러, 2개의 I2C 콘트롤러, 외부 인터럽트 콘트롤러, 그리고 SDRAM과 플래쉬 메모리 콘트롤러를 적용하여 구현하였다.

LCD 콘트롤러는 1024x768 픽셀의 해상도를 지원하여 멀티미디어 디스플레이, DVD 플레이어 및 네비게이션용 디스플레이 등으로 활용할 수 있도록 하였으며, CAN 콘트롤러를 차량 내부의 유선 제어네트워크에 대한 제어를 위해 구현하여 차량 이상유무 진단, 엔진 상태 확인, 엔진/브레이크 오일 센싱 등을 위해 활용할 수 있도록 하였다. 또한 스마트카드 콘트롤러를 SoC에 임베디드시켜 DSRC의 초기 Killer application인 ETC 서비스, 전자 쇼핑, 주차료 징수, 그밖의 자동 요금징수 체계에 응용할 수 있도록 하였다.

그림 6은 본 논문에서 구현한 SoC (Jaguar™)의 사진을 보여준다. Jaguar™은 LSI logic의 0.11um RapidChip 공정으로 제작되었으며, 480핀의 EPBGA 패키지로 만들어졌다.

IV. 실험 결과

그림 7은 본 논문에서 제작한 SoC를 탑재한 OBE 단말기의 테스트 보드 사진이다. OBE 단말에 대한 임베

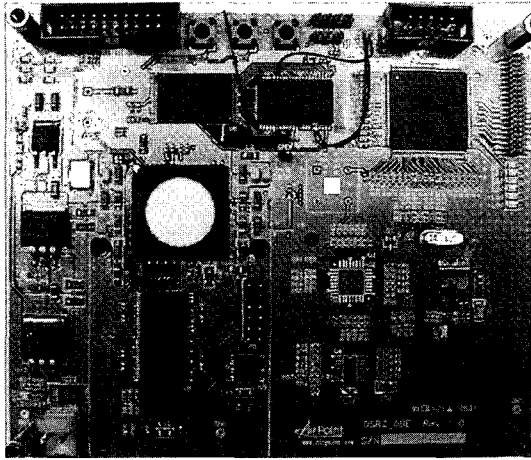


그림 7. DSRC용 OBU 단말용 보드 사진
Fig. 7. Board Photograph for DSRC OBU terminal.



그림 8. DSRC 필드 테스트 과정 1
Fig. 8. DSRC Field Test Process 1.

디드 시스템의 구현을 위해 국내에서 개발된 실시간 운영체제인 Velos OS(Operatomg System)를 포팅하였다. Velos OS는 POSIX기반의 상용 OS로서 Velos 커널은 임베디드 리눅스 대비 20%의 메모리로 동일 시스템을 구현할 수 있으며, DPM(Dynamic Power Management)를 지원하여 저전력 시스템을 용이하게 할 수 있고, QoS를 보장하는 선점형 실시간 스케줄러로 실시간 동작 성능이 보장된다는 장점이 있어, DSRC 단말용 임베디드 OS로 채택하였다.

OBE 단말기 보드는 Jaguar™, NOR Flash, SDRAM 메모리, 전원 공급 장치, JTAG 커넥터 그리고 스마트카드 접속장치로 구성되어있으며, 전원은 차량의 배터리에서 공급되는 12V를 사용하도록 하였고, Jaguar™ 칩에는 전원 공급장치에서 변압된 3.3V와 1.2V가 공급된다.

DSRC 모뎀의 테스트는 그림 7의 보드를 차량에 탑재하여 도로변에 설치된 RSE를 통과하며 과금되는 과정을 거친다. 테스트는 차량의 진입과 차종을 판단하는

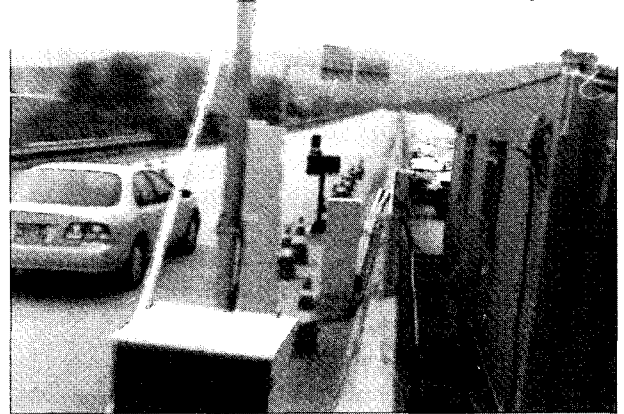


그림 9. DSRC 필드 테스트 과정 2
Fig. 9. DSRC Field Test Process 2.

센서탑, RSE 통신장비 그리고 차량의 통과를 판단하는 센서탑으로 구성되어있다. 차량은 RSE를 통과하기 전에 차량의 종별을 판단하는 센서를 통과하고 차종에 맞는 금액을 과금하도록 되어있다.

그림 8은 그림 7에 보여준 DSRC용 OBE 단말 보드를 차량의 데쉬보드위에 설치한 장면을 보여준다. 차량의 전방 윈도우 앞에 보이는 좌우의 두개의 탑이 차량의 진입과 차종을 판단하는 센서 탑이며, 뒤의 구조물이 RSE가 설치된 겐트리이다. 그림 9는 OBE가 설치된 차량이 겐트리를 통과하는 사진이다. 차량의 오른쪽 앞에 설치된 전광판에 차량의 종별, 과금 금액, 그리고 과금의 성공 여부가 나타난다. 현재 80Km/h의 차량속도로 이동하여 30회의 RSE-OBE 통신 테스트하여 차량종류, 과금금액 표시가 성공적으로 이루어져 에러 없이 동작함을 확인하였다.

V. 결 론

본 논문에서는 현재 국내에서 ETC 서비스에 도입되고 있는 5.8GHz 대역의 DSRC를 위한 제작한 SoC에 대한 구현과정을 설명하고 이를 OBE단말에 장착하여 테스트를 수행하여 정상 동작함을 확인하였다. 구현한 SoC는 국내의 TTA 표준에 정의된 DSRC 규격에 호환 되도록 하였다.

제작한 SoC (Jaguar™)는 LSI logic의 0.11um RapidChip 공정으로 제작되었으며 480 핀 EPBGA 패키지로 설계되었다. SoC의 설계 블록으로는 5.8GHz용 DSRC PHY 모뎀과 MAC H/W 블록을 설계하여 장착하였으며, ARM926EJ-S 코어를 CPU로 사용하였고, LCD 콘트롤러, 스마트카드 콘트롤러, 이더넷 MAC 코

어, 메모리 컨트롤러 등을 주요 기능으로 포함시켰다.

현재 이동 차량에 제작한 SoC를 탑재한 OBE 단말을 장착하여 현장시험을 진행하고 있으며, 테스트 진행중의 동작결과는 오류없이 차량종류, 과금금액 표시가 성공적으로 이루어져 동작함을 확인하였다. 제작한 SoC는 톨 요금징수, 주차안내정보, 도로정보, 교통량 정보, 날씨정보, 네비게이션 등과 같은 ITS 및 텔레매틱스 응용서비스를 제공하기 위한 핵심 기술로 활용될 수 있을 것으로 예상된다.

향후, 현장시험 항목에 대한 세부 보완을 하고 차량 속도의 증가 및 차량 연속 주행 등의 테스트 제한강도를 높여 시험을 진행하고, 상용 OBE 단말에 대한 간섭 환경에서의 시험분석을 통한 결과를 도출하여 연구를 진행할 것이다.

참 고 문 헌

- [1] <http://www.itsa.org/standard.html>
- [2] 이순호, 변우섭, "ITS용 DSRC 시스템 표준화 동향," 대한전자공학회지, 제 28권 5호, 34-39쪽, 2001년 5월
- [3] M. Ikawa, Y. Goto, Y. Igarashi, H. Kumazawa, K. Koizumi, and K. Oka, "DSRC local communication platform and its application to information push service", Intelligent Vehicles Symposium, 2004 IEEE 14-17 pp.105-110, June 2004.
- [4] 최광주, 김동현, 현영균, 지정재, 이재형, "DSRC 시스템을 이용한 주차장 자동요금징산시스템," 대한전자공학회 추계종합학술대회 논문집 제23권 2호, 421-424쪽, 2000년 11월
- [5] ARIB standard, "Dedicated Short Range Communications for Transport Information and Control Systems," ARIB STD-T55 V1.0, Issued Number 27, 1997.
- [6] 한국정보통신기술협회, "5.8GHz 대역 노변기지와 차량단말기간 근거리전용 무선통신 표준," 정보통신단체표준, 2000년 7월
- [7] ISO, "CAN. Road Vehicles - Interchange of Digital Information - Controller Area Network(CAN) for High-Speed Communication," ISO Standard- 11898, Nov. 1993.
- [8] MOST Cooperation, "Multimedia and Control Networking Technology, MOST Specification Rev2.2", Nov. 2002.

저 자 소 개



곽재민(정회원)
 1998년 2월 한국항공대학교 통신
 정보공학과 졸업
 1999년 8월 한국항공대학교
 대학원 통신정보공학과
 석사 졸업
 2002년 8월 한국항공대학교
 대학원 통신정보공학과
 박사 졸업
 2002년 7월~2003년 7월 한국전자통신연구원
 네트워크 연구소 (Post-doc.)
 2003년 7월~현재 전자부품연구원 SoC연구센터
 선임연구원
 <주관심분야 : 임베디드 시스템, 유무선통신, 신
 호처리>



신대교(정회원)
 1998년 2월 아주대학교
 전자공학과 졸업
 2000년 8월 아주대학교 대학원
 전자공학과 석사 졸업
 2000년 8월~2003년 11월
 (주)이엠디티 주임연구원
 2003년 11월~현재 전자부품연구원 SoC연구센터
 전임연구원
 <주관심분야 : 통신시스템 SoC설계, In-vehicle
 network>



임기택(정회원)
 1994년 2월 한양대학교
 전자공학과 졸업
 1996년 2월 한양대학교 대학원
 전자공학과 석사 졸업
 1996년 3월~현재 전자부품연구원
 SoC연구센터(책임연구원)
 <주관심분야 : In-vehicle network, 유/무선통신,
 SoC>



최종찬(정회원)
 1985년 경희대학교
 전자공학과 졸업
 2002년 서경대학교 컴퓨터과학과
 석사 졸업
 2005년 충북대학교 정보통신
 공학과 박사 졸업
 1985년~1990년 삼성SDI 수원종합연구소
 1992년~현재 전자부품연구원 SoC연구센터
 (수석연구원)
 프린티어모바일오브젝트연구센터(센터장)
 <주관심분야 : 유비쿼터스 모바일 오브젝트, In-
 vehicle network, Platform기반의 SoC 설계, 네
 트워크기반의 로봇 platform>