

논문 2006-43TC-11-11

IEEE 802.16e OFDMA/TDD 이동국 모뎀의 링크 성능과 복잡도 최적화를 위한 부동 및 고정 소수점 설계

(Optimization of Link-level Performance and Complexity
for the Floating-point and Fixed-point Designs
of IEEE 802.16e OFDMA/TDD Mobile Modem)

선 태 형*, 강 승 원*, 김 규 현*, 장 경 희*

(TaeHyung Sun, SeungWon Kang, KyuHyun Kim, and KyungHi Chang)

요 약

본 논문에서는 IEEE 802.16e OFDMA/TDD 이동국 모뎀의 링크 성능과 복잡도 최적화를 위한 부동 및 고정 소수점 설계에 대하여 논한다. 부동 소수점 설계에서는 이동국 모뎀에서 하향링크 트래픽 채널의 채널 추정 방법을 제안하고, 모의실험을 통하여 최적의 알고리즘을 선정한다. 그리고 시간 및 주파수 동기화, Digital Front End와 CINR 추정 기법에 관하여 성능 향상과 시스템을 최적화하기 위한 알고리즘을 제안하고, 상향링크의 트래픽 채널과 제어 채널의 부동 소수점 설계 방법을 논한다. 제안된 알고리즘은 IEEE 802.16e OFDMA/TDD 시스템에 적용하여, 모의실험을 통한 성능을 Detection Probability, Mean Acquisition Time, PER 성능 그래프 등으로 그 우수성을 검증한다. 고정 소수점 설계에서는 부동 소수점 설계로부터 최적의 고정 소수점 설계를 위한 효율적인 방법론을 제시한다. 그리고 하향링크와 상향링크의 트래픽 채널, 시간 및 주파수 동기, DFE 블록을 고정 소수점 설계하고, 모의실험을 통하여 성능과 복잡도 간의 tradeoff 관계를 최적화한다.

Abstract

In this paper, we describe the optimization of the link-level performance and the complexity of floating-point and fixed-point methods in IEEE 802.16e OFDMA/TDD mobile modem. In floating-point design, we propose the channel estimation methods for downlink traffic channel and select the optimized method using computer simulation. So we also propose efficient algorithms for time and frequency synchronization, Digital Front End and CINR estimation scheme to optimize the system performance. Furthermore, we describe fixed-point method of uplink traffic and control channels. The superiority of the proposed algorithm is validated using the performances of Detection, False Alarm, Missing Probability and Mean Acquisition Time, PER Curve, etc. For fixed-point design, we propose an efficient methodology for optimized fixed-point design from floating-point. At last, we design fixed-point of traffic channel, time and frequency synchronization, DFE block in uplink and downlink. The tradeoff between performance and complexity are optimized through computer simulations.

Keywords : IEEE 802.16e, M-WiMAX, Synchronization, Digital Front End, Fixed-point Simulation

I. 서 론

직교 주파수 분할 다중화 (OFDM : Orthogonal Frequency Division Multiplexing) 방식은 인접한 부반송파간에 직교성을 유지함으로써 주파수 효율이 높고,

단일 탭 등화기로 채널의 왜곡을 보상할 수 있기 때문에 주파수 선택적 페이딩 채널에 강한 특성을 가지게 된다. 또한 Inter Symbol Interference (ISI)를 Cyclic Prefix (CP)를 사용하여 쉽게 해결 할 수 있는 장점을 가지고 있으므로, 4 세대 이동통신 시스템에 적용하기 적합한 방식중의 하나로서 주목받고 있다. 이러한 OFDM 시스템의 장점은 부반송파간의 직교성이 유지되는 경우에만 가능하며, 직교성이 깨지는 경우에는

* 정회원, 인하대학교 정보통신대학원
(Inha University)

접수일자: 2006년10월10일, 수정완료일: 2006년11월18일

Inter Carrier Interference (ICI) 가 발생되어 시스템 성능을 저하시키게 된다. 따라서 OFDMA 시스템에서는 수신단에서 시간 및 주파수 동기화의 중요성이 크게 강조된다. 또한 Digital Front End (DFE)의 중요성도 강조된다. DFE는 DC Offset Compensator, Automatic Gain Controller (AGC), Automatic Frequency Controller (AFC)로 구성되어 있다. OFDM 시스템에서 단말의 수신 신호에 아날로그 단 및 ADC에서 발생하는 DC 오프셋이 존재하는 경우에 수신 신호의 이득을 조정하는 AGC가 동작하게 되면, Clipping 현상으로 인하여 수신기의 성능 열화가 발생하게 되므로 DC 오프셋을 제거하는 DC 오프셋 보상기가 필요하다. 또한, 다수의 부반송파를 사용하는 OFDMA/TDD 시스템의 경우 주파수 오프셋이 발생하게 되면 부반송파간의 직교성이 유지되지 못하여 수신기의 성능 열화가 발생하게 되므로 주파수 오프셋을 제거하는 AFC가 필요하다.

본 논문은 IEEE 802.16e OFDMA/TDD 시스템을 설계하기 위해 필요한 부동 소수점 및 고정 소수점 설계에 관하여 논한다. IEEE 802.16e OFDMA/TDD 시스템을 구성하기 위한 중요한 요소인 Synchronization, DFE를 분석하여 문제점을 도출하고, 문제점의 해결방법으로 적합한 알고리즘을 제안한다. 또한 CINR 추정 방법을 제안하고, 성능 열화를 최소화하며 하드웨어의 크기 및 복잡도를 줄일 수 있는 적정 비트 수를 결정하는 부동 소수점 설계에 대하여 제안한다.

본 논문의 구성은 다음과 같다. II장에서는 IEEE 802.16e OFDMA/TDD 시스템 모델과 모의실험에 사용된 파라미터를 정의한다. III장에서는 부동 소수점 설계 및 모의실험 결과를 설명하고, IV장에서는 고정 소수점 설계 및 모의실험 결과에 관해 논의 한다. 마지막으로 V장에서 본 논문의 결론을 도출한다.

II. IEEE 802.16e OFDMA/TDD System

1. OFDM Signal Description

수식 (1)은 OFDM System의 송신 신호를 나타낸다.

$$s[n] = \frac{1}{\sqrt{N}} \sum_{m=0}^{N_u-1} c_m e^{j2\pi mn/N} \quad 0 \leq n \leq N-1 \quad (1)$$

수식 (1)에서 n 은 샘플 인덱스를 나타내고, c_m 은 m 번째 서브캐리어의 변조된 데이터를 나타낸다. N 은 Inverse Fast Fourier Transform (IFFT)의 길이를 나타내고, $N_u (\leq N)$ 는 사용된 서브캐리어의 수를 나타낸다.

수식 (1)의 신호를 페이딩 채널을 통과한 후 수신단 측의 수신 신호를 수식으로 표현하면 수식 (2)와 같이 표현된다.

$$r[n] = e^{j2\pi n v} \sum_{l=0}^{L-1} h_l s_{n-l} + w_n \quad (2)$$

수식 (2)에서 L 은 다중 경로 채널의 개수이고, h 는 채널의 임펄스 응답을 나타낸다. w 는 AWGN을 의미한다.

2. System Model 및 모의실험 변수

그림 1은 OFDM 송·수신단 블록도를 나타낸다. 송신단은 channel coding 기능을 수행하는 hybrid encoder, Quadrature Amplitude Modulation (QAM)을 수행하는 symbol mapper, 각 sub-channelization에 따라 sub-carrier를 할당하는 sub-carrier allocator, cell간의 interference를 줄이기 위해 scramble code를 곱해주는 scrambler, virtual carrier 삽입과 Inverse Fast Fourier Transform (IFFT), Cyclic Prefix (CP) 삽입을 수행하는 OFDM modulator로 구성되어 있다.

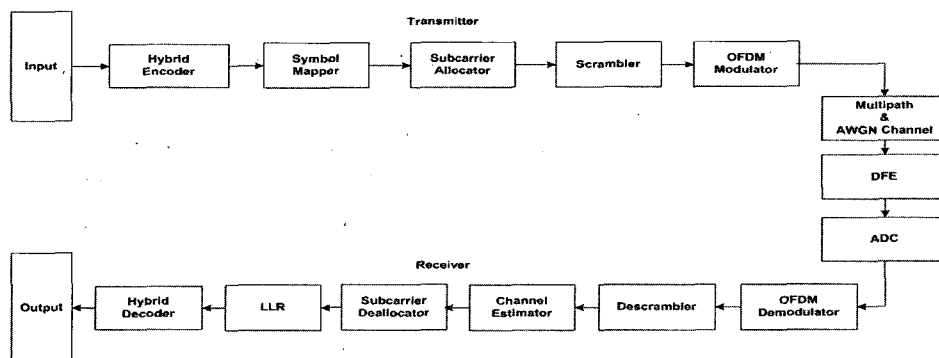


그림 1. IEEE 802.16e OFDMA/TDD 시스템의 송/수신단 블록도.

Fig. 1. Transmitter and receiver block diagram of IEEE 802.16e OFDMA/TDD system.

표 1. 시뮬레이션 파라미터
Table 1. Simulation Parameters.

Parameters	Value
대역폭(Nominal Channel BW)	8.75 MHz
샘플링 주파수	10 MHz
샘플링 간격	100 nsec
FFT 크기	1024
사용된 부반송파 개수	864
데이터 부반송파 개수	768
파일럿 부반송파 개수	96
부반송파 주파수 간격	9.765625 KHz
유효 심볼 시간	102.4 μ s
CP (Cyclic Prefix) 시간	12.8 μ s
OFDMA 심볼 시간	115.2 μ s
TDD 프레임 길이	5 ms

수신단의 구성은 수신신호를 보상하는 DFE 블록과, 아날로그 신호를 디지털 신호로 변환시키기 위한 Analog Digital Converter(ADC), FFT 수행과 CP를 제거하는 OFDM demodulator, 다중 경로 채널로 인한 왜곡을 보상하기 위한 channel estimator, soft demapping을 수행하는 Log Likelihood Ratio(LLR)과 CTC decoding을 위한 hybrid decoder로 구성되어 있다.

표 1은 본 논문에서 모의실험에 사용된 변수를 나타낸 것이다. 모의실험에 사용된 페이딩 채널은 Jake's 기법을 바탕으로 작성하였고, Tapped-delay-line 파라미터에 따른 채널의 임펄스 응답 특성은 ITU-R M.1225 모델을 참조하였다^[1].

III. 부동 소수점 설계 및 모의실험 결과

IEEE 802.16e OFDMA/TDD 시스템의 부동 소수점 설계의 목적은 시스템을 최적화하기 위한 알고리즘을 선정하는 것이다. 즉, 트래픽 채널, 동기, 제어채널 및 DFE의 기능을 수행하기 위한 다수의 알고리즘을 제안하고, 모의실험을 통해서 성능과 H/W복잡도를 고려하여 최적의 알고리즘을 선정하는 것이 목적이다.

1. 하향링크 트래픽 채널

IEEE 802.16e OFDMA/TDD 하향링크 트래픽 채널 (Traffic Channel)의 sub-channelization은 PUSC 부채널 (Partial Usage Sub-channel), 다이버시티 부채널 (FUSC: Full Usage Sub-channel, OFUSC : Optional-FUSC) 및 Adaptive Modulation and Coding (AMC) 부채널로 구성되어 있다^[2]. 각 부채널에 대한

부반송파의 할당은 PUSC 부채널의 경우 클러스터라는 단위에 파일럿과 데이터가 할당되며, FUSC 부채널은 인접한 다수의 부반송파 군들에서 선택된 부반송파로 이루어져 있으며, AMC 부채널은 빈(BIN) 구조에 8개의 데이터 반송파 당 1개의 파일럿 부반송파가 할당된다.

IEEE 802.16e OFDMA/TDD 시스템의 하향링크 트래픽 채널 부동 소수점 설계에서 중요한 요소는 채널 추정이다. 채널 추정은 다중 경로 페이딩에 의해 발생하는 신호의 왜곡을 추정하고 보상하는 것이 목적이다. IEEE 802.16e OFDMA/TDD 시스템에서는 프리앰블과 파일럿을 사용하여 채널을 추정할 수 있다. 본 논문에서는 AMC sub-channelization과 파일럿 패턴이 동일한 diversity sub-channelization 중 O-FUSC에서 파일럿을 사용하는 채널추정 및 부동 소수점 설계에 대해 제안한다.

IEEE 802.16e OFDMA/TDD 시스템에서 channel estimator는 수식 (2)의 신호 중 파일럿 신호 위치에 해당되는 수신신호만 취하여 이를 채널 추정에 이용한다.

수식 (2)를 간단히 표현하면 수식 (3)과 같이 표현할 수 있다.

$$r[n] = s[n]h[n] + w_n \quad (3)$$

수식 (3)에서 파일럿을 이용한 채널 추정은 수식 (4)와 같다.

$$\hat{h}[n] = h[n] + w_n/s[n] \quad (4)$$

그리고 데이터 위치에 대한 채널 추정은 파일럿 위치 채널 추정 결과를 이용하여 1차 선형 보간을 통해 이루어진다. IEEE 802.16e OFDMA/TDD 시스템의 버스트 구조는 시간 영역과 주파수 영역의 두 가지 차원으로 나타내어지므로 본 논문에서는 시간 영역 1차원 선형 보간을 먼저 한 후, 그 결과를 바탕으로 주파수 영역 1차원 선형 보간을 한다. 시간 영역에서 선형 보간을 먼저 하는 이유는 O-FUSC의 파일럿 구조가 시간 영역의 파일럿 간의 간격이 3, 주파수 영역 파일럿 간격이 9이므로 1차 선형 보간에 의한 오차를 최소화 하기 위해 간격이 좁은 시간 영역의 보간을 먼저 행한 후 주파수 영역의 보간을 행한다.

그림 2~5는 DL O-FUSC 채널의 부동 소수점 설계를 위해 제안한 채널 추정 방법을 나타낸 것이다. 그림 2의 방법은 각각의 파일럿을 기준으로 인접한 8개의 부반송파의 채널 추정값을 내부 파일럿의 추정값 으로부터

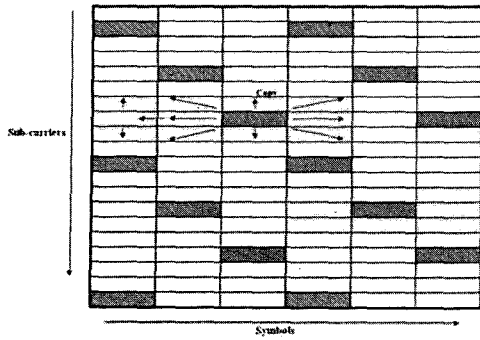


그림 2. 제안된 DL O-FUSC 채널 추정 방법 1.
Fig. 2. DL O-FUSC Channel Estimation Method 1.

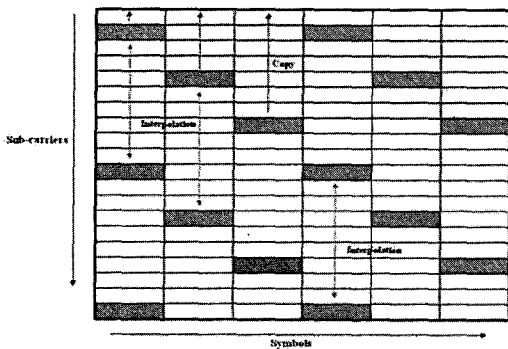


그림 3. 제안된 DL O-FUSC 채널 추정 방법 2.
Fig. 3. DL O-FUSC Channel Estimation Method 2.

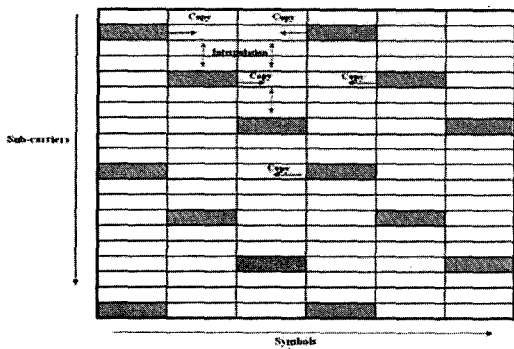


그림 4. 제안된 DL O-FUSC 채널 추정 방법 3.
Fig. 4. DL O-FUSC Channel Estimation Method 3.

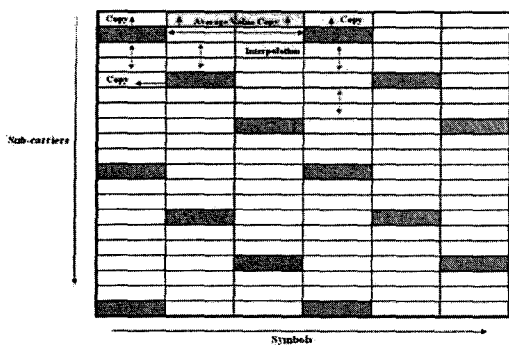


그림 5. 제안된 DL O-FUSC 채널 추정 방법 4.
Fig. 5. DL O-FUSC Channel Estimation Method 4.

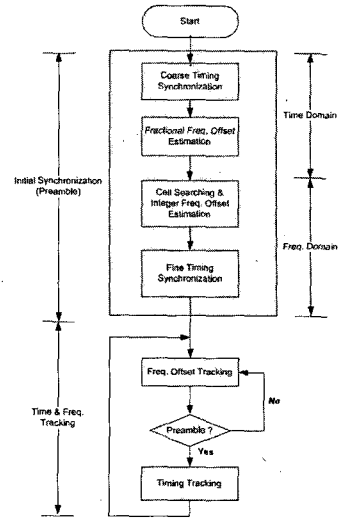


그림 6. 동기화 순서도.
Fig. 6. Synchronization Flow-chart

터 계산하는 방법이다.

그림 3의 방법은 주파수 축으로 파일럿이 부반송파 9개마다 반복되고 있는 특징을 이용하여, 시간축으로 선형보간을 수행하지 않고, 주파수축 선형보간만 수행하여 채널을 추정한다.

그림 4의 방법은 시간축으로 3심볼 단위로 반복되는 파일럿 패턴을 이용하여 인접한 파일럿의 채널 추정 값을 사용하여 채널을 추정한다. 인접한 심볼의 파일럿을 복사하여 주파수 축으로 선형 보간 함으로써, 그림 3의 방법의 선형 보간 길이를 9에서 3으로 줄일 수 있다.

그림 5의 방법은 시간축으로 averaging의 방법을 사용한 후, 주파수 축으로 선형 보간을 수행한다. 그림 5의 방법은 채널의 변화가 심하지 않을 경우, 노이즈 성분이 신호성분보다 작아지게 되어 상대적으로 SNR이 증가하게 된다.

하향링크 트래픽 채널 중 채널추정에 대한 부동 소수점 설계는 제안된 4가지 방법을 모의실험을 통해 비교/분석한 후 성능과 H/W 복잡도를 고려한 최적의 알고리즘을 선정하게 된다.

2. 시간 및 주파수 동기

OFDM 시스템은 부반송파간의 직교성이 유지되는 경우에만 가능하며, 직교성이 깨지는 경우에는 ICI가 발생되어 시스템 성능을 저하시키게 된다. 따라서 OFDM 시스템에서의 동기화는 매우 중요하다. 그림 6은 OFDMA 시스템의 동기화 순서도를 나타낸 것이다. 동기화는 먼저 시간영역에서 coarse timing synchronization을 수행한 후 fractional frequency offset을 추

정한다. 그 후 주파수 영역에서 cell search와 integer frequency offset을 추정하고 fine timing synchronization을 진행함으로써 초기 동기화를 수행한다. 초기 동기화를 수행한 후에 매 프레임마다 tracking과정을 통하여 보다 정확한 동기를 얻게 된다. 본 절에서는 동기화 수행 과정을 설명하고, 성능향상을 위한 새로운 알고리즘을 제안한다.

(1) Coarse Timing Synchronization

가. 기존의 Timing Synchronization Algorithm

IEEE 802.16e의 수신된 OFDM 신호 중 매 프레임의 첫 번째 심볼은 시간영역에서 세 번 반복 구조를 갖는 프리앰블로 이루어져 있으며 timing synchronization은 이러한 프리앰블 구조를 이용한 자기상관으로 초기 심볼 타이밍과 프레임 시작 위치를 추정한다. 수신된 프리앰블 신호와 N_P 만큼 지연된 신호와의 자기상관을 구하고 수신된 프리앰블의 파워값으로 정규화한다. 정규화된 자기상관값은 CP의 길이만큼 이동 평균되며, 임의의 시작점 이후부터 한 샘플씩 이동하며 한 프레임을 측정 하여 최대값을 찾아 프레임 시작 위치 및 초기 심볼 타이밍을 추정한다. 그림 7은 timing synchronization 과정을 나타낸 것이다.

기존의 timing synchronization 알고리즘은 Schmidle과 Cox가 제안한 것으로, 알고리즘 수행 과정은 수식 (5)~(7)으로 표현할 수 있다^[3]. 샘플의 쥬레(conjugation) 값과의 자기상관값을 $P_{Sch}(n)$ 라 하면 수식 (5)와 같이 표현된다.

$$P_{Sch}(n) = \sum_{k=0}^{2N_P-1} r^*(n+k) \cdot r(n+k+2N_P) \quad (5)$$

위의 수식에서 $r^*(n)$ 는 수신신호 $r(n)$ 의 conjugation 값을 나타낸다. 그리고 k 는 자기상관의 길이 인덱스를 나타낸다.

자기상관값을 정규화 하기 위한 수신 신호의 크기를

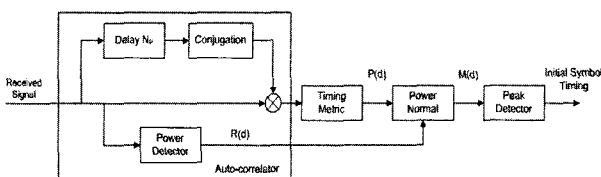


그림 7. IEEE 802.16e OFDMA/TDD 시스템의 시간 동기화 블록 다이어그램.

Fig. 7. Coarse timing synchronization block diagram in IEEE 802.16e OFDMA/TDD system.

$R_{Sch}(n)$ 라 하고 수식 (6)와 같이 표현된다.

$$R_{Sch}(n) = \sum_{k=0}^{2N_P-1} |r(n+k+2N_P)|^2 \quad (6)$$

계산된 자기 상관값 $P(n)$ 를 수신 신호의 전력 $R(n)$ 로 나누어 정규화 하여 최종적으로 timing metric $M(n)$ 를 얻게 된다. $M_{Sch}(n)$ 는 수식 (7)과 같이 나타낸다.

$$M_{Sch}(n) = \frac{|P_{Sch}(n)RIGHT|^2 R_{Sch}^2(n)}{\quad} \quad (7)$$

기존의 timing synchronization의 timing metric $M(d)$ 는 보호 구간 길이 만큼 평탄한 구간을 가지는 형태로 나타나게 된다^[3]. 이러한 평탄한 구간은 시간 동기를 추정하기 어렵게 한다. 프레임 시작 위치 및 심볼 타이밍은 timing metric이 최대가 되는 지점에서 획득되는데, 기존 알고리즘의 timing metric이 갖는 평탄성은 신호가 무선 채널을 통과할 경우 정확한 타이밍 추정을 어렵게 하며, 추정되는 타이밍의 정확도를 떨어뜨리게 된다. 타이밍 추정 오차는 위상 회전으로 나타나게 되고, 채널 추정기를 통해 그 오차가 보상되어 무시될 수 있지만, 오차의 크기가 크게 되면 채널 추정기를 통해 그 오차를 전부 보상할 수 없게 되어 수신신호의 SNR을 저하시키는 요인이 된다^[4]. 따라서 보다 정확한 위치에서 프레임 시작 위치 및 초기 심볼 타이밍을 획득할 수 있는 알고리즘이 필요하다.

나. 단일 최대값을 갖는 Timing Synchronization Algorithm

본 논문에서 기존의 알고리즘에서 timing metric을 계산하는 $P_{Pro}(n)$ 를 수식 (8)과 같이 제안한다.

$$P_{Pro}(n) = \sum_{k=0}^{(2N_P-1)+N_{CP}} r^*(n+k) \cdot r(n+k+N_P) \quad (8)$$

수식 (8)에서 N_{CP} 는 심볼의 보호구간 길이를 의미한다. 자기상관의 길이를 $(2N_P - 1)$ 에서 $(2N_P - 1) + N_{CP}$ 로 보호구간 길이만큼 길게 해주게 되면 보호구간 길이만큼 평탄한 구간을 가지는 형태로 나타났던 timing metric의 형태가 심볼의 시작 위치, 즉 OFDM 심볼의 보호 구간이 시작되는 점에서 최대값을 갖는 형태로 나타나게 된다. 그림 8과 9는 기존의 알고리즘과 제안된 알고리즘의 timing metric을 계산하기 위한 블록도와 timing metric의 특징을 나타내었다.

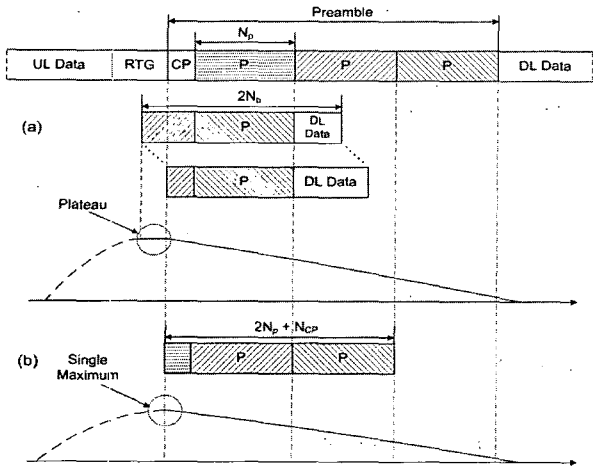


그림 8. Timing metric $M(n)$ 을 계산하기 위한 프로세스. (a) 기존의 알고리즘 (b) 제안된 알고리즘

Fig. 8. Process to obtain the timing metric $M(n)$. (a) Conventional (b) Proposed

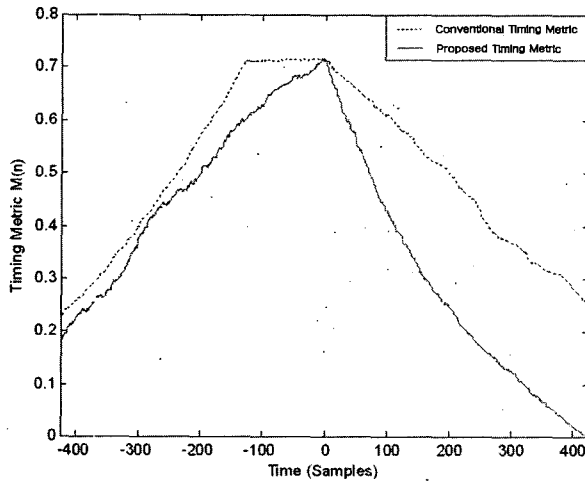


그림 9. AWGN 환경에서의 timing metric $M_{Sch}(n)$, $M_{Pro}(n)$.
Fig. 9. Timing metrics $M_{Sch}(n)$ and $M_{Pro}(n)$ in AWGN.

수신 신호 전력의 크기 역시 기존 알고리즘에서 심볼의 보호 구간 길이만큼 길어지게 되며 수식 (9)과 같이 나타낸다.

$$R_{Pro}(n) = \sum_{k=0}^{(2N_p-1) + N_{CP}} |r(n+k)|^2 \quad (9)$$

제안된 알고리즘의 timing metric $M_{Pro}(n)$ 은 기존 알고리즘과 마찬가지로 계산된 자기상관값 $P_{Pro}(n)$ 를 수신 신호의 전력 $R_{Pro}(n)$ 로 나누어 정규화 하여 최종적으로 얻게 된다. 이러한 과정은 수식 (10)과 같다.

$$M_{Pro}(n) = \frac{|P_{Pro}(n)RIGHT|^2 R_{Pro}^2(n)}{\quad} \quad (10)$$

그림 8과 9에서 확인할 수 있듯이 기존의 timing metric이 보호구간의 중간 지점에서 최대값을 갖는데 반해 새로운 timing metric $M_{Pro}(n)$ 은 보호 구간이 시작되는 점에서 최대값을 갖는 형태로 나타남을 알 수 있다. 따라서 제안된 알고리즘은 정확한 동기획득을 가능하게 하며, 성능 하락을 억제시킬 수 있다.

(2) Frequency Synchronization and Cell Search

주파수 동기화에는 소수배 주파수 와 정수배 주파수 동기로 나눌 수 있다. IEEE 802.16e OFDMA/TDD 시스템에서 지원하는 프리엠블 구조에서는 소수배 주파수 동기 과정에서 정수배 주파수 오프셋을 추정 할 수 없다. 따라서 정수배 주파수 오프셋을 추정하는 별도의 과정이 필요하다. 본 절에서는 정수배 주파수 오프셋 추정을 위한 셀 탐색기의 구조를 제안하고, 소수배 주파수 추정은 III장 2절에서 논의한다.

그림 10은 셀 탐색기의 구조도를 나타내고 있다. 셀 탐색기는 정수배 주파수 오프셋을 추정하기 위하여 추정하고자 하는 정수배 주파수 오프셋이 N 인 경우 $2N+1$ 개의 cross-correlator 를 갖는다. 이는 각각의 cross-correlator 는 수신된 주파수 영역의 프리엠블 을 각각 $0 \sim \pm N$ 까지 shift 하여 correlation 을 수행 하게 된다. 각각의 correlator 의 최대값을 비교하여 cell ID 와 정수배 주파수 오프셋을 추정해 낸다. 수신기는 수신된 주파수 영역의 프리엠블 $A(k)$ 와 이미 알고 있는 프리엠블 $S(k)$ 과의 상호상관값의 측정을 통해 cell ID 추정을 수행한다. 프레임 타이밍이 보호구간 내에서 획득되었다고 가정하면 정확한 FFT 타이밍에서의 타이밍 오차로 인해 수신 신호는 주파수 영역에서 수식 (11)과 같은 위상 회전이 이루어진다.

$$A(k) = S(k)e^{j2\pi k TRIANGLEt/N_{FFT}} \quad (11)$$

수식 (11)에서 $A(k)$ 는 프리엠블 신호이고 Δt 는 타

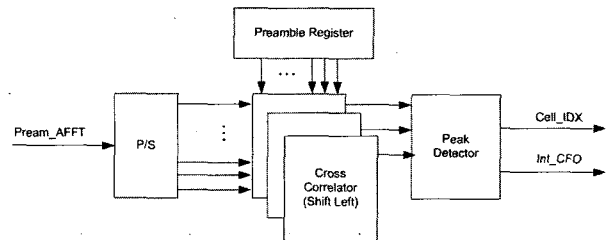


그림 10. 정수배 오프셋 추정기와 셀 탐색기 구조도.
Fig. 10. Integral Frequency Offset Estimator & Cell Searcher Structure.

이밍 오차이다. 따라서 수신기는 타이밍 오차로 인한 위상 회전과 관계없이 상호상관값의 측정이 가능하도록 수식 (12)와 같은 상호상관값을 각각의 correlator 별로 모든 셀에 대해서 구하고 correlator 의 출력값을 비교하여 최대값의 인덱스를 cell ID 로 정하고, 그 최대값이 출력된 correlator 를 정수배 주파수 오프셋으로 추정한다.

$$\max_N \left[\left| \sum_{k=0}^{864} S_i(k)A(k)^* S_i(k+3)A(k+3) \right| \right] \quad (12)$$

수식 (12)에서 $S_i(k)$ 는 i 번째 셀 코드를 사용하는 프리엠블 신호를 의미하고, N 은 correlator의 개수를 나타낸다.

(3) Fine Timing Synchronization

Fine timing synchronization은 수신된 프리엠블을 이용 초기 심볼 타이밍보다 더 정확한 심볼 타이밍을 추정해 내는 과정이다. 프리엠블 신호를 coarse timing synchronization을 통해 얻은 초기 심볼 타이밍을 이용하여 FFT를 수행한 주파수 영역 신호와 셀 탐색 과정을 통해 획득한 cell ID를 이용하여 찾아낸 프리엠블 신호와 correlation을 수행한다. Correlation후에 수신된 신호를 재배열 한 후 IFFT를 이용 시간 영역의 신호로 전환한 후, 사용신호의 최대값을 검출함으로써, fine timing synchronization을 수행한다.

3. Digital Front End

(1) DC Offset Compensator

아날로그 단 및 ADC에서 발생하는 DC 오프셋은 신호 레벨이 전체적으로 일정 수준으로 오르거나 내려가는 현상을 유발한다. 만일 DC 오프셋을 제거하지 않고 AGC가 동작하게 되면 전체적인 신호 레벨이 한 방향으로 clipping 되어 decision 에러 발생률이 높아지게 되므로 DC 오프셋 보상기가 요구된다^[5]. 그림 11은 시스템 단말의 수신기에 사용되는 DC 오프셋 보상기의 블

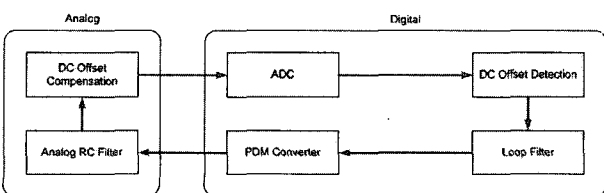


그림 11. DC Offset Compensator의 블록 다이어그램.
Fig. 11. DC offset compensator block diagram.

록 다이어그램으로서 DC 오프셋 검출이 디지털 단에서 이루어지는 반면 DC 오프셋 보상은 검출된 DC 오프셋이 loop filter를 거쳐 PDM 형태로 Analog RC filter에 전달되어 아날로그 신호를 발생시켜 아날로그 단에서 이루어짐을 나타낸다.

가. DC Offset Detection

DC offset detection은 downlink frame preamble에서 cyclic prefix를 제거한 뒤, preamble을 레지스터에 누적하여 누적된 preamble의 평균값을 계산하여 DC offset을 검출한다^[6,7].

나. Loop Filter

Loop filter는 현재의 loop filter 입력과 이전의 loop filter 출력을 더하는 accumulator로서 long term averaging을 수행한다. Loop filter의 long term averaging은 DC 오프셋 보상기의 동작이 채널의 변화에 순간적으로 반응하지 않도록 하여 DC 오프셋 보상기의 안정도 특성을 우수하게 해준다.

(2) AFC (Automatic Frequency Controller)

주파수 오프셋은 시스템 송수신기의 local oscillator 간의 주파수 오차와 doppler 현상에 의해 발생한다. 다수의 부반송파를 사용하는 OFDMA/TDD 시스템의 경우 주파수 오프셋이 발생하면 부반송파간의 직교성을 유지할 수 없으므로 수신기의 심각한 성능 열화가 발생한다.

그림 12는 시스템 단말의 수신기에 사용되는 AFC의 블록 다이어그램으로서 검출된 주파수 오프셋은 acquisition time과 안정도간의 trade-off를 고려하여 결정된 loop filter depth를 갖는 loop Filter를 거쳐 PDM 형태로 VCTCXO에 전달되어 반송파 주파수를 제어한다.

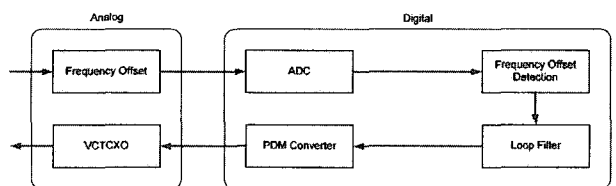


그림 12. AFC 블록 다이어그램.
Fig. 12. AFC block diagram.

가. Frequency Offset Detection

주파수 오프셋은 I/Q 입력 신호의 위상 변화를 유발

시킨다. 따라서 주파수 오프셋은 preamble의 cyclic prefix를 이용하여 위상 변화를 측정함으로써 검출된다.

$$\omega = \frac{1}{CP} \sum_{k=0}^{CP} [\arg(h(k)) - \arg(h(k-n))] \quad (13)$$

$$\omega = \frac{1}{CP} \sum_{k=0}^{CP} [\text{Im}(h(k) * h(k-n)^*)] \quad (14)$$

$$\omega = 2\pi f_{off} \Delta t \quad (15)$$

수식 (13), (14) 의 ω , $h(k)$, CP , k , \arg , $*$, t 는 각각 위상의 변화량, cyclic prefix의 크기, cyclic prefix 샘플의 인덱스, angle, conjugation, 주파수 오프셋이 발생하는 시간 구간을 나타내며, 식 (15)의 f_{off} 는 주파수 오프셋을 나타낸다. 수식 (13), (14)는 그림 13과 같이 n개의 샘플만큼 떨어져 있는 Cyclic prefix의 각각의 샘플간의 위상 변화를 산출하여 레지스터에 누적시킨 뒤, 평균 위상 변화를 산출한다. 수식 (13)은 angle을 구하기 위해 \tan^{-1} 을 사용해야 하지만 H/W에서 \tan^{-1} 연산은 LUT (Look-Up Table)을 이용해야 한다. 반면에 수식 (14)는 위상 변화를 산출하기 위해 근사화 방법을 사용한다.

$$\begin{aligned} & \text{Im}(h(k) * h(k-n)^*) \\ &= \text{Im}\{[\cos(\omega_k) + j \sin(\omega_k)] * [\cos(\omega_{k-n}) - j \sin(\omega_{k-n})]\} \\ &= \text{Im}\{[\cos(\omega_k) * \cos(\omega_{k-n}) + \sin(\omega_k) * \sin(\omega_{k-n})] \\ & \quad + j[\sin(\omega_k) * \cos(\omega_{k-n}) - \cos(\omega_k) * \sin(\omega_{k-n})]\} \\ &= \sin(\omega_k) * \cos(\omega_{k-n}) - \cos(\omega_k) * \sin(\omega_{k-n}) \\ &= \sin(\omega_k - \omega_{k-n}) \end{aligned} \quad (16)$$

where, $h(k) = e^{j\omega_k}$, $h(k-n) = e^{j\omega_{k-n}}$
 $\omega_k = 2\pi f_k$, $\omega_{k-n} = 2\pi f_{k-n}$

수식 (16)는 식 (14)을 전개한 식으로서, 식 (14)는 위상 변화를 값으로 표현한다.

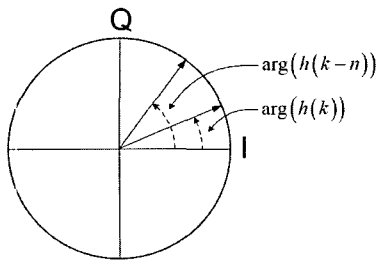


그림 13. Frequency offset에 따른 위상 변화.
 Fig. 13. Phase rotation corresponding to frequency offset.

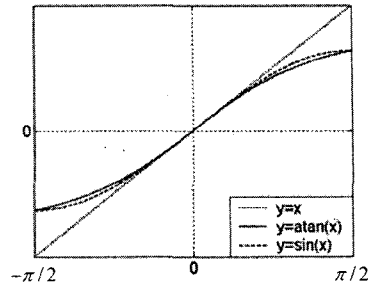


그림 14. 위상 Approximation.
 Fig. 14. Phase Approximation.

그림 14은 \tan^{-1} 과 \sin 의 곡선의 유사함을 보여주는 것으로서 반복되는 AFC의 동작으로 인하여 주파수 오프셋이 줄어들면 \tan^{-1} 대신 \sin 을 이용할 수 있음을 알 수 있다. 또한 \sin 의 출력값은 $[-\pi/4, \pi/4]$ 구간에서 선형적인 특성을 보임으로서 식 (14)의 결과는 바로 위상으로 근사화가 가능함을 알 수 있다. 주파수 오프셋은 수식 (14)의 결과를 수식 (15)에 적용하여 검출된다.

(3) AGC (Automatic Gain Controller)

무선 채널을 통해 전송된 신호는 path loss로 인하여 수신 신호의 magnitude는 매우 작아진다. AGC는 path loss를 겪은 수신 신호의 이득을 조절하여 ADC 출력이 원하는 레벨을 유지하도록 한다.

그림 15는 시스템 단말의 수신기에 사용되는 AGC의 블록 다이어그램으로서 ADC 입력 신호의 magnitude의 평균을 LUT를 사용하여 dB 값으로 변환한 후에 dB 값과 참조 값과의 차를 acquisition time과 안정도간의 trade-off를 고려하여, 결정된 loop filter depth를 갖는 loop filter를 거쳐 PDM 형태로 Variable Gain Amplifier (VGA)를 제어하여 이득 조절을 수행한다.

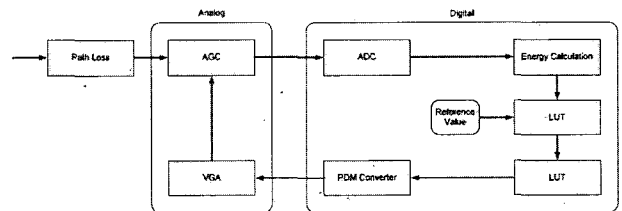


그림 15. AGC 블록 다이어그램.
 Fig. 15. AGC block diagram.

가. Magnitude Calculation

수신된 신호의 레벨은 downlink frame preamble을 이용하여, 전력 계산과 magnitude 계산 두 가지의 방법으로 판단할 수 있다^[8-12]. 전력 계산의 경우 곱셈 연산이 사용되므로 magnitude 계산보다 H/W 측면에서 2배

이상의 bit가 필요하다. 따라서 H/W 동작의 복잡도를 줄이기 위하여 magnitude 계산 방법을 사용한다. magnitude 계산은 ADC를 통과한 downlink frame preamble에서 cyclic prefix를 제거한 뒤, preamble의 magnitude를 레지스터에 누적하여 누적된 magnitude의 평균값을 산출한다.

4. CINR Estimator

IEEE 802.16e OFDMA/TDD 시스템에서 단말은 측정된 채널 carrier to interference and noise ratio (CINR) 값을 주기적으로 기지국에 보고해야 하며, CINR에 따라 4~6비트 정보로 부호화하여 channel quality indicator (CQI) 채널을 통해 전송한다. 본 논문에서는 보다 효율적이고 정확한 CINR estimation 알고리즘을 제안한다. 기존의 CINR estimation 방법은 데이터보다 2.5dB 부스팅된 파일럿을 이용하지만, 본 논문에서 제안하는 CINR estimation 구조는 데이터보다 9dB 부스팅된 프리앰블을 이용한다.

그림 16는 CINR 추정기의 구조를 나타낸다. preamble 신호를 timing tracker로부터 얻은 초기 심볼 타이밍을 이용하여 FFT를 수행한 주파수 영역 신호와 cell searcher를 통해 획득한 cell ID와 segment를 이용 찾아낸 전송된 preamble 신호와의 샘플간의 곱셈 후, CINR calculator에서 평균 CINR을 계산하여 9 dB만큼 감소된 값을 출력한다. 9 dB만큼 감소시키는 이유는 송신단에서 preamble 신호의 전력을 데이터 신호의 전력에 비해 9 dB만큼 부스팅시켜 사용하기 때문이다.

CINR을 계산하는 방식은 하향 링크 부반송파 할당이 AMC 방식인 경우와 그렇지 않은 경우에 따라 차이를 보인다. AMC 방식에서는 Max Logical Bands의 필드 값에 해당되는 선택된 밴드에 해당되는 대역 내에

대해서만 평균하여 계산하고, 그렇지 않은 경우에는 전체 주파수 대역에 대한 평균 CINR 값을 계산한다. 이외의 과정들은 부반송파 할당이 AMC 방식인 경우와 그렇지 않은 경우 모두 동일하게 수행된다. 하향 링크 부반송파 할당이 AMC 방식인 경우 N 번째 밴드의 평균 CINR은 수식 (17)과 같다.

$$CINR_{N_{avg}}(dB) = 10 \log_{10} \left(\frac{1}{K} \sum_0^{K-1} \frac{(A_N - E_N)}{E_N + I_N} \right) - 9dB$$

where

$$E_N = \frac{1}{2} \sum_{k=L \times N}^{L \times (N+1)-1} \{ |C(k+1) - C(k)|^2 \}$$

$$A_N = \sum_{k=L \times N}^{L \times (N+1)-1} \{ |C(k)|^2 \}$$

$$I_N = \sum_{k=L \times N}^{L \times (N+1)-1} \{ |R(k+1)|^2 + |R(k+2)|^2 \}$$

$$C(k) = R(k) * P_c^*(k), \quad k = 0 \sim 283$$

여기서 N은 N 번째 밴드를, L은 288 / Total Band를 의미하고, E_N과 A_N은 각각 수신신호와 잡음성분의 전력값을 나타내고, I_N은 간섭 성분의 전력값을 나타낸다. 그리고, R(k)은 preamble의 주파수 영역 신호 중 식 이용 preamble 집합만을 추출해 낸 신호이고, P_c(k)는 cell searcher를 통해 획득한 cell ID와 segment를 이용하여 찾아낸 전송된 preamble이다.

하향 링크 부반송파 할당이 AMC 방식이 아닌 diversity인 경우의 평균 CINR 계산은 수식 (18)과 같다.

$$CINR_{avg}(dB) = 10 \log_{10} \left(\frac{1}{K} \sum_0^{K-1} \frac{(A - E)}{E} \right) - 9dB$$

where

$$E = \frac{1}{2} \sum_{k=0}^{283} \{ |C(k+1) - C(k)|^2 \}$$

$$A = \sum_{k=0}^{283} \{ |C(k)|^2 \}$$

$$C(k) = R(k) * P_c^*(k), \quad k = 0 \sim 283$$

5. 상향링크 부동 소수점 설계

IEEE 802.16e OFDMA 시스템에서 상향링크는 크게 트래픽 채널과 제어 채널로 구분할 수 있다.

(1) 상향링크 트래픽 채널

상향링크 트래픽 채널은 sub-channelization 방식 및 파일럿 패턴을 제외하고 하향링크의 트래픽 채널의 구성과 동일하다. 상향링크 트래픽 채널의 sub-channelization은 diversity 방식과 AMC 방식으로 구분된다. Diversity 방식에는 3x3 타일 모양의 PUSC와

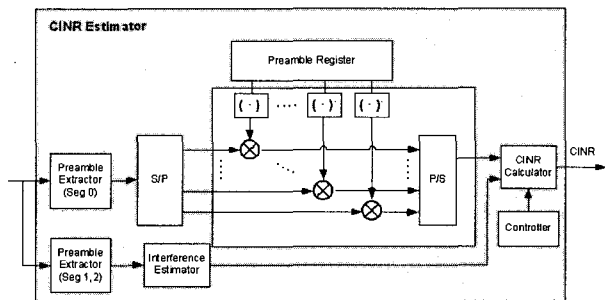


그림 16. CINR 추정기 구조.
Fig. 16. CINR estimator structure.

3×4 타일 모양의 O-PUSC가 존재한다. AMC방식은 하향링크와 동일하다.

(2) 상향링크 제어 채널

상향링크의 제어 채널은 피드백 정보를 기지국으로 전송하는 채널이다. 상향링크 제어 채널에는 channel quality indicator (CQI)와 ACK 채널이 있다.

CQI 채널에는 diversity용 피드백 모드 및 AMC용 피드백 모드가 있다. Diversity용 피드백 모드에서는 하향링크 프리앰블의 5비트 (또는 4비트) 평균 CINR이 전송된다. AMC모드에서는 선택된 대역에서의 5비트 (또는 4비트) CINR 피드백이 전송된다. 하나의 CQI 채널은 3×3 타일 형태의 상향링크 diversity 부채널 하나로 구성된다.

상향링크 ACK채널은 하향링크 H-ARQ에 대한 빠른 피드백을 제공한다. 단말은 하향링크 패킷 데이터에 대한 ACK 또는 NAK 피드백을 전송한다. 상향링크 ACK채널도 CQI채널과 동일하게 상향링크 diversity 부채널 하나로 구성된다.

6. 부동 소수점 설계의 모의실험 결과

본 절에서는 IEEE 802.16e OFDMA/TDD 시스템의 부동소수점 모의실험 결과를 분석한다. III장 1절에서 언급된 DL O-FUSC의 채널추정에 관한 모의실험 결과를 분석하고, 최적화된 알고리즘을 선정한다. 그리고 III장 2절에서 제안한 시간 및 주파수 알고리즘의 성능을 모의실험을 통해 보이고, III장 3절에서 논의한 DFE의 성능을 시뮬레이션 결과를 통해 보여준다. 그리고 III장 5절에서 논의한 상향링크 트래픽 채널과 제어채널의 모의실험 결과를 분석한다.

(1) 하향링크 트래픽 채널의 모의실험

그림 17는 3장 1절에서 언급된 DL O-FUSC의 채널 추정 방법에 따른 성능이다. 그림에서 확인 할 수 있듯이 채널 추정 방법 1, 2에 비해 채널 추정 방법 3, 4를 사용하였을 경우, QPSK와 16-QAM에서 약 0.5 dB의 SNR 이득이 있으며, 64-QAM에서는 약 1 dB의 SNR 이득이 있음을 알 수 있다. 채널 추정 방법 3과 4의 성능을 볼 경우, 채널 추정 방법 4가 채널 추정 방법 3에 비해, QPSK와 16-QAM에서 약 0.1 dB의 SNR 이득이 있으나, 64-QAM에서는 채널 추정 방법 3이 채널 추정 방법 4에 비해 약 0.25 dB의 SNR 이득이 있음을 알 수 있다. 전반적인 성능은 채널 추정 방법 4가 채널

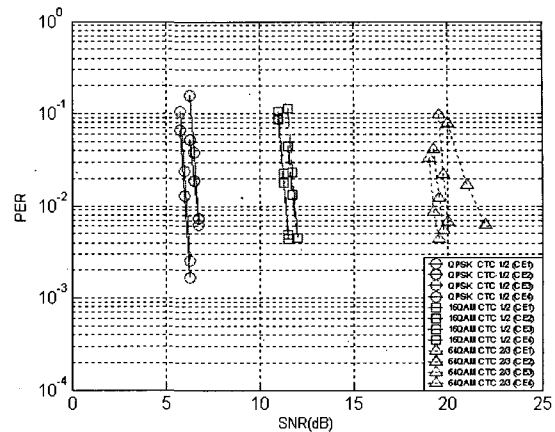


그림 17. DL O-FUSC PER 성능 그래프.
Fig. 17. DL O-FUSC PER performance curve.

추정 방법 3보다 다소 우위에 있지만, H/W의 복잡도를 고려할 때, 채널 추정 방법 4는 채널 추정 방법 3에 비하여 다소 복잡하다. 따라서 부동 소수점 설계에서는 채널 추정 방법 3번을 선택하고, 고정 소수점 설계를 수행한다.

(2) 시간 및 주파수 동기화 알고리즘의 모의실험 가. Coarse Timing Synchronization

그림 18은 기존의 시간 동기화 알고리즘과 제안된 동기화 알고리즘의 성능을 SNR에 따른 detection, missing 그리고 false alarm 의 확률로 나타낸 것이다. 채널은 Veh-A 60km/h를 사용하였다. Detection은 초기 심볼 타이밍이 보호 구간 안에 들어왔음을 나타내고, missing 은 timing metric 값이 임계값을 넘지 못하여 다음 프레임에서 타이밍 동기 추적을 재시도 함을 나타

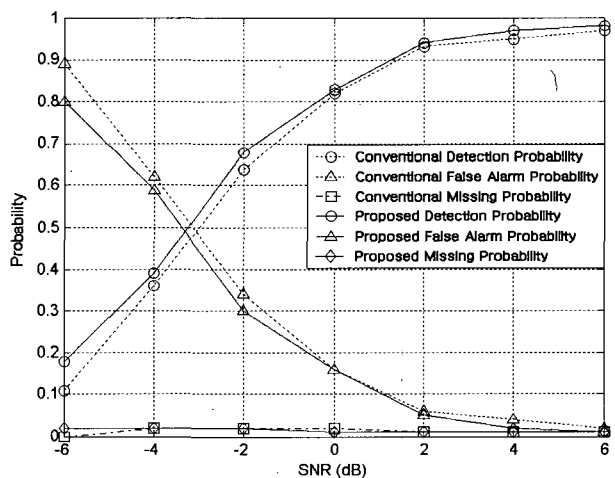


그림 18. 시간동기화 알고리즘 성능.
Fig. 18. Performance of timing synchronization algorithm.

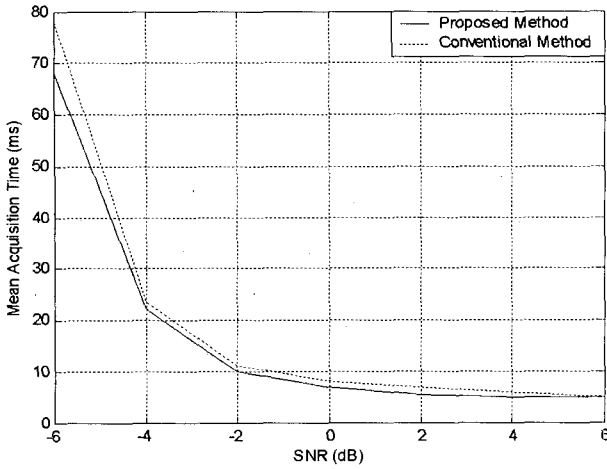


그림 19. 평균 추정 시간 성능.
Fig. 19. Performance of Mean Acquisition Time.

낸다. 그리고 마지막으로 false alarm 은 timing metric 값이 임계값을 넘었으나, 획득된 심볼 타이밍이 보호 구간 밖에 위치함을 나타낸다. 그림 18에서 볼 수 있듯이 SNR 에 상관없이 제안된 알고리즘이 기존의 알고리즘보다 성능이 우수함을 확인 할 수 있다.

그림 19는 MAT (Mean Acquisition Time) 을 보여 준다. MAT는 수식 (19)를 이용하여 계산된다.

$$MAT (ms) = \left(\frac{M}{D} * PT_M\right) + \left(\frac{F}{D} * PT_F\right) + DT \quad (19)$$

수식 (19)에서 D , M , F 는 각각 detection, missing, false alarm 확률이다. 그리고 DT , PT_M , PT_F 는 detection time, missing penalty time, false alarm penalty time을 나타낸다. 그림 19는 detection time은 5ms, mission penalty time은 10ms, false alarm penalty time은 20ms를 가정하고 수식 (19)를 사용하여 계산하였다. 이처럼 false alarm penalty time 을 작게 설정한 이유는 초기 프레임 타이밍을 잘못 잡았다 하더라도, 다음 프레임의 DL_MAP 안의 CRC 를 통해 false 여부를 판단 할 수 있기 때문이다. 그림 19을 통해 SNR이 높아짐에 따라 mean acquisition time이 한 프레임(5ms)에 수렴하는 것을 알 수 있다. 또한 mean acquisition time이 기존의 방법보다 짧아짐을 확인할 수 있다. 따라서 부동 소수점 설계를 사용하는 제안된 방법을 선정하고 고정소수점 설계를 수행한다.

나. Frequency Synchronization and Cell Search

그림 20은 정수배 주파수 오프셋의 detection 확률을 채널별로 모의 실험한 결과이다. 그림에서 확인할 수

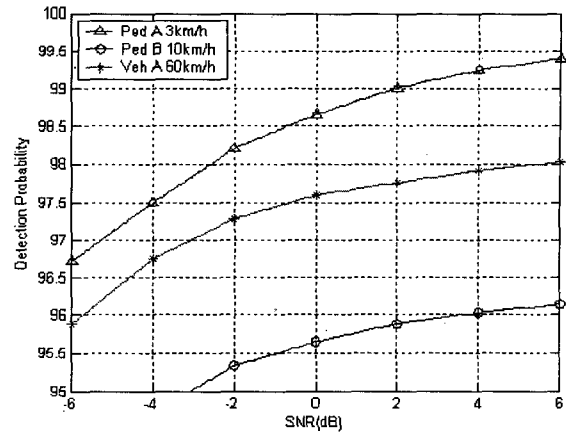


그림 20. 정수배 주파수 추정 성능.
Fig. 20. Performance of integer frequency offset estimator.

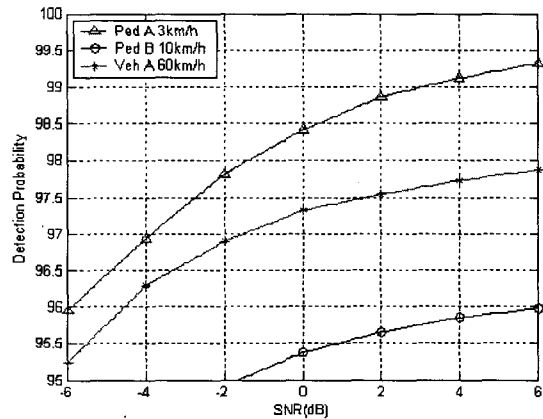


그림 21. 셀 탐색 성능.
Fig. 21. Performance of Cell Search.

있듯이 Ped-B 10km/h 채널의 성능이 가장 나쁘게 나타나고, Ped-A 3km/h 채널의 성능이 가장 좋게 나타난다. 그 이유는 Ped-B 채널 환경이 각 채널의 delay profile에서 multi-path가 가장 크기 때문이다.

그림 21은 셀 탐색 확률을 각각의 무선 채널에 대해 SNR에 따라 나타낸 것이다. 채널은 Ped-A 3km/h, Ped-B 10km/h, Veh-A 60km 를 사용하였고, 인접 셀의 간섭은 없고, 심볼 타이밍은 정확하다고 가정했다. SNR 이 0 dB 이상인 경우 모든 경우의 셀 탐색 확률이 95% 이상을 만족하고 있다. Ped-B 10km/h 의 경우 셀 탐색 확률이 다른 두 채널에 비해 떨어지는데, 이는 Ped-B 의 delay profile 에 대한 multi-path 성분이 가장 크기 때문이다.

(3) Digital Front End 모의실험

DFE 모의실험에서는 DC offset compensator, AFC,

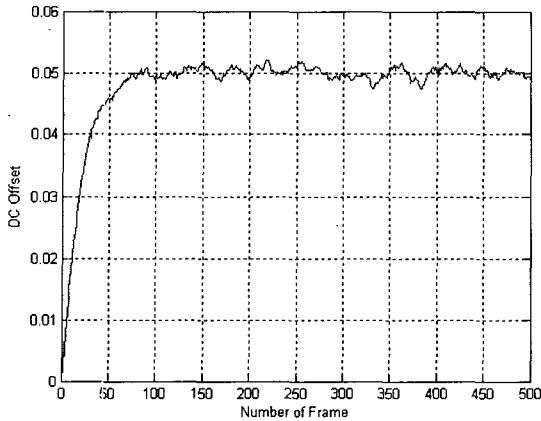


그림 22. DC Offset 보상기 성능.
Fig. 22. Performance of DC Offset compensator.

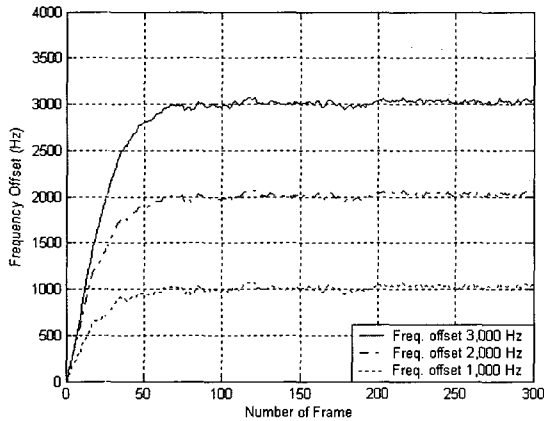


그림 23. AFC 성능.
Fig. 23. Performance of AFC.

그림 22는 DC offset compensator의 부동 소수점 설계의 성능을 나타낸다. 그림 22는 DC offset을 0.05를 인가 하였을 때, 각각의 DC offset에 따른 DC offset 보상 신호를 보여준다. 시뮬레이션 결과에 의하면, 약 100 frame을 수신하게 되면 DC 오프셋을 안정적으로 제거할 수 있다. 그리고 100 frame이후의 fluctuation이 작기 때문에 안정도 특성도 좋은 것을 확인할 수 있다.

그림 23는 AFC의 성능을 나타낸다. 그림 23은 frequency offset을 3000, 2000, 1000Hz를 인가 하였을 때, 각각의 frequency offset에 따른 AFC의 보상 신호를 보여준다. 그림 23에 의하면, 약 70 frame을 수신하게 되면 주파수 오프셋을 제거할 수 있고, 70 frame이후의 fluctuation이 작기 때문에 안정도 특성이 좋은 것을 확인할 수 있다.

그림 24와 25는 AGC 동작 전의 수신신호와 AGC 동작 후의 성능을 나타낸다. AGC은 참조 값에 의해 결정되므로 시스템의 성능 열화를 최소로 하는 참조 값을

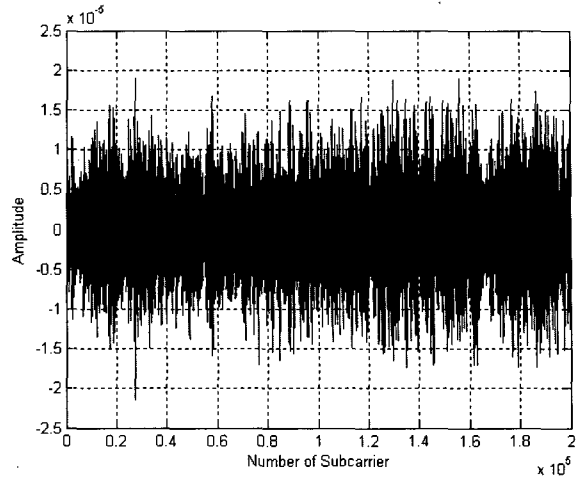


그림 24. Path-loss를 겪은 수신신호의 Amplitude.
Fig. 24. Amplitude of received signal under path-loss.

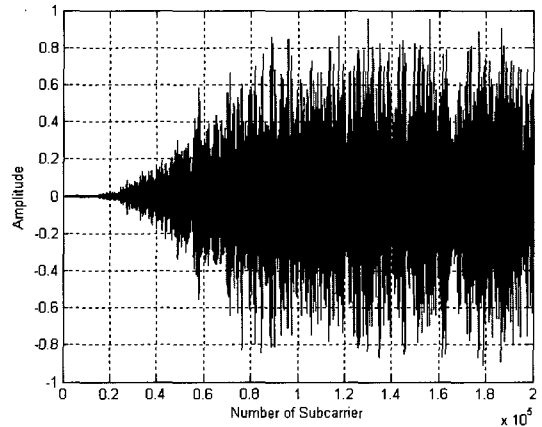


그림 25. Reference value를 이용하여 이득 조절된 수신신호의 Amplitude.
Fig. 25. Amplified amplitude of the received signal with reference value.

찾아야 하며, 입력 신호가 과도하게 증폭되거나 감소되는 경우가 없도록 설계해야한다.

(4) 상향링크 모의실험
가. 상향링크 트래픽 채널

그림 26은 상향링크 트래픽 채널의 성능을 나타낸 것이다. 그림 26에서는 상향링크 diversity sub-channelization인 PUSC와 O-PUSC를 각각의 무선 채널환경인 경우에 모의실험 한 것이다. 그림에서 확인할 수 있듯이 PUSC가 O-PUSC 보다 0.1 dB ~ 0.4 dB SNR 이득이 있음을 확인 할 수 있다. 이는 상향링크 PUSC의 파일럿 개수가 O-PUSC일 경우 보다 많아 보다 정확한 채널 값을 추정하기 때문이다.

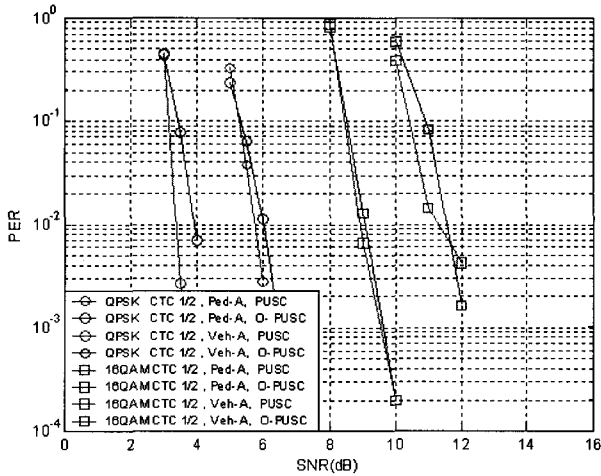


그림 26. 상향링크 트래픽 채널의 성능.
Fig. 26. Performance of uplink traffic channel.

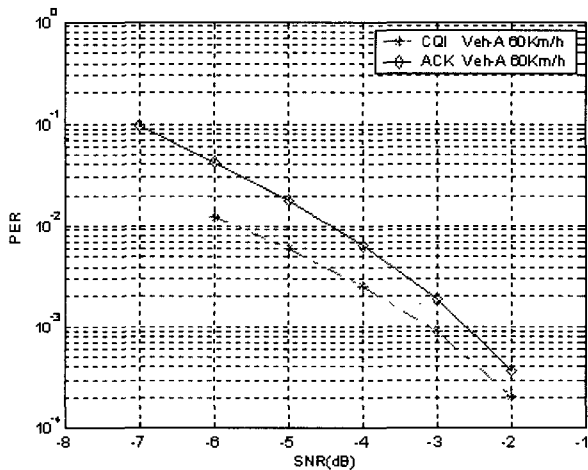


그림 27. 상향링크 제어 채널의 성능.
Fig. 27. Performance of uplink control channel.

나. 상향링크 제어 채널

그림 27은 상향링크 제어 채널인 CQI와 ACK 채널의 성능을 나타낸 것이다. 피드백 하는 비트 수는 CQI와 ACK 채널 모두 5비트로 모의실험 하였고, 무선 채널 환경은 Veh-60km/h를 사용하였다. 그림에서 확인할 수 있듯이 낮은 SNR에서도 CQI와 ACK 채널 모두 좋은 성능을 보이는 것을 알 수 있다.

IV. 고정 소수점 설계 및 모의실험 결과

1. Fixed-point Simulation Methodology

본 장에서는 OFDMA/TDD 시스템의 Fixed-point 시뮬레이션에 대한 방법론을 제시한다. 실제 고정소수점 설계의 목적은 부동 소수점 모의실험으로 구한 결과와 H/W로 구현 하는 경우에 있어서 PER (Packet Error

Rate) 성능 차이를 0.5dB 이하로 설계하기 위함이다. 즉, 부동 소수점 모의실험을 통해 선정된 알고리즘을 고정 소수점 모의실험을 통해 적정 비트를 찾아내고, H/W에 적합한 알고리즘을 개발하며, 성능을 최적화 하는 것이다.

(1) Saturation과 Quantization의 적용

고정 소수점 모의실험에 있어서 가장 중요한 사항중 하나는 적정 bit size를 결정하는 것이다. 적정 bit size는 성능과 H/W복잡도와 밀접한 관련이 있다. Bit를 많이 사용할수록 부동소수점 모의실험 성능결과와 가깝게 되지만, 반대로 H/W 복잡도가 늘어나게 된다. 즉 bit size결정은 성능과 H/W 복잡도 사이에서 trade-off를 고려해야한다.

Bit size 결정을 하기 위해서 고정 소수점 모의실험에서 사용하는 방법은 saturation과 quantization 방법이 있다. 이는 비트 사이즈를 줄일 필요가 있을 경우에 사

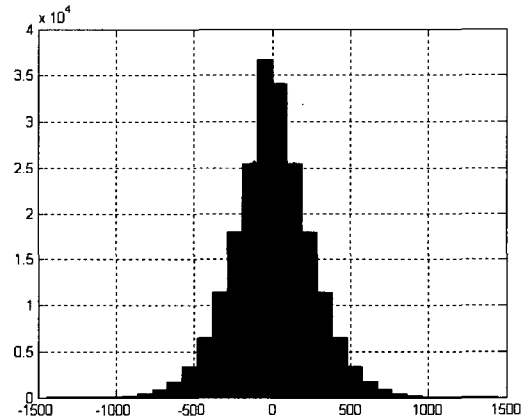


그림 28. Saturation이 사용되는 경우의 신호 분포.
Fig. 28. Signal distribution for Saturation.

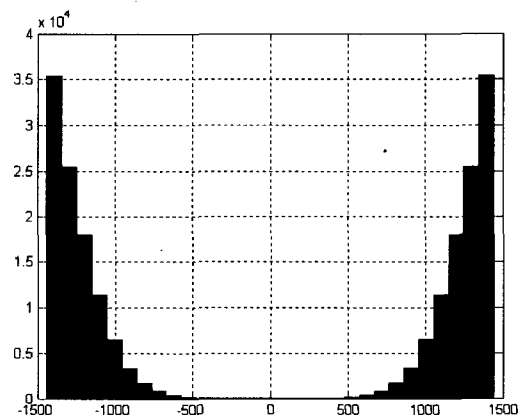


그림 29. Quantization이 사용되는 경우의 신호 분포.
Fig. 29. Signal distribution for Quantization.

용되는 방법으로, 신호의 분포를 확인하여 어느 방법을 사용할지 결정해야한다.

Saturation은 MSB (Most Significant Bit)를 절사하기 위한 방법으로 신호의 분포가 그림 28에서처럼 가우시안 (Gaussian) 분포를 갖고 있을 경우에 사용되며, 이와는 반대로 그림 29에서처럼 신호의 분포가 U자형 분포를 갖고 있을 경우에는 quantization을 사용하여 LSB (Least Significant Bit)를 절사해야 한다.

2. 하향링크 트래픽 채널

(1) ADC

ADC는 채널을 통과한 아날로그 신호를 디지털 신호로 변환시키는 역할을 하게 된다. 하향링크의 고정 소수점 설계에 있어서 가장 우선적으로 수행되는 블록이 ADC이기 때문에 ADC의 비트 크기를 적절하게 결정하는 것은 매우 중요한 문제이다. 또한 고정 소수점 설계 시 고려해야 할 사항은 모든 열악한 환경에서도 하드웨어의 동작을 보장하기 위하여 최악의 상황을 가정하고 설계를 해야 한다는 것이다. ADC의 비트 크기가 크게 될 경우 시스템의 복잡도가 증가할 뿐 만 아니라 전력 소모 또한 증가하게 되며, 비트 크기가 작을 경우 하드웨어의 복잡도는 감소하는 반면 아날로그 신호를 디지털로 정확하게 표현할 수 없게 되므로 성능 열화가 심해지게 된다. 따라서 이러한 trade-off를 고려해서 적절한 비트 크기를 결정해야 한다. 그림 30은 ADC의 비트 크기를 정하기 위하여 ADC의 입력 신호에 대한 dynamic range 측정을 나타낸다.

Dynamic range의 측정 방법은 부동 소수점에서 모든 sub-carrier에 data를 full-loading을 이용하여 다중 경로 채널 및 AWGN (Additive White Noise Gaussian)을 통과한 신호의 PAPR (Peak to Average Power Ratio)과 RMS (Root Mean Square) power를 측정하여 이 두 값에 대한 차이를 dynamic range로 결정한다. ADC의 비트 크기와 dynamic range 측정은 채널 coding/decoding을 제외한 상태에서 uncoded BER (Bit Error Rate)을 성능 척도로 사용하여 target BER 10^{-2} 에서 부동 소수점의 모의실험 결과보다 SNR (Signal to Noise Ratio) 0.1dB 이하의 성능 열화를 만족할 수 있도록 설계해야 한다. 일반적으로 OFDM 신호는 PAPR 값이 큰 단점이 있기 때문에 PAPR과 RMS 값의 차이를 dynamic range로 사용하게 되면 결국 더 높은 resolution과 더 많은 비트가 필요하게 되어 ADC의 복잡도가 증가한다. 따라서 BER 0.1dB 이하의 성능

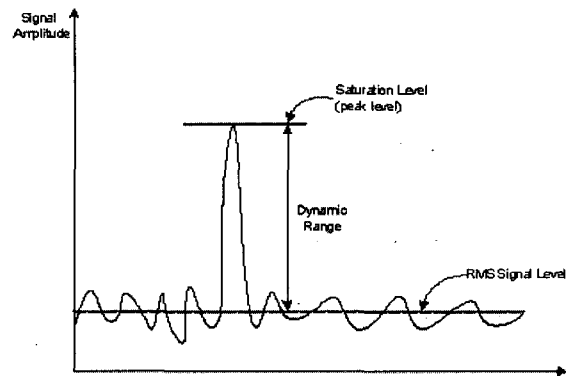


그림 30. ADC의 dynamic range 측정.

Fig. 30. Measurement of ADC dynamic range.

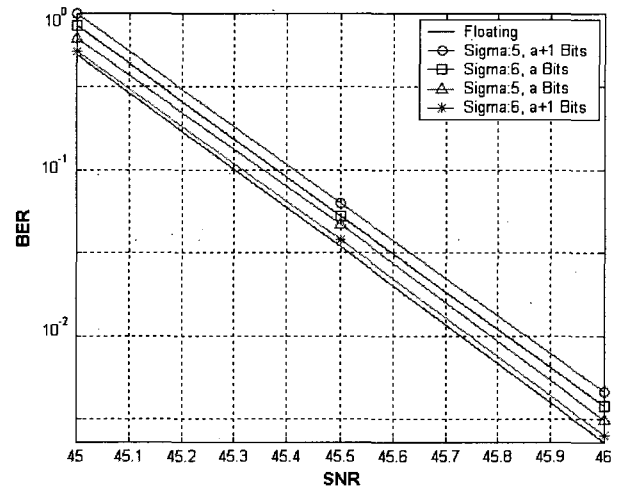


그림 31. Dynamic range와 비트 수에 따른 ADC 성능.

Fig. 31. ADC performance according to dynamic range.

열화를 만족하는 범위 내에서 dynamic range를 줄여야 한다.

그림 31은 ADC 출력에 대한 성능 그래프를 나타낸다. 그림 31에서 dynamic range와 비트 크기가 항상 비례하지 않음을 알 수 있는데, 이는 quantization noise와 clipping에 기인한 것이다. QAM 변조된 OFDM 신호에 있어서 quantization noise와 clipping에 따른 SNR은 수식 (18)과 같이 나타낼 수 있다.

$$SNR = [(SNR_Q)^{-1} + (SNR_{CL})^{-1}]^{-1} \quad (20)$$

where,

$$SNR_Q = \frac{12.2^{2b}}{(2\mu)^2}$$

$$SNR_{CL} = \left((1 + \mu)^2 \operatorname{erfc}\left(\frac{\mu}{\sqrt{2}}\right) - \sqrt{\frac{2}{\pi}} \mu e^{-\frac{\mu^2}{2}} \right)^{-1} \quad (21)$$

식 (21)에서 μ 는 clipping level과 입력 신호의 RMS amplitude의 비를 나타낸다^[12].

(2) FFT

FFT는 시간 영역의 데이터를 주파수 영역으로 변환하는 Discrete Fourier Transform (DFT)를 고속으로 처리하기 위한 알고리즘으로 Radix-2를 이용하여 N-point DFT과정을 2 개의 (N/2)-point DFT로 나누면 수식 (22)과 같이 표현 할 수 있다.

$$\begin{aligned} x_1(n) &= x(2n), & n &= 0, 1, \dots, \frac{N}{2}-1 \\ x_2(n) &= x(2n+1), & n &= 0, 1, \dots, \frac{N}{2}-1 \end{aligned} \quad (22)$$

수식 (22)을 N-point DFT에 대하여 일반화 시키면 수식 (23)과 같이 표현할 수 있다.

$$\begin{aligned} X(k) &= \sum_{n=0}^{N/2-1} x[2n]W_N^{2nk} + \sum_{n=0}^{N/2-1} x[2n+1]W_N^{(2n+1)k} \\ &= \sum_{n=0}^{N/2-1} x_1[n]W_{N/2}^{nk} + W_N^k \sum_{n=0}^{N/2-1} x_2[n]W_{N/2}^{nk} \\ &= X_1(k) + W_N^k X_2(k) \end{aligned} \quad (23)$$

일반적인 FFT 과정은 수식 (24)와 같이 표현할 수 있으며, N-point FFT를 구성하는 가장 기본적인 단위는 2-point FFT이며, 이를 수행하는 블록을 butterfly라고 한다^[13].

$$X(k) = \begin{cases} X_1(k) + W_N^k X_2(k) & 0 \leq k \leq \frac{N}{2} - 1 \\ X_1(k - \frac{N}{2}) + W_N^k X_2(k - \frac{N}{2}) & \frac{N}{2} \leq k \leq N - 1 \end{cases} \quad (24)$$

Butterfly는 2개의 입력 A, B를 받아서 수식 (25)과 같은 2개의 출력 X, Y를 내보낸다.

$$X = A + W_N^k B, \quad Y = A - W_N^k B \quad (25)$$

Radix-2 알고리즘으로 인한 FFT 입력 및 출력의 비트 수는 식 (26)에 따라 결정되며, 그림 32는 butterfly 연산에 의한 입력 비트에 따른 출력 비트를 나타낸다.

$$Nr. \text{ of FFT Out} = Nr. \text{ of FFT Input} + Nr. \text{ of State} \quad (26)$$

그림 32에서 W_n 은 twiddle factor이다. FFT block을 고정 소수점으로 바꾸기 위해서는 FFT의 butterfly 연

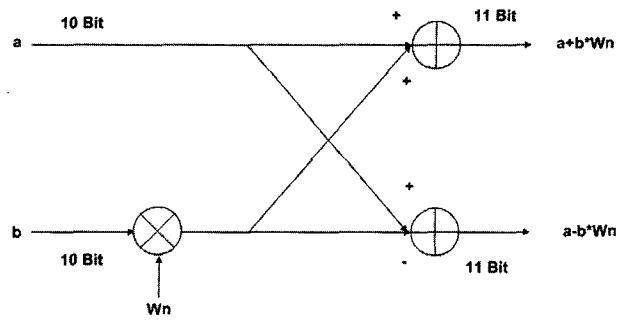


그림 32. Butterfly 연산에 따른 입·출력 비트.
Fig. 32. Input and output bit size according to the butterfly operation.

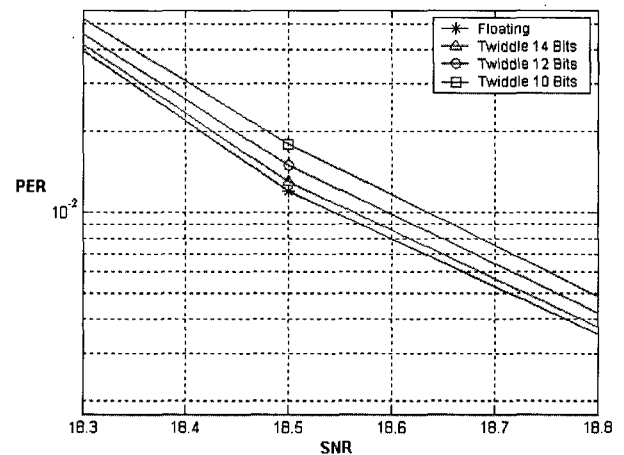


그림 33. Twiddle factor에 따른 FFT 성능.
Fig. 33. FFT performance according to twiddle factor.

산을 수행하기 위하여 필요한 twiddle factor 역시 고정 소수점으로 모의실험 해야 한다.

그림 33은 twiddle factor의 비트를 바꾸어 가면서 성능을 비교한 것이다.

가. Convergent Block Floating Point (CBFP)

FFT는 butterfly와 복소수 곱셈으로 구성되는 연산 단계를 거치면서 FFT Core의 중간결과 값의 비트 수가 증가한다는 단점을 가지고 있다. 따라서 고정 소수점 연산을 사용하는 FFT에 있어 각 연산 단계의 중간 결과 값을 적절한 내부 비트 사이즈로 제한해야 한다. 각 연산 단계의 출력을 FFT 내부 비트 사이즈로 잘라내는 절사 방법은 추가적인 메모리가 필요 없는 장점이 있지만, 단순 절사에 의한 FFT 출력의 정확도가 떨어져 SQNR (Signal to Quantization Noise Ratio)이 낮아지는 단점이 있다.

이를 개선하기 위한 방법으로, 고정 소수점 표현과 부동 소수점 표현을 혼합한 BFP (Block Floating Point) 스케일링 기법이 제안되었다^[14,15].

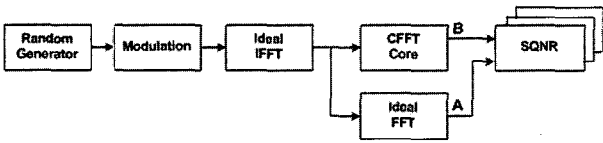


그림 34. SQNR 측정을 위한 블록 다이어그램.
Fig. 34. Block diagram for SQNR measurement.

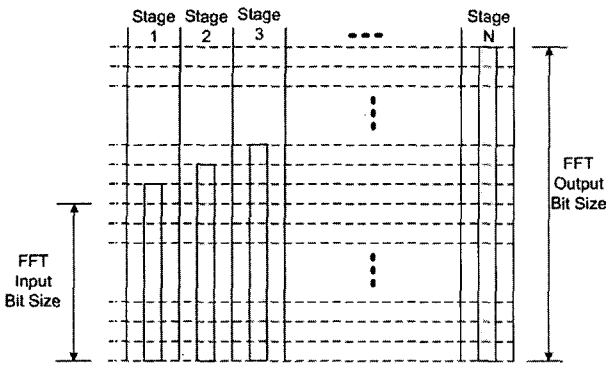


그림 35. State 수에 따른 FFT 출력 비트 사이즈 증가.
Fig. 35. FFT output bit size increase according to the number of state.

BFP 스케일링은 각 연산 단계의 중간 결과 데이터를 버퍼에 저장한 후, 이들 중 가장 큰 값을 기준으로 데이터를 스케일링하여 내부 비트 사이즈를 제안하는 방법이지만, 전체 데이터를 저장할 버퍼가 필요하므로 전력 소모가 큰 장점을 가지고 있다. CBFP는 FFT의 SQNR 향상을 위하여 제안된 기법으로 데이터의 연산은 독립적으로 이루어지므로, 각 데이터 블록의 연산이 종료된 직후 이 중에서 가장 큰 값을 기준으로 데이터를 스케일링하여 내부 비트를 줄이는 방법으로 버퍼 사이즈를 크게 줄일 수 있다는 장점이 있다.

$$SQNR = \frac{\sum \{Re(A)\}^2 + \sum \{Im(A)\}^2}{\sum \{Re(A) - Re(B)\}^2 + \sum \{Im(A) - Im(B)\}^2} \quad (27)$$

그림 34과 수식 (27)은 CBFP의 SQNR을 계산하기 위한 블록도와 수식을 나타낸다. 수식 (27)에서 A는 Ideal FFT의 출력 값을 B는 convergent FFT의 출력 값을 나타낸다. 수식 (27)에서 SQNR은 convergent FFT와 ideal FFT의 연산에 의한 출력 값이 비슷할수록 FFT 출력의 정확도는 높아진다.

FFT의 출력은 butterfly 연산으로 인해 큰 비트 사이즈를 갖고 있기 때문에 비트를 절사하지 않고 channel estimator로 들어가게 되면, channel estimator의 복잡도 또한 증가하게 된다. 그림 35는 state 수의 증가에 따른 채널 추정기의 출력 비트 수 증가를 나타내며, 그림 36은 FFT 출력 (a+10) 비트를 (a+4) 비트와 (a+6)

비트로 절사한 경우의 성능열화를 나타낸다.

(3) Channel Estimator

Channel estimator의 고정 소수점 설계는 부동 소수점 설계에서 선정된 채널 추정 방법을 고정 소수점으로 설계하는 것이다. 즉, 본 절에서는 III장에서 DL O-FUSC 채널의 채널 추정 방법 3번을 고정 소수점으로 설계할 것이다. 채널 추정기의 고정 소수점 설계는 채널 추정 알고리즘 자체의 고정 소수점 설계와 주파수 축으로 Interpolation 연산 과정에서의 나눗셈에 필요하다.

그림 37은 부동 소수점 설계에서 보상값인 1/3을 디지털로 스케일링한 값들에 대한 PER 성능을 나타내는데, 각각은 3비트(0.375), 4비트(0.3125), 5비트(0.34375)가 필요하다. 그림 37에서 나타나듯이 3비트를 사용하였을 경우 성능 열화가 약 0.1dB인 반면, 4비트와 5비

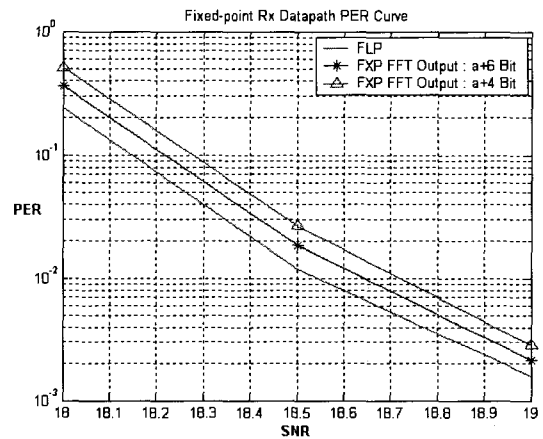


그림 36. FFT Fixed-point Simulation 성능.
Fig. 36. Performance of FXP FFT.

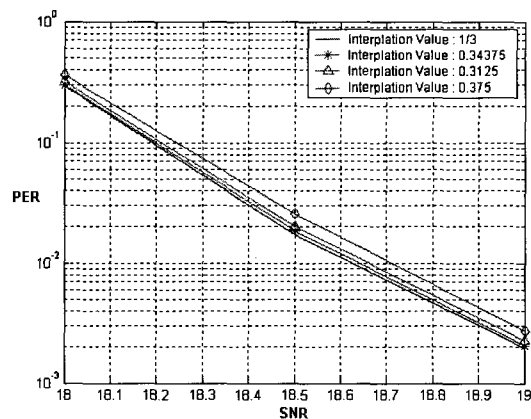


그림 37. Interpolation 값에 따른 채널 추정 성능.
Fig. 37. Channel estimation performance according to interpolation value.

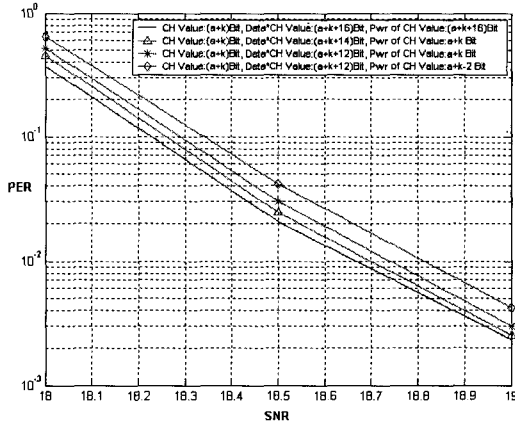


그림 38. 채널 보상기 내부 비트 크기에 따른 성능.
Fig. 38. Channel compensation performance according to internal bit size.

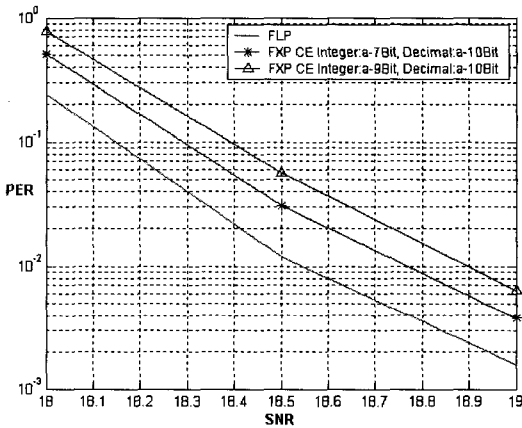


그림 39. FXP 채널 추정기 성능.
Fig. 39. Performance of FXP channel estimation.

트는 0.05dB 이하이기 때문에 4비트를 선택하는 것이 복잡도면이나 성능 열화 관점에 있어서 적절하다는 것을 알 수 있다.

고정 소수점 구현 시에 고려해야 할 점은 target SNR의 범위를 벗어나지 않는 범위 내에서 가능하면 비트 사이즈를 줄여야 한다는 것이다. 채널 보상기의 내부 구조에 있어서 파일럿 값의 제공이나 데이터 값의 곱은 매우 큰 값이므로 많은 비트 사이즈를 필요로 하게 된다. 따라서 이 값을 역시 모의실험을 통해 가능하면 최대한 줄여야 하며, 그림 38은 이에 대한 PER 성능 그래프를 나타낸다. 그림 38에서 파일럿의 제공에 해당하는 비트 사이즈가 상당히 줄었음을 알 수 있는데 이는 제공 연산에 의해 파일럿 값들이 상대적으로 큰 값으로 집중되기 때문이다. 그림 38에서 채널 보상기의 출력 비트는 파일럿 (a+k+2) 비트, 파일럿과 데이터의 곱 (a+k+14) 비트, 파일럿 제공 a 비트를 선택한다.

채널 추정기의 출력 신호는 파일럿의 제공 값으로 나누어지므로 채널 추정기의 최종 비트 사이즈를 결정해야 한다. 그림 39는 이에 대한 성능을 나타내며 출력 비트는 정수 (a-9)비트와 소수 (a-10) 비트이다.

(4) Simplified LLR (Log Likelihood Ratio)

Simplified LLR은 기존 LLR의 복잡도를 줄이면서도 성능 열화가 작은 알고리즘이다.

LLR이 채널 추정에 의해 보상된 데이터와 채널 추정 값을 이용하여 LLR을 계산한 후 소프트 판정을 하여 결정을 내리는 반면, simplified LLR은 전송 모드에 따라 decision boundary를 정해 소프트 값을 계산하는 알고리즘이다. 수식 (28) 과 수식 (29)은 64QAM in-phase 신호에 대한 decision boundary와 simplified LLR 계산식이다. Quadrature 신호에 대한 계산식도 식 (29)과 같다^[16].

$$LLR(b_{I,k}) \approx |G_{ch}(i)|^2 \cdot D_{I,k} \tag{28}$$

$$D_{I,1} = \begin{cases} y_I[i], & |y_I[i]| \leq 2 \\ 2(y_I[i]-1), & 2 < y_I[i] \leq 4 \\ 3(y_I[i]-2), & 4 < y_I[i] \leq 6 \\ 4(y_I[i]-3), & y_I[i] > 6 \\ 2(y_I[i]+1), & -4 \leq y_I[i] < -2 \\ 3(y_I[i]+2), & -6 \leq y_I[i] < -4 \\ 4(y_I[i]+3), & y_I[i] < -6 \end{cases} \tag{29}$$

$$D_{I,2} = \begin{cases} 2(-|y_I[i]|+3), & |y_I[i]| \leq 2 \\ 4-|y_I[i]|, & 2 < |y_I[i]| \leq 6 \\ 2(-|y_I[i]|+5), & |y_I[i]| > 6 \end{cases}$$

$$D_{I,3} = \begin{cases} |y_I[i]-2|, & |y_I[i]| \leq 4 \\ -|y_I[i]|+6, & |y_I[i]| > 4 \end{cases}$$

수식 (28)과 수식 (29)에서 y[i]는 수신 신호를 나타내며, G_{ch}(i)는 채널 값을 나타낸다.

그림 40에서 LLR 출력은 정수 (a-9) 비트 소수 (a-10) 비트이며, 그림 40의 그래프는 최종적인 하향링크 트래픽 채널의 고정 소수점의 성능을 나타내게 된다. 앞서 언급했듯이 부동 소수점 설계와 고정 소수점 설계의 Target PER 성능 열화를 0.5dB 이하로 설계해야 한다.

그림 35에서 확인 할 수 있듯이 FXP LLR까지의 성능 열화는 약 0.32dB로서 0.5dB이하로 설계된 것을 확인 할 수 있다. 이는 각 블록에 있어서 정확한 부동 소

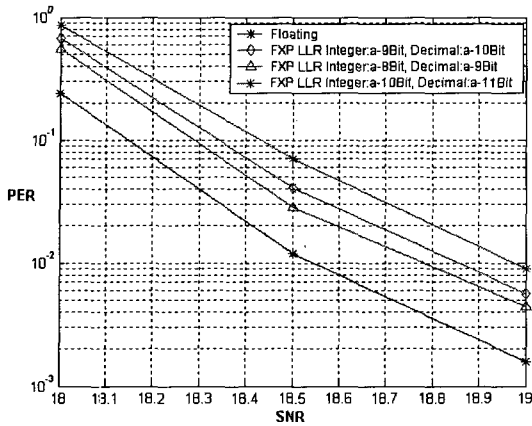


그림 40. FXP simplified LLR 성능.
Fig. 40. Performance of FXP simplified LLR.

수점 설계와 적정 비트 사이즈가 결정되었다는 것을 나타낸다.

3. 시간 및 주파수 동기

시간 및 주파수 동기의 고정 소수점 설계는 앞 절에서 언급된 트래픽 채널의 고정 소수점 설계 방법론을 통해 이루어진다. II장에서 언급된 알고리즘의 순서를 동일하게 수행하면서, 하나의 연산이 끝날 때 마다 histogram을 통해 신호 분포를 확인하고, saturation과 quantization 방법을 통해 고정 소수점 설계를 수행한다. 동기화 블록의 고정 소수점 설계도 트래픽 채널과 동일하게 부동 소수점 설계와 고정 소수점 설계의 성능 열화가 0.5dB 이내로 설계해야 한다.

그림 41과 42는 시간 동기화와 정수배 주파수 추정 고정 소수점 설계 성능을 나타내고, 그림 43은 cell ID 검출기의 고정 소수점 설계 성능을 나타낸다. 그림 4

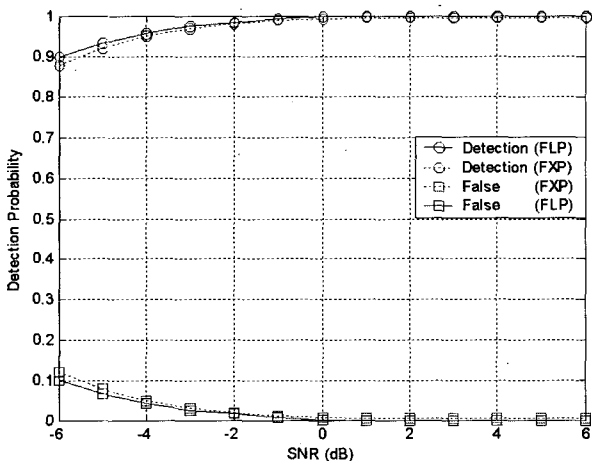


그림 41. FXP timing synchronization 성능.
Fig. 41. Performance of FXP timing synchronization.

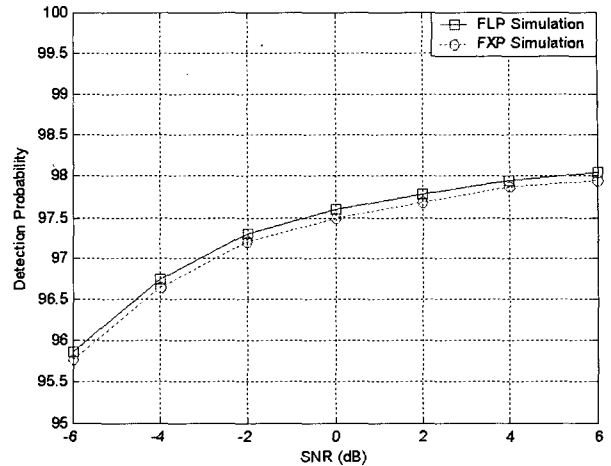


그림 42. 고정 소수점의 정수배 주파수 추정 성능.
Fig. 42. Performance of FXP Integer Frequency synchronization.

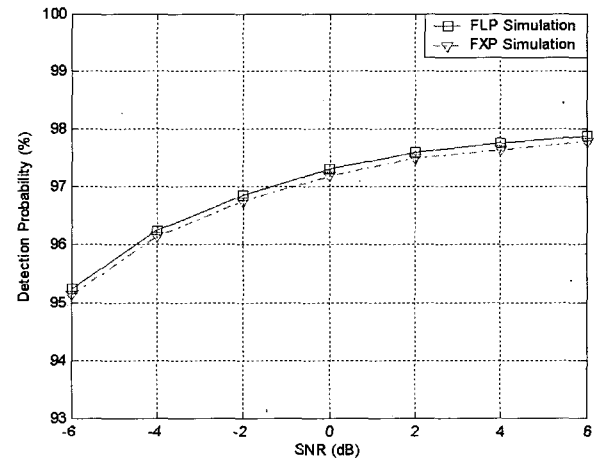


그림 43. 고정 소수점의 셀 탐색 성능.
Fig. 43. Performance of FXP Cell Search.

1~43을 통해 확인 할 수 있듯이 부동 소수점과 고정 소수점의 성능 차이가 모든 경우에 0.5dB 이내로 설계된 것을 확인 할 수 있다.

4. DFE의 고정 소수점 설계

DFE의 고정 소수점 설계도 앞 절에서 언급된 트래픽 채널의 고정 소수점 설계와 동일한 방법을 통해 이루어진다.

(1) DC Offset Compensator

가. Loop Filter

그림 44는 loop filter의 구조를 나타낸다. 고정 소수점 설계시 H/W 동작의 복잡도를 고려하여 검출된 DC 오프셋 출력 bit를 모두 loop filter의 입력으로 사용하지 않고 DC 오프셋 보상기의 성능을 열화 시키지 않는 범위에서

사용빈도가 매우 낮은 MSB γ bit를 Shift 방법으로 제거하여 loop filter의 입력으로 $(\alpha - \gamma)$ bit만을 사용한다. Loop filter의 입력과 출력 bit의 크기는 식 (30)의 조건을 만족하여야 한다.

$$Bit_{Loop-in} \leq Bit_{Loop-out} \quad (30)$$

$$Bit_{Loop-depth} = Bit_{Loop-out} - Bit_{Loop-in} \quad (31)$$

수식 (30)의 $Bit_{Loop-in}$, $Bit_{Loop-out}$ 은 각각 loop filter의 입력과 출력 bit의 크기를 나타내며 $Bit_{Loop-in}$ 은 $(\alpha - \gamma)$ bit이다. 만일 loop filter가 식 (30)을 만족하지 않으면, 검출된 DC 오프셋의 유효 정보를 버리는 것이므로 정확한 DC 오프셋 보상이 불가능하게 된다. 식 (31)의 $Bit_{Loop-depth}$ 는 loop filter depth를 나타내며, 그림 44에서 β 로 표현된다. $Bit_{Loop-depth}$ 가 작을수록 loop filter 입력이 loop filter 출력에 영향을 끼치는 비율이 커지게 되어 loop filter 입력이 짧은 시간 내에 loop filter 출력에 반영되므로 acquisition time은 줄어들지만 DC 오프셋 보상기의 동작이 채널의 변화에 순간적으로 반응하게 되어 DC 오프셋 보상기의 안정도 특성이 저하된다. 반면에 $Bit_{Loop-depth}$ 가 클수록 loop filter 입

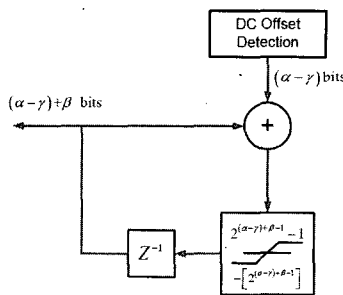


그림 44. Loop filter 구조.
Fig. 44. Loop filter structure.

력이 loop filter 출력에 반영되는 비율이 적어져 acquisition time은 길어지지만, DC 오프셋 보상기의 동작이 채널의 변화에 순간적으로 반응하지 않게 되어 DC 오프셋 보상기의 안정도 특성이 향상된다.

그림 45은 DC 오프셋이 0.09인 경우의 loop filter depth에 따른 DC 오프셋 보상 신호를 보여준다. 그림 45로부터 loop filter depth가 0인 경우에는 loop filter depth가 4인 경우에 비해 acquisition time은 매우 짧으나 fluctuation의 정도가 심하기 때문에 안정도 특성이 좋지 않음을 알 수 있다. 따라서 loop filter의 고정 소수점 설계 시 출력 bit의 크기를 결정 할 때는 acquisition time과 안정도간의 trade-off를 고려해야 함을 알 수 있다.

그림 46은 DC offset compensator의 성능을 나타낸다. 그림 46은 DC offset을 0.03, 0.05, 0.07, 0.09를 인가

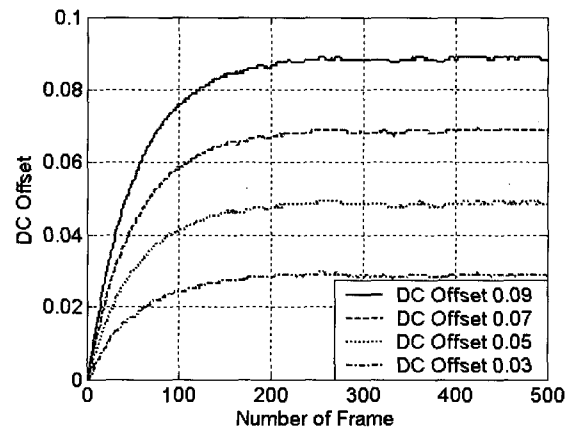


그림 46. DC offset에 따른 DC offset 보상신호.
Fig. 46. DC offset compensation signal corresponding to each DC offset.

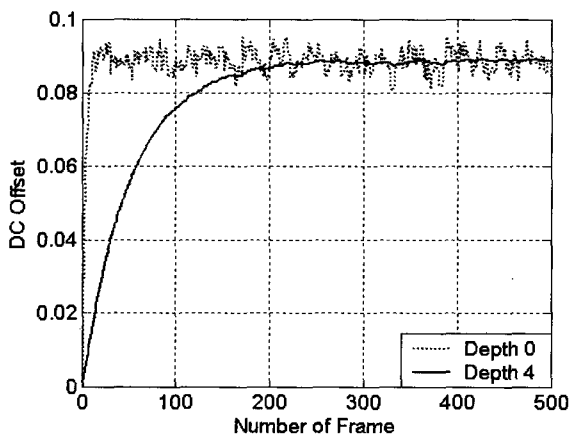


그림 45. Loop filter depth에 따른 DC offset 보상 신호.
Fig. 45. DC offset compensation signals corresponding to loop filter depth.

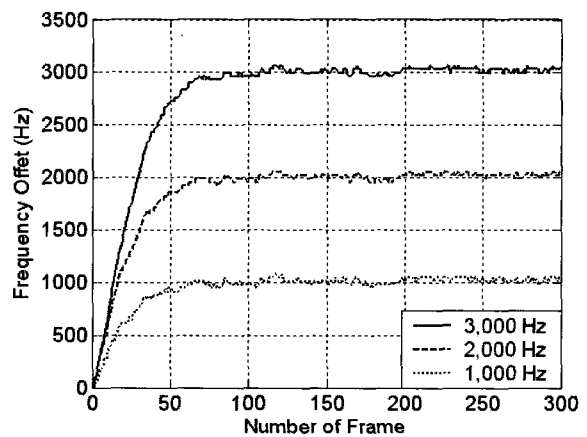


그림 47. Frequency offset에 따른 AFC 보상 신호.
Fig. 47. AFC compensation signal corresponding to each frequency offset.

하였을 때, 각각의 DC offset에 따른 DC offset 보상 신호를 보여준다. 시뮬레이션 결과에 의하면, 약 150 frame을 수신하게 되면 DC 오프셋을 제거할 수 있다. 그리고 150 frame이후의 fluctuation이 작기 때문에 안정도 특성도 좋은 것을 확인할 수 있다.

(2) AFC

AFC는 DC offset 보상기와 동일한 방법으로 acquisition time과 안정도간의 trade-off를 고려하여 고정 소수점 설계를 해야 한다. 그림 47은 AFC의 성능을 나타낸다. 그림 47은 frequency offset을 3000, 2000, 1000Hz를 인가하였을 때, 각각의 frequency offset에 따른 AFC의 보상 신호를 보여준다. 그림 28에 의하면, 약 50 frame을 수신하게 되면 주파수 오프셋을 제거할 수 있고, 50 frame이후의 fluctuation이 작기 때문에 안정도 특성이 좋은 것을 확인할 수 있다.

(3) AGC

가. Look-Up Table

H/W에서는 log 연산을 수행할 수 없으므로, LUT를 사용하여 수신 신호의 평균 magnitude의 dB 값을 산출한다. LUT를 구현함에 있어서 H/W의 복잡도를 줄이기 위해 magnitude 계산 출력 α bit를 모두 LUT의 입력으로 사용하지 않고 시스템의 성능을 열화 시키지 않는 범위에서 MSB ϵ bit를 shift 방법으로 제거하여 loop filter의 입력으로 $(\alpha - \epsilon)$ bit를 사용한다. LUT의 출력이 dB 값의 정수와 소수점까지 고려할 경우, 보다 정확한 이득 조절을 수행할 수 있다.

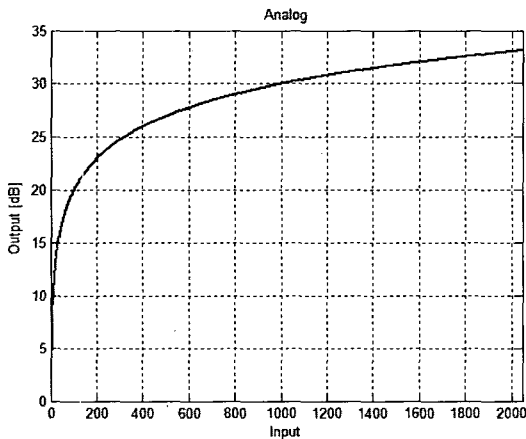


그림 48. Analog 입력에 대한 dB 출력.
Fig. 48. Output value in dB corresponding to analog input.

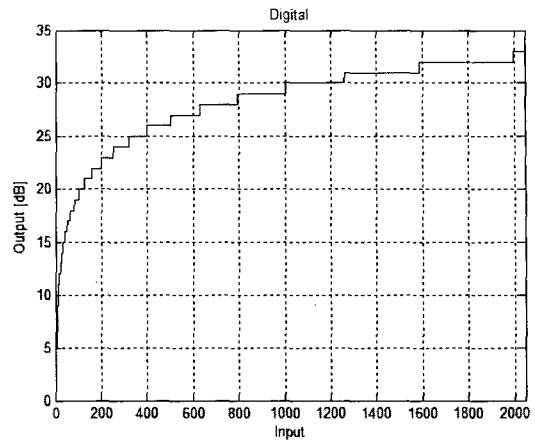


그림 49. 정수만 고려한 Digital 입력에 대한 dB LUT 출력.
Fig. 49. Output integer valued in dB corresponding to digital input through LUT.

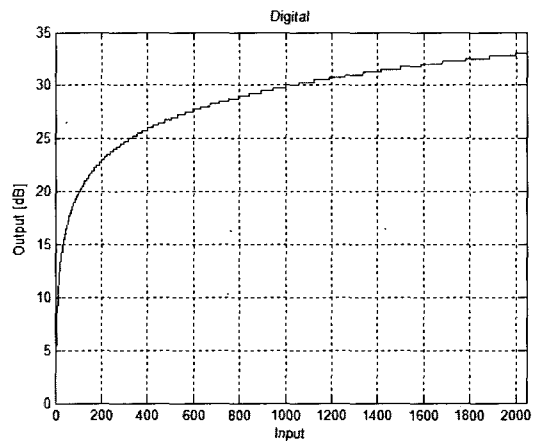


그림 50. 소수점 2bit 고려한 Digital 입력에 대한 dB LUT 출력.
Fig. 50. Output with two bits decimal points in dB corresponding to digital input through LUT.

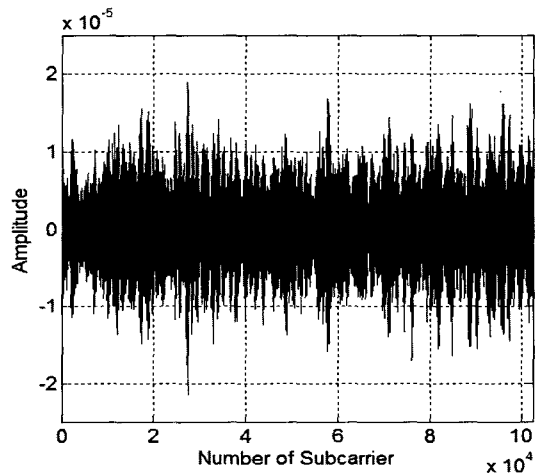


그림 51. Path-loss를 겪은 수신신호의 amplitude.
Fig. 51. Amplitude of received signal under path-loss.

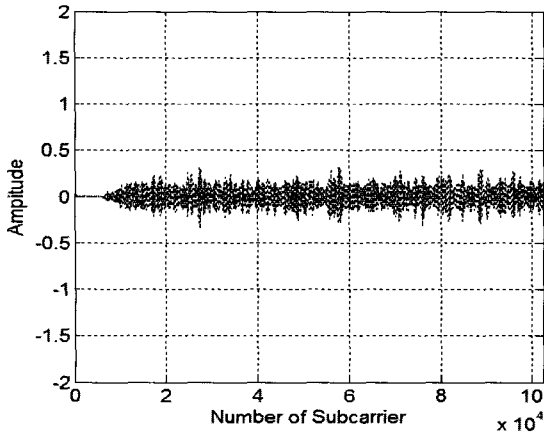


그림 52. Reference value를 이용하여 이득 조절된 수신 신호의 Amplitude.

Fig. 52. Amplified amplitude of the received signal with reference value.

그림 48은 아날로그 입력에 대한 dB 출력값을 나타내고, 그림 49와 50는 각각 LUT를 이용한 디지털 입력에 대한 dB 출력값을 나타는 것으로서, 그림 49의 LUT 출력은 정수만을 나타내고, 그림 50의 LUT 출력의 2 bit는 소수점을 표현한다. 그림 49와 50에서 알 수 있듯이 LUT의 dB 출력이 정수만을 고려하는 경우보다 소수점까지 고려하는 경우가 그림 48과 더욱 유사함을 알 수 있다.

그림 51과 52는 AGC 동작 전의 수신신호와 AGC 동작 후의 성능을 나타낸다. AGC은 참조 값에 의해 결정되므로 시스템의 성능 열화를 최소로 하는 참조 값을 찾아야 하며, ADC 입력 신호가 과도하게 증폭되어 ADC 출력의 overflow가 발생하거나 ADC 입력 신호가 과도하게 작아지는 경우가 없도록 설계해야한다. 그림 51은 IEEE 802.16e OFDMA/TDD 시스템의 최대 셀 반경인 1km 상향의 path loss를 겪은 수신 신호를 나타낸다. 그림 52는 AGC의 성능을 시뮬레이션을 통해 보여주는 것으로서, 참조 값에 따라 이득 조절된 신호를 보여준다. 시뮬레이션 결과로부터 약 10 Frame을 수신하면 Path loss를 겪은 신호의 이득을 조절할 수 있고, 안정도 특성이 좋은 것을 알 수 있다.

5. 상향링크 트래픽 채널

상향 링크 트래픽 채널의 고정 소수점 설계를 하기 위해 중요한 요소는 symbol mapper의 비트 수와 FFT의 비트수이다. FFT의 비트수는 하향링크와 동일하고 그림 53은 symbol mapper의 비트수에 따른 고정 소수점 설계 성능을 나타낸 것이다. 그림에서 확인할 수 있

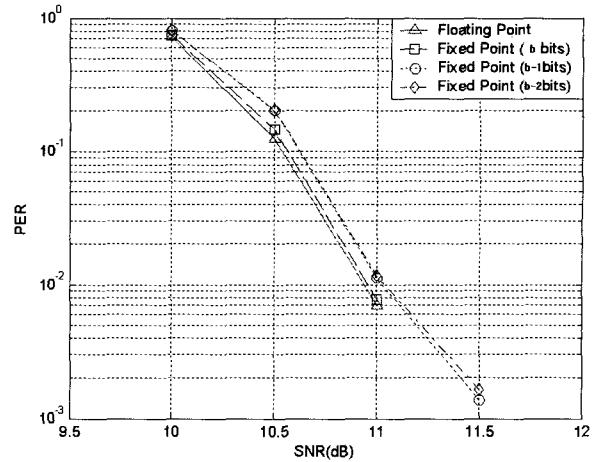


그림 53. 상향링크 트래픽 채널의 고정 소수점 성능.

Fig. 53. Performance of FXP uplink traffic channel.

듯이 b 비트로 설정하였을 때, 부동 소수점과 약 0.2dB의 성능 열화가 있는 것을 확인 할 수 있고, (b-1) 비트와 (b-2)비트는 성능 열화가 많아서 사용할 수 없다.

V. 결 론

본 논문은 IEEE 802.16e OFDMA/TDD 이동국 모뎀을 구현하기 위한 부동 및 고정 소수점 설계에 대하여 설명하였다. 부동 소수점 설계에서는 H/W의 복잡도와 성능간의 trade-off를 고려하여 최적의 알고리즘을 제안하고, 고정 소수점 설계에서는 부동 소수점과의 성능 차이와 H/W의 bit를 최소화하는 것을 목적으로 하였다.

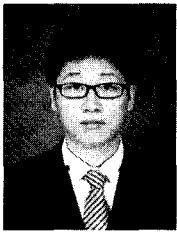
부동 소수점 설계에서는 상향링크와 하향링크 트래픽 채널에 대하여 채널 추정 방법을 제안하고 모의실험을 통해 최적의 알고리즘을 선정하였다. 그리고 시간 및 주파수 동기에서는 기존의 시간 동기화 기법의 문제점을 도출하고, 문제점의 해결방법으로 적합한 알고리즘을 제안하였고, 정수배 주파수 추정을 위한 구조를 제안하였다. 또한 IEEE 802.16e OFDMA/TDD 시스템 단말 수신기의 입력 신호에 대하여 DC offset compensation, AFC, AGC를 수행하는 DFE의 동작 원리에 대하여 설명하고, DFE의 성능을 시뮬레이션 결과를 통해 분석하였다.

고정 소수점 설계에서는 부동 소수점 설계로부터 최적의 고정 소수점 설계를 위한 효율적인 방법론을 제시하였다. 그리고 하향링크와 상향링크의 트래픽 채널, 시간 및 주파수 동기, DFE 블록을 고정 소수점 설계하고, 모의실험을 통하여 성능과 복잡도 간의 Tradeoff 관계를 최적화 하였다.

참 고 문 헌

- [1] *Recommendation ITU-R M.1225*, Guidelines for Evaluation of Radio Transmission Technologies for IMT-2000. 1997.
- [2] IEEE P802.16e/D11-2005 IEEE Standards for local and metropolitan area networks part 16: Air interference for fixed broadband wireless access systems.
- [3] T.M. Schmidl and D.C. Cox, "Robust frequency and timing synchronization for OFDM," *IEEE Trans. Comm.*, vol. 45, pp. 1613-1621, Dec. 1997.
- [4] 노정호, 선태형, 장경희, "OFDMA 시스템의 시간 및 주파수 동기 성능 향상을 위한 동기화 알고리즘," *한국통신학회 논문지*, vol.31, No.4A, pp. 402-411, 2006. 04.
- [5] 강승원, 선태형, 장경희, 임인기, 어익수 "IEEE 802.16e OFDMA-TDD 시스템 digital front end의 fixed-point 설계 최적화," *한국통신학회 논문지*, vol.31, No.7C, pp. 735-742, 2006. 07.
- [6] 이용수, 박윤옥, 유창완, 김준우, 김대호, "직교 주파수 분할 다중 시스템의 디씨 오프셋 제거 장치 및 그 방법," *한국전자통신연구원*, Patent Nr. 10-0507521, 2005. 08.
- [7] 김기윤, 최형진, "케이블 모뎀을 위한 AGC 및 DC Offset Remover 설계," *대한전자공학회 논문지*, 2권 2호, pp. 775-779, 1999.
- [8] Victor P. Gil Jimenez, Julia Fernandez Getino Garcia, Francisco J. Gonzalez Serrano, and Ana Garcia Armada, "Design and implementation of synchronization and AGC for OFDM-based WLAN receivers," *IEEE Trans. On Consumer Electronics*, vol. 50, pp. 1016-1025, Nov. 2004.
- [9] 김남태, 황윤선, 박광량, "RF/IF 자동 이득조절 루프 해석 및 설계," *한국통신학회 논문지*, 20권 3호, 1995. 03.
- [10] K.H. Chang, I.S. Eo, X.D. Lin, and J.S. Kim, "Frequency selective Rayleigh fading channel and AGC loop modeling for CDMA system," in *Proc. Asia-Pacific Conf. on Comm.*, June 1995, pp. 240-244.
- [11] 이용수, 박윤옥, 김준우, 김대호, "직교 주파수 분할 다중 시스템의 자동 이득 조절 장치 및 그 방법," *한국전자통신연구원*, Nr. 10-2005-0060635, 2005. 06.
- [12] Marc Engels, *Wireless OFDM Systems*. Kluwer, 2002.
- [13] Emmanuel C. Ifeakor and Barrie W. Jervis, *Digital Signal Processing*. Prentice Hall, pp. 777-782, 2001.
- [14] R.G. Lyons, *Understanding Digital Signal Processing*. Addison-Wesley, 1997.
- [15] 이승기, 양대성, 신경욱, "2단계 수렴 블록 부동점 스케일링 기법을 이용한 8192점 파이프라인 FFT/IFFT 프로세서," *한국통신학회논문지*, vol. 27, No. 10C, pp. 963-972.
- [16] Filippo Tosato and Paola Bisaglia, "Simplified Soft-Output Demapper for Binary Interleaved COFDM with Application to HIPERLAN2," *ICC 2002*, May 2002, pp. 664-668.

저 자 소 개



선 태 형(정회원)
2005년 인하대학교 컴퓨터공학과
학사 졸업.
2006년 현재 인하대학교
정보통신대학원 석사과정

<주관심분야 : 4세대 이동통신 시스템, MIMO 시스템 및 WiBro 시스템 무선 전송규격, Cognitive Radio, RRM>



강 승 원(정회원)
2005년 인하대학교 전자공학과
학사 졸업.
2006년 현재 인하대학교
정보통신대학원 석사과정

<주관심분야 : 4세대 이동통신 무선전송방식, MIMO 시스템 및 WiBro 시스템 무선 전송규격, Wavelet-based OFDM 시스템, Turbo Equalizer>



김 규 현(정회원)
2005년 인하대학교 정보통신
공학과 학사 졸업.
2006년 현재 인하대학교
정보통신대학원 석사과정

<주관심분야 : 4세대 이동 통신 시스템, MIMO 및 Smart Antenna System, WiBro 시스템 무선 전송 규격, Cooperative Relaying System>



장 경 희(정회원)
1985년 연세대학교 전자공학과
학사 졸업.
1987년 연세대학교 전자공학과
석사 졸업.
1992년 Texas A & M Univ.,
EE Dept. 박사 졸업.

1989년~1990년 삼성종합기술원 주임연구원.
1992년~2003년 한국전자통신연구원, 이동통신
연구소 무선전송방식연구팀장
(책임연구원).

2003년~현재 인하대학교 정보통신대학원
부교수.

<주관심분야 : 4세대 이동통신 및 3GPP LTE 무
선 송방식, WMAN 및 DMB 시스템 무선전송
기술, Cognitive Radio, Cross-layer Design,
Cooperative Relaying System>