

수광 회로와 윤곽 검출 회로의 분리를 통한 윤곽 검출용 시각칩의 해상도 향상

공재성[†] · 서성호* · 김상헌 · 신장규 · 이민호

Resolution improvement of a CMOS vision chip for edge detection by separating photo-sensing and edge detection circuits

Jae-Sung Kong[†], Sung-Ho Suh*, Sang-Heon Kim, Jang-Kyoo Shin, and Minho Lee

Abstract

Resolution of an image sensor is very significant parameter to improve. It is hard to improve the resolution of the CMOS vision chip for edge detection based on a biological retina using a resistive network because the vision chip contains additional circuits such as a resistive network and some processing circuits comparing with general image sensors such as CMOS image sensor (CIS). In this paper, we proved the problem of low resolution by separating photo-sensing and signal processing circuits. This type of vision chips occurs a problem of low operation speed because the signal processing circuits should be commonly used in a row of the photo-sensors. The low speed problem of operation was proved by using a reset decoder. A vision chip for edge detection with 128×128 pixel array has been designed and fabricated by using $0.35 \mu\text{m}$ 2-poly 4-metal CMOS technology. The fabricated chip was integrated with optical lens as a camera system and investigated with real image. By using this chip, we could achieved sufficient edge images for real application.

Key Words : vision chip, edge detection, resolution, reset decoder

1. 서 론

생체 시스템은 오랜 시간을 걸쳐 진화해 왔기 때문에 그 구조는 주변 환경에 최적화되어 있다. 이 때문에 많은 공학자들은 이러한 생체 시스템에서 구조적으로 우수한 부분을 모방하고자 하는 연구를 수행하여 왔다. 인간의 눈 역시 모방할 만한 우수한 구조적인 특성을 가지고 있다. 특히 윤곽 검출, 움직임 검출 등을 효과적으로 수행하고 있는 망막의 병렬 신호 처리 구조는 기존의 영상 처리 시스템에서 어려움을 겪고 있는 시스템의 크기, 전력 소모 및 영상 처리 속도 문제를 해결할 수 있는 하나의 중요한 단서가 될 수 있다^[1,2].

윤곽 검출의 경우 물체 패턴 인식, 의료 영상의 인식

성 향상, 군사적으로 사용되는 적외선 이미지를 이용한 영상 처리 등과 같은 많은 영상 처리에 사용되어 지고 있다^[3-5]. 일반적으로 이러한 영상 처리를 위해서는 CCD(charge-coupled devices)를 이용하여 원하는 목표 물체의 영상을 얻고 이 신호를 컴퓨터에 전송하여 라플라시안(laplacian) 필터링과 같은 소프트웨어적인 방법으로 이루어진다. 이러한 시스템의 경우 영상을 획득하기 위한 시스템과 영상을 처리하기 위한 시스템이 호환성 없이 구분되어 있으므로 전체 시스템의 크기를 줄이기 어렵고 두 시스템을 연결하기 위한 특별한 인터페이스 시스템이 추가적으로 필요하다. 또한 이러한 큰 시스템을 구동하기 위해서 필요한 전력 소모의 측면 역시 무시될 수 없으며, 영상 처리를 위한 작업이 순차(sequence)적으로 이루어지기 때문에 그 수행 시간 역시 줄이기 힘들다^[2].

최근, CMOS 공정 기술을 이용한 이미지 센서가 발달함에 따라 CIS(CMOS image sensor)와 신호 처리 회로를 집적한 형태의 새로운 영상처리에 대한 연구가 가능하게 되었다^[6-10]. 특히 이러한 영상 처리를 위해서

경북대학교 전자공학과 (Department of Electronics, Kyungpook National University)

*삼성전자 시스템 LSI 사업부 (System LSI Division, Samsung Electronics Co., Ltd.)

[†]Corresponding author: kongjs@ee.knu.ac.kr

(Received : September 29, 2005, Accepted : December 30, 2005)

인접 셀을 저항 성분의 회로로 연결하여 만들 수 있는 저항망을 이용, 생체 망막 특유의 계층 구조를 모방한 병렬 처리 메커니즘을 구현하여 영상 신호의 처리 속도 향상, 즉 원하는 윤곽 영상을 매우 빠른 속도로 획득할 수 있다. 그리고 광 센서와 신호 처리 회로를 하나의 칩에 집적하기 때문에 저소비 전력, 작은 면적 소모 등의 추가적인 장점을 얻을 수 있다^{1),2),7),11)}.

최근 간소화된 CDS(correlated-double sampling) 회로를 응용한 윤곽 검출용 시각칩의 해상도 제약을 극복할 수 있는 방법에 대한 연구가 다양하게 이루어지고 있다¹⁰⁾. 간소화된 CDS를 응용한 칩은 단위 픽셀 내에 저항망을 구현을 위한 저항 회로 및 윤곽 검출을 위한 회로가 집적되어 있어 단위 픽셀의 면적이 크게 증가하게 되고, 이 때문에 해상도를 향상시키기 어렵다. 이러한 제약을 극복하기 위해서 Sung-Ho Suh 등¹⁰⁾은 레이아웃의 최적화, 칩 사이즈의 증가 및 수광부와 윤곽 검출 회로부의 분리 등의 가능성에 대하여 언급하였다. 레이아웃의 최적화를 통하여 기대할 수 있는 해상도의 향상은 그 한계가 있고, 칩 사이즈의 증가는 비용 증가와 직결된다. 이에 비해서 수광부와 윤곽 검출 회로를 분리하는 방법은 비용의 증가 없이 해상도를 크게 향상시킬 수 있는 방법이다.

본 논문에서는 수광부와 윤곽 검출 회로를 분리한 구조를 가지는 윤곽 검출용 시각칩의 구현 가능성과 구현 중 발생하는 문제점 및 그 해결 방법을 제시하고자 한다. 이와 더불어 실제로 이러한 구조를 바탕으로 0.35 μm 2-poly 4-metal 표준 CMOS 공정을 이용하여 4 × 4 mm²의 칩 안에 구현된 128 × 128 픽셀 해상도를

갖는 윤곽 검출용 시각칩을 설계 및 제작하고 그 성능을 평가하였다.

2. 배경 이론

2.1. 망막의 윤곽 검출 원리

그림 1은 인체의 망막의 구조를 간소화하여 나타낸 그림이다. 인체의 망막은 부축삭 세포(amacrine cell), 신경절 세포(ganglion cell), 시세포(rods and cones), 수평 세포(horizontal cell) 및 쌍극 세포(bipolar cell) 등으로 구성되어 있다. 인간의 망막은 단순히 입사하는 빛에 대한 영상 신호를 만들어 내는 것에 그치지 않고, 그 신호를 뇌에게 전달하기 전에 뇌가 정보로서 활용하기 쉬운 형태의 정보, 예를 들어 윤곽, 움직임 등으로 변환하는 기능을 가지고 있다. 이렇게 일차 처리된 신호를 통하여 뇌는 주변 환경에 빠르게 적응하여 행동할 수 있다. 이러한 여러 가지 기능을 가지는 망막의 기능 중에 본 연구에서는 Mead에 의해서 제안된 저항 망 구조를 이용하여 윤곽 검출에 관여한다고 알려진 시세포, 수평 세포 그리고 쌍극 세포의 기능을 모방하는 칩을 개발하고자 한다²⁾.

그림 2는 인체 망막에서 윤곽 검출에 관여하는 세포

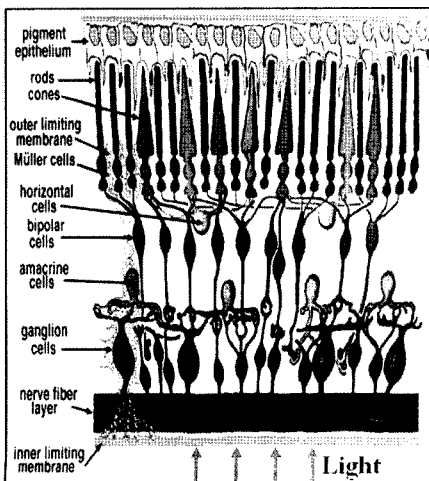


그림 1. 망막의 구조
Fig. 1. Structure of retina.

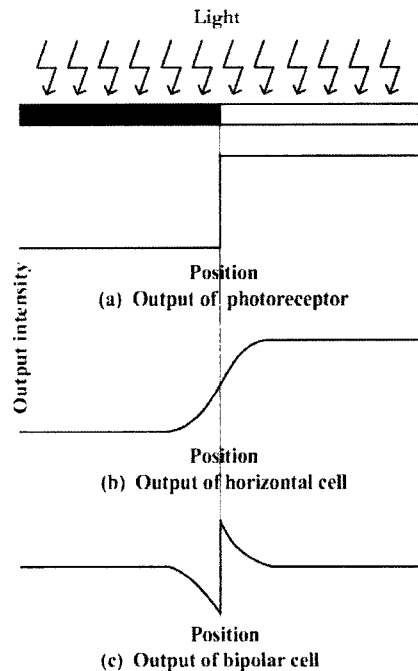


그림 2. 윤곽 검출의 원리
Fig. 2. Principle of edge detection.

들의 응답 특성을 나타낸 것이다. 일차원으로 배열되어 있는 세포를 가정하였을 때 그림 2의 가로 축은 각 세포의 위치를 나타내고 세로 축은 신호의 크기를 나타낸다. 만약 이러한 배열의 중앙에 그림 2의 상단과 같은 형태의 윤곽 입력이 입사된다고 가정한다면, 시세포 출력은 그림 2(a)와 같이 중앙을 기준으로 좌측은 낮은 레벨의 신호가, 우측은 높은 레벨의 신호가 발생한다. 이 신호는 병렬로 연결되어 있는 신경망을 통해서 수평 세포로 전달되고 수평 세포는 시 세포의 출력 신호가 가우시안 필터링(gaussian filtering)된 형태로 공간적으로 평활된 신호를 만들어 낸다. 쌍극 세포는 시 세포와 수평 세포의 신호를 역시 병렬로 연결되어 있는 신경망을 통하여 받아서 그 차이를 출력함으로써 윤곽 부분에서 큰 출력 신호를 얻을 수 있다. 이렇게 얻어지는 윤곽 신호는 전체적으로 소프트웨어적으로 라플라시안 필터링 처리를 한 것과 유사한 윤곽이 강조된 출력 형태를 가진다. 하지만 소프트웨어적으로 처리할 경우 모든 픽셀에 대해서 신호를 순차 처리하여야 하기 때문에 해상도가 늘어남에 따라 신호 처리에 걸리는 시간이 길어짐에 반해서 모든 신호 처리를 병렬로 이루어지는 망막의 윤곽 검출 메커니즘을 이용한다면 해상도에 관계 없이 고정된 짧은 시간 내에 신호 처리가 가능해진다.

2.2. 잡음 감쇄를 위한 간소화된 CDS 회로의 적용

이러한 아날로그 병렬 신호 처리 구조의 윤곽 검출 시각칩의 설계에 있어서 픽셀마다 가지는 잡음(noise) 성분은 최종 출력 신호에 나쁜 영향을 미친다. 특히 구현하고자 하는 윤곽 검출 시각칩의 경우에는 수광 회로, 저항망 등의 평활 회로, 차동 신호를 얻기 위한 회로 등의 많은 회로가 집적되기 때문에 이러한 잡음 요소가 영향을 미칠 수 있는 부분이 많이 존재한다. 이러한 잡음은 일반적으로 공정상에서 발생하는 MOSFET의 부정합, 웨이퍼(wafer)에서의 칩의 제작 위치 등 여러 가지 공정 변수에 의해서 필연적으로 발생하게 된다^[12]. 윤곽 검출 시각칩의 경우 수광 회로에서 얻어진 영상 신호에 포함된 잡음은 윤곽 검출을 위한 신호 처리 이전에 일차적으로 반드시 제거되어야 한다. 이를 위한 잡음 감쇄 회로의 추가는 해상도를 향상시키는데 큰 걸림돌이 된다.

본 연구에서는 이러한 잡음 제거를 위해서 Kavadias가 제안한 간소화된 형태의 잡음 감쇄 회로를 적용하였다^[13]. 그림 3은 간소화된 CDS의 회로를 나타낸 것이다. 일반적으로 사용되어지는 CDS 회로의 경우 2개의 커패시터가 필요하고, 이를 이용하여 단위 픽셀을 구성할 경우 매우 큰 면적을 차지하게 된다. 이에 반해

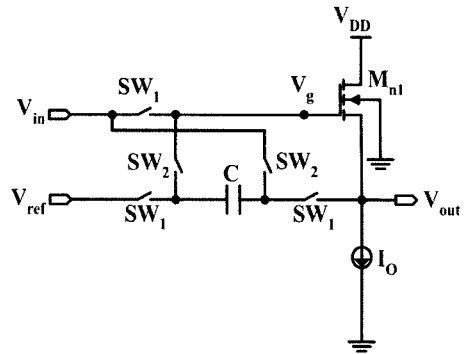


그림 3. 간소화된 CDS의 회로도
Fig. 3. Schematic of simplified CDS circuit.

서 간소화된 CDS의 경우 스위치의 개수가 일반적으로 사용하는 CDS에 비해서 많지만, 실제 구현에서 매우 큰 면적을 차지하는 커패시터를 단 하나만 사용하기 때문에 전체적으로 면적 소모를 크게 줄일 수 있다^[10]. 이와 더불어 M_{n1} 및 I_{O} 로 구성된 소스 팔로워 증폭기(source follower amplifier)에서 발생할 수 있는 잡음 성분 역시 제거 가능하기 때문에 윤곽 검출 시각칩의 구현에 매우 적합한 특성을 가진다. 간소화된 CDS의 동작은 일반적인 CDS와 비슷하게 위상이 다른 두 가지의 스위치, SW_1 및 SW_2 를 이용하여 제어된다. 스위치 SW_1 이 닫힐 때, 커패시터 C에는 기준 전압 V_{ref} 와 출력 전압 V_{out} 의 차에 비례하는 전하가 축적된다. 이후 스위치 SW_1 이 열리게 되고 스위치 SW_2 가 닫히면 최종 출력이 나오게 되며, 그것은 식 (1)과 같이 나타낼 수 있다^[10].

$$V_{out} = V_{ref} - V_{in1} + V_{in2} \tag{1}$$

여기서 V_{in1} 및 V_{in2} 는 그림 3의 V_m 노드에서 입력되는 다른 두 신호(예: 광출력 신호와 리셋 신호)를 의미한다.

2.3. 해상도 향상을 위한 수광 회로 및 윤곽 검출 회로의 분리

이미지 센서의 설계에 있어서 해상도는 그 센서의 특징을 구분짓는 가장 중요한 파라미터 중 하나이다. 기존의 저항망을 이용한 윤곽 검출 시각칩에서는 단위 픽셀에 공간적으로 평활된 신호를 얻기 위한 저항망 회로 및 쌍극 세포의 기능인 신호의 차이를 얻어내는 회로 등의 신호 처리 회로가 함께 포함되어 있어서 소비 면적이 증가하게 되고, 이로 인해서 해상도가 크게 떨어지는 문제가 발생하였다. 이러한 문제는 2차원으로 배열되어 있는 수광부와 일차원으로 연결되어 있는 저항망을 이용한 윤곽 검출 회로를 이용하여 해결할 수 있다. 하

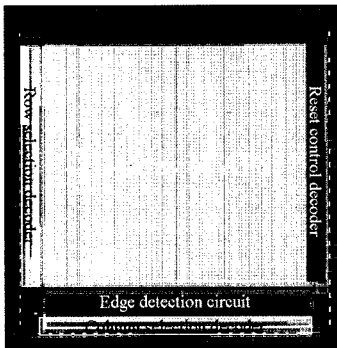
팔로워의 정전류원 역할을 하는 MOSFET M_{p1} 및 간소화된 CDS(이상 그림 5(a))와 그리고 그림 5(b)의 쌍극세포의 차동 증폭 역할을 하는 회로로 구성되어 있다. 수광부의 출력 신호인 V_{PD} 는 이미 MOSFET M_{n1} , M_{p1} , M_{p2} 의 문턱 전압 변화에 의해서 잡음을 가진다. 이러한 신호를 그대로 신호 처리에 이용할 경우 잡음 신호 역시 윤곽 신호로 인식되어 출력되어 진다^[10]. 이 신호는 신호 처리 전에 먼저 제거되어 져야 하며, 그 역할을 위해서 간소화된 CDS를 이용할 수 있다. 먼저 SW_1 이 닫히면 되면 그림 5(a) 커패시터 C의 양단에는 V_{ref1} 와 M_{n2} 및 M_{n2} 로 구성된 소스 팔로워를 통해서 영상 신호에 대응하는 신호가 PD_{out} 노드로 충전된다. 이 후 SW_1 이 열린다. 그 다음, MOSFET M_{n1} 에 의해서 APS가 초기화되면 SW_2 가 닫히면서 커패시터 우 측단에는 APS의 잡음을 포함한 초기 신호 성분이 전달되고, 잡음 성분은 감쇄된다. 이렇게 잡음이 감쇄된 영상 신호는 그림 5(b)에 나타있는 저항망을 통과하여 공간적으로 평활된 영상 신호가 된다. APS의 영상 신호와 평활 영상 신호의 차이가 윤곽 영상이 된다. 그러한 차동 증폭 기능을 위해서 간소화된 CDS를 변형시킨 형태의 SW_3 , SW_4 및 차동 증폭기로 구성된 회로가 사용되었다.

그림 6은 제작된 칩의 레이아웃 및 칩의 사진을 나

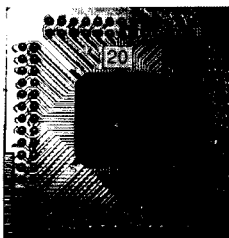
타낸 그림이다. 본 칩은 IDEC(IC Design Education Center)을 통하여 매그나칩/하이닉스의 0.35 μm , 2-poly, 4-metal 표준 CMOS 공정을 이용하여 설계 및 제작되었다. 칩 제작에 사용된 총 면적은 4 mm \times 4 mm이고, 칩 내에는 100 $\mu m \times$ 100 μm 면적을 소비하는 100개의 패드를 포함하고 있다. 수광부는 3-transistor APS 구조를 이용하여 2차원 정방형으로 배치되었다. 총 해상도는 128 \times 128 픽셀이다. 수광부의 해상도를 제한하는 것은 윤곽 검출을 담당하는 회로이다. 본 칩의 경우 단위 윤곽 검출 회로가 2개의 커패시터를 요구하고 있기 때문에 그 면적에 의해서 화소 수가 제한된다. 중앙의 수광 회로의 좌 측과 제일 아래에 픽셀의 선택을 위한 행 디코더 및 열 디코더가 존재한다. 행 디코더에서 선택된 행의 영상 신호는 동시에 윤곽 검출 회로로 전달된다. 윤곽 검출 회로는 잡음 제거 및 영상의 공간 평활 그리고 윤곽 검출의 과정을 거쳐서 윤곽 신호를 만들어 낸다. 이렇게 만들어진 윤곽 영상은 열 디코더에 의해서 하나씩 선택되어 출력된다. 이 때 그러한 신호 처리를 효율적으로 하기 위해서 리셋 디코더(그림 6에서 reset control decoder)를 이용한다. 이러한 이용에 대해서는 다음 단락에서 설명할 것이다.

3.2. 윤곽 검출 시각칩의 제어와 측정 시스템

해상도 향상을 위해서 수광 회로와 윤곽 검출 회로를 분리하였고, 분리된 회로의 효율적인 신호 처리를 위해서 리셋 디코더가 사용되었다. 이 때문에 칩을 효율적으로 동작시키기 위한 제어 신호는 복잡해진다. 칩을 테스트하기 위한 제어 신호를 만들고 이 신호를 영상으로 확인하기 위해서 National Instrument사의 LabVIEW 및 DAQ 카드를 이용한 시스템을 구현하였다. 이러한 시스템을 이용한 이유는 간단히 복잡한 신호를 칩에 적용할 수 있고, 얻어진 아날로그 신호를 빠른 속도로 받아서 영상으로 확인할 수 있기 때문이다. 그림 7은 실제 측정 시스템의 사진을 나타낸 것이다. 먼저 제어 신호를 프로그래밍하여 DAQ 카드를 통해서 칩으로 전송한다. DAQ 카드에서 나오는 디지털 제어 신호의 신호 레벨은 5V로 칩의 동작 전압인 3.3V보다 다소 높기 때문에 칩 내의 회로에 손상을 가할 수 있다. 더불어 DAQ 카드에서 칩으로 제어 신호를 전송하는 도중 데이터 케이블에 잡음이 발생할 가능성이 존재한다. 이러한 문제를 해결하기 위해서 칩을 장착한 보드에서는 먼저 제어 신호를 버퍼 IC를 이용하여 버퍼링(buffering) 작업을 수행한다. 버퍼링된 제어 신호는 칩으로 전달되어 원하는 신호 처리 작업을 수행한다. 칩의 상단에는 광학 렌즈를 설치하였다. 광학 렌즈는 칩



(a)



(b)

그림 6. 윤곽 검출용 시각칩: (a) 레이아웃, (b) 사진
Fig. 6. Vision chip for edge detection: (a) Layout, (b) Picture.

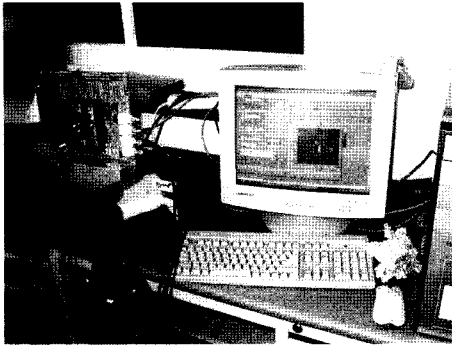


그림 7. 측정 시스템
Fig. 7. Measurement system.

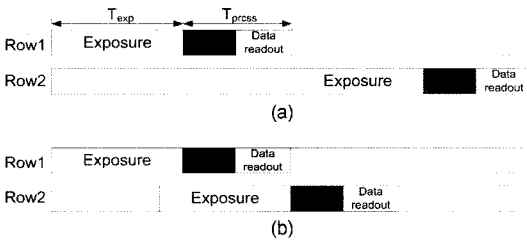


그림 8. 윤곽 검출용 시각칩의 타이밍 다이어그램: (a) 리셋 디코더를 사용하지 않을 경우, (b) 리셋 디코더를 사용할 경우

Fig. 8. Timing diagram of a vision chip for edge detection: (a) Without reset decoder, (b) With reset decoder.

외부의 상이 칩 표면에 맺히게 하는 역할을 담당한다. 광학 렌즈로는 초점 거리가 16 mm인 일반적으로 CCTV 등에 사용되는 렌즈를 사용하여 전체 시스템의 면적 소모를 줄였다. 출력되는 아날로그 영상 신호는 외부의 잡음 신호에 매우 미약한 특성을 가지기 때문에 컴퓨터 시스템까지 정확한 신호 성분을 전달하기 위해서 동축 케이블을 이용하였다.

그림 8은 리셋 디코더를 이용하였을 경우와 아닐 경우의 차이를 설명하는 그림이다. 해상도를 높이기 위해서 수광부와 윤곽 검출 회로를 분리하는 연구가 수행되어졌다. 하지만, 리셋 신호를 최적화 하지 않고 칩을 사용할 경우에는 한 행을 하나의 프레임으로 구현하여야 하고 그림 8(a)와 같이 시간을 소모하게 된다. 한 행을 하나의 프레임으로 구현할 경우 노광 시간이 각 줄을 읽을 때마다 각각 제공되어야 하기 때문에 만약 노광시간(T_{exp})이 500 ms이고 전체 행이 100개인 경우 노광 시간만으로도 50초가 필요하다는 문제가 발생한다. 이와 더불어 신호 처리 및 데이터의 리드아웃을 위해서는 별도의 시간을 추가로 요구하게 된다. 즉 한 프레

임을 읽는데 걸리는 시간(T_{frame})은 식 (2)와 같다.

$$T_{frame} = n_{row} \times (T_{exp} + T_{prcss} + T_{readout}) \quad (2)$$

여기서 n_{row} 는 행의 총 개수이며 T_{prcss} 는 신호 처리를 위해서 필요한 시간, $T_{readout}$ 은 신호를 읽어 들이는데 필요한 시간을 의미한다. 이러한 시간의 문제는 실제 응용에 있어서 많은 제약을 주게 된다. 이러한 문제는 리셋 디코더를 이용하여 각 행의 노광 시간을 각각 제어해 주어서 해결할 수 있다. 리셋 디코더를 사용하면 그림 8(b)와 같이 신호 처리될 수 있다. 여기서 신호 처리 회로는 공통적으로 사용하므로 같은 시간에 있을 수 없다. 하지만 노광의 경우 각 행이 같은 시간에 겹쳐 있어도 상관없으므로 이 시간을 공유하여 전체 처리 시간을 크게 줄일 수 있다. 만약 노광 시간이 500 ms이고 신호 처리에 필요한 시간이 각각 3 ms라고 한다면, 100개의 열에 대한 T_{prcss} 와 $T_{readout}$ 의 합은 완전히 T_{exp} 와 시간을 공유할 수 있으므로 전체 한 프레임 읽어 들이는 시간, 즉 T_{frame} 는 500 ms가 된다. 이와 다른 경우인 T_{prcss} 및 $T_{readout}$ 에 필요한 시간에 비해 T_{exp} 가 짧은 경우(즉, 노광시간이 300 ms이하인 경우), T_{frame} 은 T_{prcss} 와 $T_{readout}$ 의 합과 전체 행의 개수의 곱에 비례한 시간이 필요하게 된다. 즉 리셋 디코더를 이용하여 우리는 행의 개수와 노광 시간(T_{exp})의 곱에 비례하는 시간 크기의 속도 향상을 얻을 수 있다.

3.3. 측정 결과 및 고찰

측정을 위해서 그림 9와 같이 측정하고자 하는 물체를 스크린에 위치시킨다. 이 물체에 적당한 조명을 가하고, 반사되는 빛을 렌즈에 통과시켜 칩 위에 상을 맺게 하는 일반적인 카메라의 영상 촬영 구조를 구현하였다. 본 칩의 경우 카메라에 최적화되어 있는 CIS (CMOS image sensor) 전용 공정이 아닌 저렴한 일반

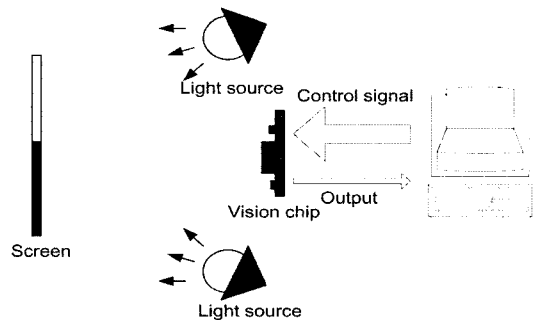


그림 9. 측정 환경
Fig. 9. Environment of measurement.

로직 공정을 사용하였기 때문에 광 효율이 다소 떨어진다. 측정을 위해서 조명 시스템을 이용하여 약 2000 lux 정도의 조도 환경을 만들어 주었으며, 이러한 환경은 일반적인 사무실의 형광등 조도가 400 lux라고 할 때 이에 비해 5배 정도의 밝은 정도이다. 이러한 조명 아래에서 충분한 수광부의 충전 시간을 가지기 위해서 노광 시간을 500 ms로 설정하였다.

이러한 조건 아래에서 비교적 단순한 형태의 영상인 흰색 배경에 검정색의 문자 'A' 및 색채와 명암, 그리고 무늬가 복잡한 '배구공'을 가지고 칩의 특성을 조사하였다. 칩에서는 아날로그 전압 형태로 출력 신호를 보내고, 이 신호의 크기에 따라 낮은 전압은 검정색, 그리고 높은 전압을 흰색으로 선형적 그레이 스케일로 출력 영상을 나타내었다. 출력 신호는 바이어스에 따라 변화가 있지만, 측정시에는 520 mV의 출력 스윙을 확인하였고, 이 때 약 80 mV 정도의 잡음을 확인하였다. 칩을 구동하기 위한 시스템 클럭으로 100 kHz의 구형파 신호를 사용하였다. 신호 처리를 위한 시간(T_{press})는 1.2 ms, 그리고 리드 아웃을 위한 시간으로 1.28 ms가 필요하였다. 128 × 128 픽셀에 대한 총 신호 처리 및 리드 아웃 소요 시간은 약 320 ms였고, 이 시간은 노광 시간인 500 ms보다 짧기 때문에 전체 한 프레임 읽는

데 걸리는 시간은 500 ms가 된다. 리셋 디코더를 사용하지 않을 경우 같은 조건에서 50초 이상이 걸리는 것에 대비해서 약 100배의 성능 향상을 얻을 수 있었다.

4. 결 론

본 논문에서는 생체 망막의 윤곽 검출 기능을 모방하는 시각칩을 소개하였다. 특히 이러한 시각칩의 설계 및 제작시 문제가 되었던 부족한 해상도를 향상시킬 수 있는 구조적인 접근 방법인 수광 회로와 윤곽 검출 회로를 분리하는 구조를 구현하고 평가하였다. 또한 수광 회로 및 윤곽 검출 회로를 분리하였을 때 부가적으로 발생하는 속도 저하 문제를 수광 회로의 각 행마다 노광 시간을 다르게 제어해 주어 문제를 해결할 수 있음을 보였다. 제안된 시각칩은 매그나칩/하이닉스 0.35 μm , 2-poly, 4-metal 표준 CMOS 공정을 통해 제작되었고, 제작된 칩의 해상도는 128 × 128이었다. 제작된 시각칩은 광학 렌즈 등과 집적하여 카메라 시스템으로 구현되었으며, 실제 영상 입력에 대해서 그 성능이 평가되었다.

제작된 시각칩의 경우 이미지 센서로 최적화된 공정이 아닌 광효율이 떨어지는 저렴한 일반 CMOS 공정을 사용하였기 때문에 노광 시간이 길어지게 되었고, 이로 인해서 동작 속도가 떨어진다. 이러한 문제점은 레이아웃을 최적화하여 부분적인 개선이 이루어질 수 있지만, 큰 개선은 기대할 수 없다. 로그리즘(logarithmic) 회로 등의 다른 수광 회로를 이용할 수 있지만 이러한 회로의 경우 출력 크기 변화가 작은 점과 잡음이 크다는 것에 유의하여야 한다. 이 외에 CIS 전용 공정을 통해서 개선할 수 있지만, 이 경우 비용이 크게 증가하게 된다.

시각칩을 이용한 영상 처리 응용 시스템을 설계할 경우 세 가지 정도의 장점을 기대할 수 있다. 첫 번째로 영상 처리 시스템의 전단에 위치하여 그 응용 시스템의 영상 처리 속도를 향상시킴으로써 실시간 물체 추적 시스템 등에 적용될 수 있다. 두 번째로 윤곽 검출용 시각칩이 가지는 독특한 영상 처리 기능을 이용하여 지문, 홍채 및 문자 등의 패턴 인식 시스템에 적용될 수 있으리라 예상된다. 마지막으로 저전력, 극소형 지능형 센서의 특성을 이용하여 모바일 영상 처리 시스템 설계가 가능할 것으로 기대된다.

감사의 글

본 연구는 뇌과학연구센터의 뇌신경정보학연구사업비에 의해서 수행되었음.

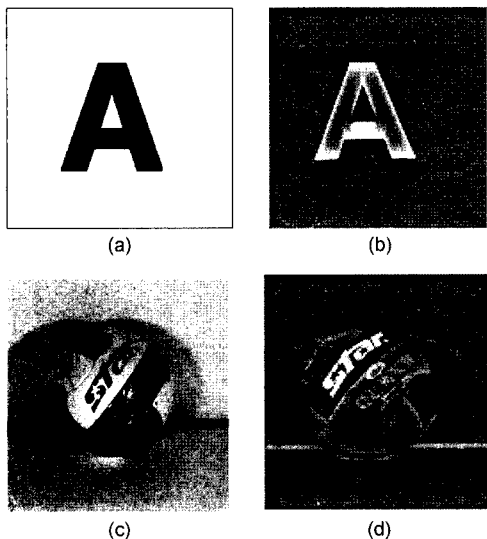


그림 10. 윤곽 검출용 시각칩의 실험 결과: (a) 문자 'A'의 입력 영상, (b) 문자 'A'의 출력 영상, (c) 배구공에 대한 입력 영상, (d) 배구공에 대한 출력 영상
Fig. 10. Experimental results: (a) Input image of character 'A', (b) Output image of character 'A', (c) Input image of a volleyball, (d) Output image of a volleyball.

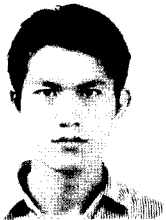
참고 문헌

[1] Alireza Moini, *Vision Chips or Seeing Silicon*, CHiPTec, 1997.
 [2] C. A. Mead, *Analog VLSI and Neural Systems*, Addison-Wesley, 1989.
 [3] Lotufo, R.A., Morgan, A.D., and Johnson, A.S. "Automatic number-plate recognition", *IEEE Colloquium on Image Analysis for Transport Applications*, pp. 6/1-6/6, 1990.
 [4] Monica A. Trifas and John M. Tyler, "Medical image enhancement", *Conf. on Computer Vision*, pp. 212-218, 2005.
 [5] J. Alves, J. Herman, and N.C. Rowe, "Robust recognition of ship types from an infrared silhouette", *Command and Control Research and Technology Symposium*, San Diego, Jun. 2004.
 [6] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, and E. R. Fossum, "CMOS active pixel image sensors for highly integrated imaging systems", *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 187-197, Feb. 1997.
 [7] C. Y. Wu and C. F. Chiu, "A new structure of the 2-D silicon retina", *IEEE J. Solid-State Circuits*, vol. 30, pp. 890-897, 1995.

[8] H. S. Kim, D. S. Park, B. W. Ryu, S. K. Lee, M. H. Lee, and J. K. Shin, "Design and fabrication of 8x8 foveated CMOS retina chip for edge detection", *J. of the Korean Sensors Society*, vol. 10, pp. 91-100, 2001.
 [9] D. S. Park, K. M. Kim, S. K. Lee, H. S. Kim, J. H. Kim, M. H. Lee, and J. K. shin, "Design and fabrication of 32 x 32 foveated CMOS retina chip for edge detection with local-light adaptation", *J. of the Korean Sensors Society*, vol. 11, pp. 84-92, 2002.
 [10] S.-H. Suh, J.-H. Kim, J.-S. Kong, and J.-K. Shin, "Vision chip for edge detection with a function of pixel FPN reduction", *J. of the Korean Sensors Society*, vol. 14, no. 3, pp. 191-197, 2005.
 [11] S. Kameda, A. Honda, and T. Yagi, "Real time image processing with an analog vision chip system", *International Journal of Neural Systems*, vol. 9, no. 5, pp. 423-428. 1999.
 [12] Marcel J. M. Pelgrom, Aad C. J. Duinmaijer, and Anton P. G. Welbers, "Matching properties of MOS transistors", *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, 1989.
 [13] S. Kavadias, "Offset-free column readout circuit for CMOS image sensors", *Electronics Letters*, vol. 35, no. 24, pp. 2112-2113, 1999.

공 재 성

- 『센서학회지 제14권 제6호』 p. 69 사진참조
- 2002년 2월 경북대학교 전자전기공학부 졸업(공학사)
- 2005년 2월 경북대학교 전자공학과 졸업(공학석사)
- 현재 경북대학교 전자공학과 박사과정
- 주관심분야 : 비전 센서, 아날로그-디지털 혼성 회로 설계, 신경망



김 상 현

- 2005년 2월 경북대학교 전자전기공학부 졸업(공학사)
- 현재 경북대학교 전자공학과 석사과정
- 주관심분야 : 이미지 센서, VLSI, 아날로그 회로 설계

서 성 호

- 『센서학회지 제14권 제6호』 p. 69 사진참조
- 2003년 2월 경북대학교 전자전기공학부 졸업(공학사)
- 2005년 2월 경북대학교 전자과 졸업(공학석사)
- 현재 삼성전자 시스템-LSI 근무
- 주관심분야 : 이미지 센서, 시스템-LSI

신 장 규

- 『센서학회지 제14권 제6호』 p. 69 사진참조
- 1978년 2월 서울대학교 전자공학과 졸업(공학사)
- 1980년 2월 KAIST 전자공학과 졸업(공학석사)
- 1991년 5월 미국 콜로라도 주립대학교 전자공학과 졸업(공학박사)
- 현재 경북대학교 전자전기컴퓨터학부 교수
- 주관심분야 : 이미지 및 바이오 센서

이 민 호

- 『센서학회지 제14권 제6호』 p. 69 사진참조
- 1988년 2월 서울대학교 전자공학과 졸업(공학사)
- 1995년 2월 KAIST 전자공학과 졸업(공학석사, 공학박사)
- 1995년~1998년 한국해양대학교 전임강사, 조교수
- 1998년~현재 경북대학교 전자전기공학부 조교수
- 주관심분야 : 신경망, 신호 처리