

SOI 핸들 웨이퍼에 고정된 광다이오드를 가진 SOI CMOS 이미지 센서

조용수 · 최시영[†]

SOI CMOS image sensor with pinned photodiode on handle wafer

Yong-Soo Cho and Sie-Young Choi[†]

Abstract

We have fabricated SOI CMOS active pixel image sensor with the pinned photodiode on handle wafer in order to reduce dark currents and improve spectral response. The structure of the active pixel image sensor is 4 transistors APS which consists of a reset and source follower transistor on seed wafer, and is comprised of the photodiode, transfer gate, and floating diffusion on handle wafer. The source of dark current caused by the interface traps located on the surface of a photodiode is able to be eliminated, as we apply the pinned photodiode. The source of dark currents between shallow trench isolation and the depletion region of a photodiode can be also eliminated by the planner process of the hybrid bulk/SOI structure. The photodiode could be optimized for better spectral response because the process of a photodiode on handle wafer is independent of that of transistors on seed wafer. The dark current was about 6 pA at 3.3 V of floating diffusion voltage in the case of transfer gate TX=0 V and TX=3.3 V, respectively. The spectral response of the pinned photodiode was observed flat in the wavelength range from green to red.

Key Words : SOI CMOS image sensor, CIS, pinned photodiode, handle wafer, low dark current

1. 서 론

1990년대 후반에 들어 CMOS 공정 기술의 발달 및 신호 처리 알고리즘의 개선 등으로 인하여 기존의 CMOS형 이미지센서가 가지고 있던 단점들이 극복되기 시작함에 따라 상대적으로 제작비용이 저렴하고, 전력 소모가 적으며, 주변 회로부의 집적이 가능한 CMOS형 이미지센서에 관한 연구가 활발히 진행되고 있다^[1-3]. 최근에 정보기기의 휴대화가 증가하고 있어 저 소비전력의 고집적 이미지센서의 개발이 필요한 실정이며 3.3~5 V 이하의 단일전원으로 저소비전력 동작이 가능한 CMOS 이미지센서가 주목 받고 있다^[4,5].

SOI(silicon on insulator) 소자의 이점을 살린 SOI CMOS 이미지센서도 최근에 꾸준히 연구 중에 있다. SOI 소자는 벌크 실리콘 디바이스와 비교해서 몇 가지 다른 우수한 장점들을 가지고 있다. 낮은 접합 누설전

류, 낮은 온도 민감성, 완벽한 유전체의 격리 및 낮은 soft error rate를 가지고 있다. 그러나 이미지센서에 적용하는 데는 몇 가지 문제점을 가지고 있다. 시드 웨이퍼(seed wafer) 실리콘의 두께가 얇기 때문에 광이 흡수 되지 못하고 투과되어 광 손실이 존재한다^[6]. 그래서 광 다이오드를 SOI 기판에 제작하고 신호처리 트랜지스터는 시드웨이퍼에 제작한 SOI 이미지센서가 제안되었다^[7]. 그리고 붕소를 SOI 시드 웨이퍼와 매몰 산화층(buried oxide layer)을 통과시켜 핸들 웨이퍼(handle wafer) 표면에 이온 주입함으로써 광다이오드에서 발생하는 표면 누설 전류를 줄이는 시도를 하였다^[8]. 또한 SOS 기판을 사용하여 기판 뒤쪽에서 빛을 조사하여 광을 감지하고 효율을 높이는 구조도 있다^[9]. 이런 노력들에도 불구하고 복잡한 공정과 SOI 기판이라는 한계 때문에 SOI CMOS 이미지센서 소자는 아직까지 이미지센서로서 자리를 잡지 못하고 있다.

본 연구에서는 고 품질의 영상을 얻기 위하여 SOI CMOS 이미지센서를 설계, 제작 하였다. 제안한 센서는 최적화된 신호처리와 광 응답 특성을 얻기 위해 4 트랜지스터 능동 화소 센서(active pixel sensor) 구조로

경북대학교 전자공학과 (Department of Electronics, Kyungpook National University)

[†]Corresponding author: sychoi@ee.knu.ac.kr
(Received : July 6, 2006. Accepted : August 1, 2006)

신호처리 소자는 시드 웨이퍼 상에 제작하였고 광 감지 소자는 핸들 웨이퍼에 제작하였다. 제안한 이미지 센서는 감도를 향상시키고 암 전류(dark current) 줄이기 위해 고정된 광다이오드를 광 감지 센서로 사용하였다. 또한, 신호처리 소자는 시드웨이퍼 상에 FDSOI(fully depleted silicon on insulator) MOSFET으로 제작하였다.

2. 실 험

제안한 회로는 SOI 웨이퍼를 이용한 4 트랜지스터형 CMOS 능동 화소 센서 구조이다. 그림 1은 제안된 SOI CMOS 능동 화소 센서 등가회로와 웨이퍼상에 소자가 위치하는 구조를 나타내었다. 이중구조로 고정된 광다이오드(pinned photodiode), 전달 게이트(transfer gate), 부유 확산층(floating diffusion)은 SOI 핸들 웨이퍼에 제작되고, 소스 팔로워(source follower), 선택 트랜지스터(select transistor), 리셋 트랜지스터(reset transistor)는 SOI 시드 웨이퍼에 제작하였다. 높은 감도를 얻기 위한 방법으로 고정된 광다이오드를 적용 하였다^[4]. 고정된 광다이오드는 원래 CCD에 암 전류를 줄이기 위해 개발되었지만, 최근에 CMOS 이미지 센서에 적용되고 있다.

고정된 광다이오드는 p+np-구조로 양쪽의 p 영역이 기관 전위와 같은 접지이다. 조사된 광에 의한 동작은 고정된 광다이오드는 초기에 완전히 공핍화 된다. 축적(integration) 동안 광에 의해 발생된 다수 캐리어들은 공핍층에 저장되고 고정된 광다이오드 전위는 고정 전위 이하로 감소된다. 부유 확산층은 먼저 VDD에 의해 리셋 된다. 이 리셋 전위는 CDS(correlated double sampling) 또는 DDS(different double sampling)에 의해 먼저 읽히게 된다. 전달 게이트에 전압이 인가되면서 채널이 형성되고 광다이오드에서 발생한 캐리어들은 부유 확산층으로 이동하게 된다. 이 구조의 가장 큰 장점은 큰 커패시턴스를 갖고 있는 광다이오드의 큰 영역에서 작은 커패시턴스를 갖고 있는 작은 부유 확산층 영역으로 이동한다는 것이다. 두 번째 이점은 전하들이 모이는 영역이 p+영역에 의해 실리콘 표면과 떨어져 있고, buried channel CCD 구조와 동일하다. 고정된 표면상태는 암 전류를 줄이는 데 있어서 굉장한 효과를 보인다. 또한 표면에 많은 재결합 센터로 이동하는 것을 저지함으로써 white point 결함을 줄이는데 효과적이다^[2,10].

그림 2는 4 트랜지스터형 SOI CMOS 능동 화소 센서 설계도이다. 소자크기는 110 μm × 110 μm이고, 광감

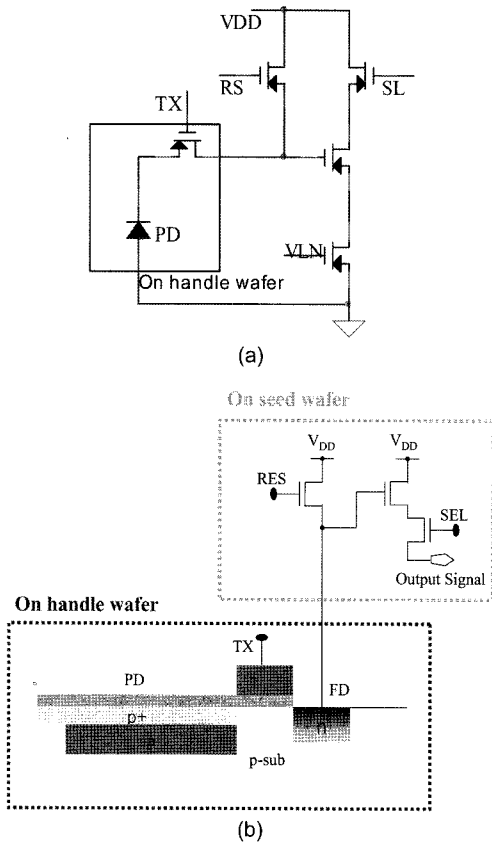


그림 1. 제안한 SOI CMOS 한 개 픽셀 구조 (a) 등가 회로, (b) 구조
 Fig. 1. Proposed one pixel of SOI CMOS image sensor (a) equivalent circuit and (b) schematic of one pixel.

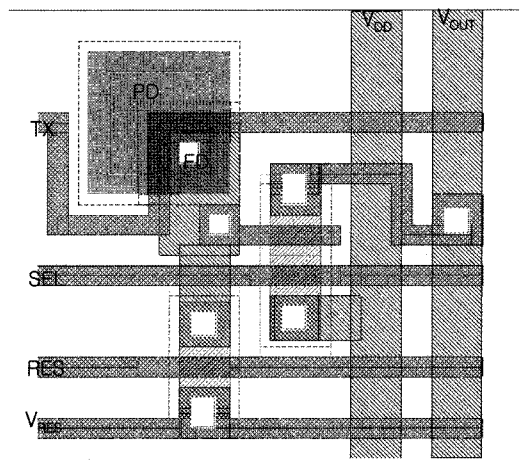


그림 2. SOI CMOS 능동 화소 센서 설계도
 Fig. 2. Layout of SOI CMOS active pixel sensor.

지 영역인 광다이오드는 $20\ \mu\text{m} \times 20\ \mu\text{m}$ 이고, fill factor는 3.3%이다. 1 poly, 1 metal 구조를 갖도록 설계하였다. FDSOI MOSFET 채널 폭이 $12.5\ \mu\text{m}$ 이고 채널 길이는 $5\ \mu\text{m}$ 이다.

고정된 광다이오드가 최적화된 응답이 출력 될 수 있도록 불순물 농도를 최적화할 필요가 있다. p+ 영역은 누설 전류를 줄이는데 매우 효과적으로 작용하고 분광 감도를 향상 시키는 역할을 한다. 하지만 p+ 층에 의해서 청색 응답 특성이 감소되는 문제도 발생한다. 따라서 p+ 층의 두께를 조정하여 청색 응답 특성을 최적화 시킬 필요가 있다. 고정된 광다이오드는 완전 공핍된 n 영역을 갖고 있는데 p+ 층의 두께와 도핑 농도에 의해서 n-well의 도핑 농도가 정해지기도 한다. 또한 발생된 전자들이 광다이오드에서 전달게이트를 통해 부유 확산층으로 이동하게 되는데, 이때 고정된 광다이오드의 농도 구조에 따라서 전송 효율이 달라진다. 그림 3은 전달 게이트에 3.3 V 인가한 상태에서 고정된 광다이오드에서 부유 확산층으로 전자가 이동하는 흐름을 spectra 시뮬레이션을 통해 확인하였다. 전

자가 흐르는 방향에서 전자의 흐름을 방해하는 장벽(barrier)이나 구덩이(pocket)가 존재하지 않음을 알 수 있다.

SOI CMOS 이미지센서를 제작하기 위해서 SOI 기판으로는 UNIBOND 웨이퍼를 사용하였다. p형 시드 웨이퍼 두께는 $0.1\ \mu\text{m}$, 매물 산화층 두께는 $0.2\ \mu\text{m}$ 이고, p형 헨들 웨이퍼를 사용하였다. 헨들웨이퍼에 고정된 광다이오드, 전달게이트(M1), 부유확산층을 위치시켰고, 시드웨이퍼상에 리셋트랜지스터(M2), 소스팔로워(M3), 선택트랜지스터(M4)을 위치시켰다. 그림 4는 SOI CMOS 능동 화소 센서 단면도를 보여준다.

그림 5는 제작한 32×32 SOI CMOS 이미지센서 칩 사진이다. 제작한 칩은 화소 어레이, 수직 스캐너, 수평 스캐너, 잡음 제거 회로로 구성되었다. CMOS $5\ \mu\text{m}$

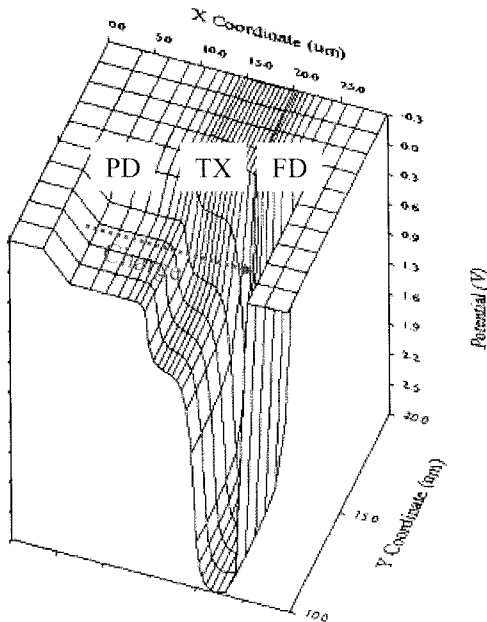


그림 3. Spectra를 이용해 전달 게이트에 3.3 V 인가한 상태에서 고정된 광다이오드 전위도 시뮬레이션 (PD: 광다이오드, TX: 전달게이트, FD: 부유 확산층)

Fig. 3. Simulated potential profile of the pinned photodiode under a 3.3 V of transfer gate bias by spectra (PD: photodiode, TX: transfer gate, FD: floating diffusion).

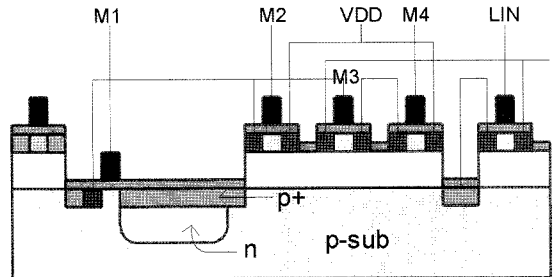


그림 4. SOI CMOS 능동 화소 센서 단면도
Fig. 4. Cross-sectional view of SOI CMOS active pixel sensor.

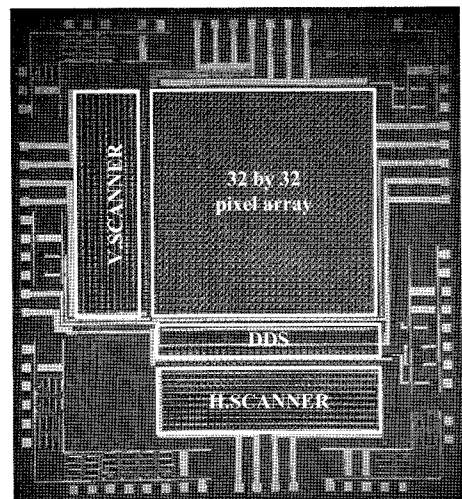


그림 5. 제작한 32×32 SOI CMOS 이미지센서 칩 사진
Fig. 5. Photograph of fabricated 32×32 SOI CMOS image sensor.

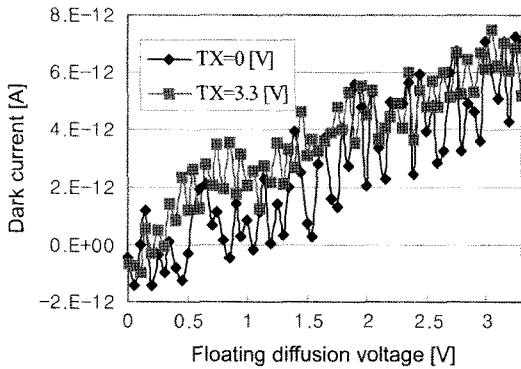


그림 6. TX=0 V인 경우와 TX=3.3 V인 경우에 부유 확산층 전압에 따른 암 전류
 Fig. 6. Dark current as a function of floating diffusion voltage in the case of TX=0 V and TX=3.3 V.

공정으로 1 폴리실리콘(polysilicon) 및 1 금속(metal) 공정으로 제작되었다^[11].

3. 결과 및 고찰

능동 화소 센서를 동작시에는 부유 확산층에 양의 전압만이 인가되기 때문에 부유 확산층에 역바이어스를 인가했을 때 그림 6과 같은 암 전류 특성 곡선을 얻을 수 있다. 제작한 고정된 광다이오드를 가진 능동 화소 전달 게이트 TX=0인 경우는 부유 확산층의 누설 전류만이 존재하고, TX=3.3 V인 경우에는 전달 게이트 채널층을 통해 전달 게이트와 고정된 광다이오드 누설 전류가 포함 될 것이다. 하지만 두 경우의 전류 값을 비교해 보면 매우 유사한 암 전류 특성을 보이고 있다. 그렇기 때문에 제작한 SOI CMOS 능동 화소 센서인 경우, 고정된 광다이오드는 더 이상 누설 전류원으로 동작하지 않는 것으로 유추해 볼 수 있다. 암 전류치는 전달 게이트에 3.3 V를 인가하고 부유 확산층에 2 V 인가했을 때 약 1 pA 이하였다.

제작한 SOI CMOS 능동 화소 센서 내 고정된 광다이오드 특성을 조사해 보았다. 그림 7은 부유 확산층에 역방향 전압 2 V를 인가하고 전달 게이트 전압을 변화시키면서 He-Ne 레이저($\lambda=633$ nm)를 이용하여 광세기에 따른 광전류를 보여준다. 먼저 전달 게이트에 따른 광전류 특성을 보면 임계 전압 이상의 전압이 인가되기 전에는 광전류 값이 크게 변하지 않는다. 이는 전달 게이트에 의해서 광에 발생된 광다이오드 내의 전자들이 부유 확산층으로 전달되지 않기 때문이다. 하지만 전달 게이트의 임계 전압 이상이 인가되면 광전류

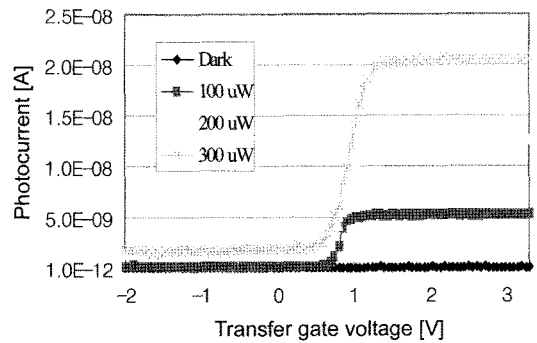


그림 7. 부유 확산층에 2 V를 인가하고 전달 게이트 전압을 변화시키면서 He-Ne 레이저를 이용한 다른 광세기에 따른 광다이오드 광전류 특성
 Fig. 7. Photocurrent characteristic of the pinned photodiode with a transfer gate voltage under different illumination intensity from He-Ne laser ($\lambda=633$ nm) at 2 V of the floating diffusion voltage.

는 기하급수적으로 증가하게 되어 많은 광전류가 흐르게 된다. 즉, 고정된 광다이오드 내의 전자들이 전달 게이트의 채널을 통해서 또는 깊은 공핍층(deep depletion)을 통해서 부유 확산층으로 이동하여 광전류를 증가시킨다. 광의 세기를 100 μ W 크기에서 300 μ W까지 조사 하였을 때 100 μ W당 약 6×10^{-9} A의 전류 변화를 보여주었다.

제작한 SOI CMOS 능동 화소 센서에 인가한 타이밍 전압 펄스에 맞춰 He-Ne 레이저($\lambda=633$ nm)를 이용하여 출력 전압을 조사하였다. 그림 8은 측정된 광세기에 따른 출력 전압 특성이다. 그림 8(a)는 동작 타이밍 차트이다. 먼저 VDD에 3.3 V를 인가하고 리셋 전압(res)을 인가하여 부유 확산층을 초기화 시킨다. 그리고 선택 트랜지스터(sel)에 펄스를 인가해 능동 화소 센서를 활성화시킨다. 다음은 전달 게이트(TX)에 펄스를 인가해 광에 의해 발생된 전자들을 전달 게이트를 통해 부유 확산층으로 이동 시킨다.

출력 전압 특성은 구동 펄스 시간과 광 조사 시간이 감도에 큰 영향을 미친다. 이번 실험에서는 광 조사 시간은 무한대로 두고, 구동 펄스 시간으로 100 μ s의 충분한 시간을 주어 능동 화소 센서의 출력 응답 특성을 조사해 보았다. 어두운 상태에서 측정된 결과는 전달 게이트에 구동 펄스가 인가되더라도 feed through 이외의 출력 전압 변화는 생기지 않았다. 100 μ W의 광을 조사 했을 때 전달게이트에 펄스가 인가되면 발생한 전자들에 의해 전압의 변화가 생긴다. 100 μ W의 He-Ne 레이저가 조사된 경우 약 0.7 V 전압 변화 분을 보

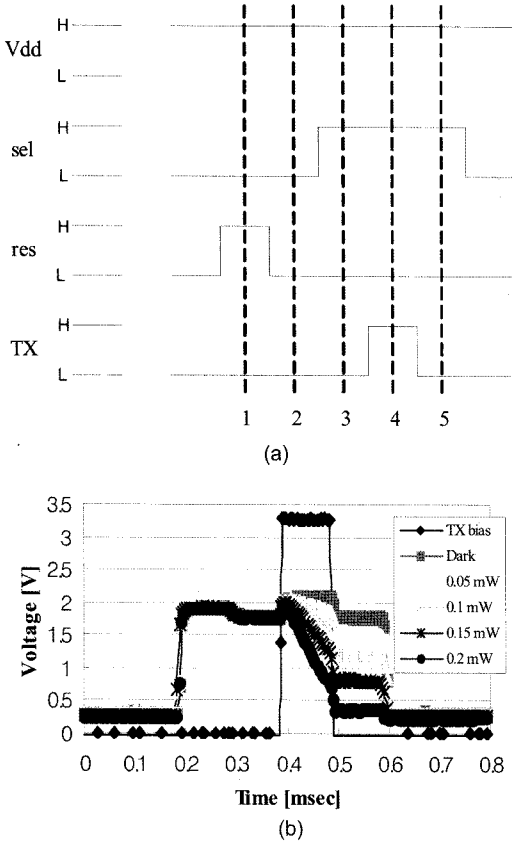


그림 8. He-Ne 레이저의 다른 광세기에 따른 능동 화소 센서 출력 파형: (a) 타이밍차트, (b) 출력특성
 Fig. 8. Voltage response of active pixel sensor under different illumination intensity of He-Ne laser: (a) timing chart and (b) output.

였다. 200 μ W의 He-Ne 레이저가 조사되었을 때 거의 포화된 출력 전압 1.4V의 변화를 보여주었다.

분광기(monochromator)를 이용하여 가시광선 영역을 포함한 400 nm에서 800 nm에 걸친 파장 범위에 대한 고정된 광다이오드의 분광특성을 그림 9에 나타내었다. 고정된 광다이오드는 공정에 앞서 SUPREM과 spectra 시뮬레이션 툴을 사용하여 최적화 하였다. 하지만 제작한 센서의 분광 특성을 보면 단파장에서 낮은 광 응답 특성을 보여주었다. 단파장은 표면에서 흡수가 강하게 일어나는데, 고정된 광다이오드의 p+ 영역이 수직방향(vertical)으로 설계했던 깊이 보다 더 깊숙이 침투 하면서 단 파장 영역의 응답 특성이 낮아진 것으로 보인다. p+ 영역에서 흡수된 광은 광전류에 전혀 기여하지 못한다. 그림 9에서 보여주는 광 응답도의 진동은 측정 오차에 의한 것으로 판단된다.

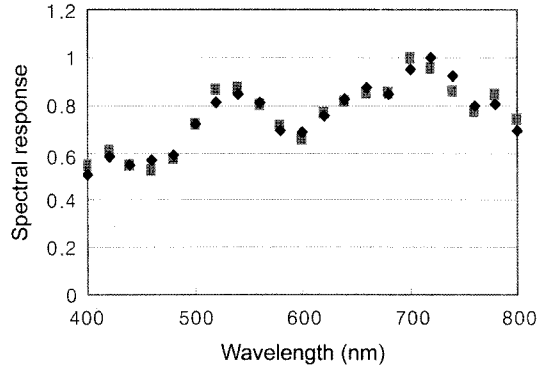


그림 9. 분광기를 이용한 광다이오드 분광응답
 Fig. 9. Spectral response of the photodiode using monochromator.

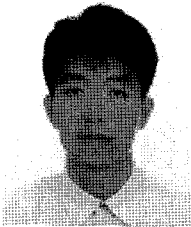
4. 결 론

SOI 핸들 웨이퍼에 제작한 고정된 광다이오드를 가진 SOI CMOS 이미지센서를 제작하였다. 한 개 픽셀 크기는 110 μ m \times 100 μ m이고, 광 감지 영역인 고정된 광다이오드는 20 μ m \times 20 μ m, 부유 확산층은 15 μ m \times 15 μ m이고, 능동 화소 센서를 구성하는 FDSOI MOSFET 크기는 채널 폭이 12.5 μ m, 채널 길이는 5 μ m이다. 광감지 영역의 암 전류치는 부유 확산층에 2 V를 인가하고 전달 게이트에 3.3 V와 0 V를 인가했을 때 미소한 약 1 pA를 나타내었다. 능동 화소 센서에 구동 펄스를 인가하여 출력 전압을 조사하였다. 구동 펄스 시간을 100 μ s의 충분한 시간을 주고 측정하였다. 100 μ W 단위로 빛을 조사했을 때 출력 전압은 약 0.7 V 전압 변화를 보였고 빛 세기에 따라 선형적으로 증가하였다. 200 μ W에서 거의 포화 되었고 최대 약 1.4 V의 전압 변화를 보였다. 분광특성은 가시광선 영역을 포함하는 400 nm에서 800 nm까지 측정하였는데, 측정 대역에서 균일한 출력 특성을 보였다. 고정된 광다이오드를 사용한 4 트랜지스터형 SOI CMOS 이미지 센서로 사용가능 할 수 있을 것으로 기대된다.

참고 문헌

[1] E. R. Fossum, "CMOS image sensors : Electronic Camera-On-A-Chip", *IEEE Transactions on Electron Device*, vol. 44, no. 10, pp. 1689-1698, 1997.
 [2] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, and E. R. Fossum, "CMOS active pixel image sensor for highly integrated imaging systems", *IEEE Journal of Solid-State Cir-*

- cuits*, vol. 32, no. 2, pp. 187-197, 1997.
- [3] 박재현, 이준규, 김훈, 서상호, 왕인수, 신장규, 조영, “고감도 능동픽셀센서를 PMOSFET 위한 광검출기의 특성”, *센서학회지*, 제12권, 제4호, pp. 149-156, 2003.
- [4] K. Yonemoto and H. Sumi, “A COMS image sensor with a simple fixed-pattern-noise-reduction technology and a hole accumulation diode”, *IEEE Journal of Solid-State Circuit*, vol. 35, no. 12, pp. 2038-2043, 2000.
- [5] 이민호, 김정환, 남기홍, 신장규, 박종호, 서성호, “저전력 아날로그 CMOS 유평검출 시각칩의 설계”, *센서학회지*, 제12권, 제6호, pp. 231-241, 2003.
- [6] W. Zhang, M. Chan, H. Wang, and P. K. Ko, “Building hybrid active pixels for CMOS imager on SOI substrate”, *1999 IEEE International SOI Conference*, pp.102-103, 1999.
- [7] C. Xu, W. Zhang, and M. Chan, “A low voltage hybrid bulk/SOI CMOS active pixel image sensor”, *IEEE Electron Device Letters*, vol. 22, no. 5, pp. 248-250, 2001.
- [8] X. Zheng, S. Seshadri, M. Wood, C. Wrigley, and B. Pain, “Process and pixels for high performance imager in SOI-CMOS technology”, *2003 IEEE CCD AIS Workshop*, pp. 15-17, 2003.
- [9] C. Shen, C. Xu, R. Huang, P. K. Ko, and M. Chan, “Improved SOI image sensor design based on back-side illumination on silicon-on-sapphire(SOS) substrate”, *2002 IEEE International SOI Conference*, pp. 73-74, 2002.
- [10] H. I. Kwon, I. M. Kang, B.-G. Park, J. D. Lee, and S. S. Park, “The analysis of dark signals in the CMOS APS imagers from the characterization of test”.
- [11] J.-P. Colinge, “Silicon-on-insulator technology : Materials to VLSI”, Kluwer Academic Publishers, 1997.



조용수

- 1973년 10월 8일생
- 1998년 인제대학교 전자공학과 졸업 (공학사)
- 2000년 경북대학교 전자공학과 대학원 졸업(공학석사)
- 2006년 경북대학교 전자공학과 대학원 졸업(공학박사)



최시영

- 1972년 경북대학교 전자공학과(공학사)
- 1974년 경북대학교 전자공학과(공학석사)
- 1986년 日本 東北大學(공학박사)
- 현재 경북대학교 전자전기컴퓨터학부 교수