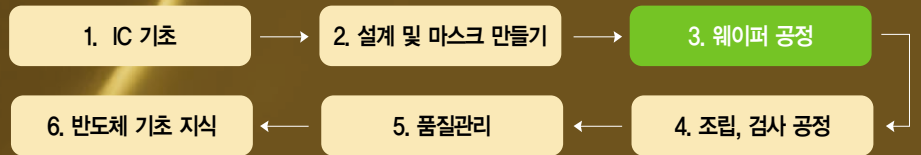


Guide to SoC

# IC 설계에서 완성까지

## (Step 3) 웨이퍼 공정(MOS 형 IC 의 예)

본 코너는 비전문가들을 위한 반도체 기초 지식에 관한 내용을 담고 있다. 앞으로 총 6회에 걸쳐 설계에서 완성까지 공정 순서에 따라 아래와 같이 연재 될 예정이다.



### 1 산화

실리콘(Si) 웨이퍼를 1,000℃ ~ 1,200℃ 의 산소(O<sub>2</sub>)로 채운 공간에서 반응시켜, 실리콘 표면에 안정적인 물질인 얇은 산화 실리콘(SiO<sub>2</sub>)막을 만든다. 실제 산화로에서 반응 속도를 높이기 위해 수증기를 포함한 산소 대기를 사용한다.

### 2 CVD

CVD(Chemical Vapor Deposition: 화학적 기상 성장법)는 기상의 화학 반응을 이용하여 절연 막 및 박전막을 만드는 방법으로 상압 CVD, 감압 CVD, 플라즈마 CVD의 세 가지 방법이 있다. <표 2-D>

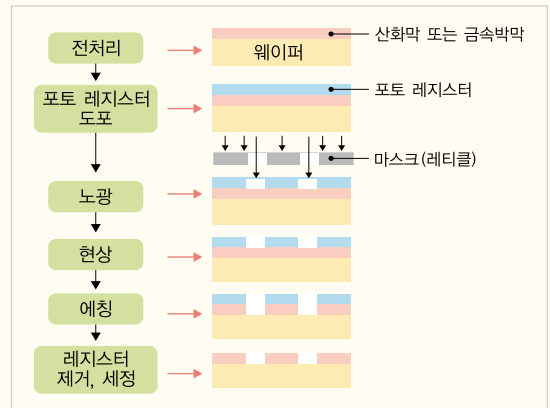
- 상압 CVD 법은 장치 내를 대기압으로 유지하여 화학 반응을 일으킨다.
- 감압 CVD 법은 감압한 장치 내에서 화학 반응을 일으키는 것으로 가스의 확장성을 높여 막 두께가 균일하게 된다.
- 플라즈마 CVD 법은 저속으로 효율적으로 생성 막을 형성하는 방법이다.

### 3 포토 에칭

금속박막이나 산화막을 회로 설계에 따라 패턴으로 가공하는 공정(그림 2-D). 마스크(레티클)를 사용하여 빛을 선택적으로 조사함으로써, 포토 레지스터에 패턴을 형성하는 “리소그래피 기술”과 포토 레지스터의 패턴에 따라 밀그림을 가공하는 “에칭 기술”로 구성된다.

#### - 리소그래피<표 2-E>

마스크(레티클)상의 패턴은 발광 장치를 이용하여 웨이퍼 상의 포토 레지스터에 전사된다. 포토 레지스터의 노출 부분은 현상으로 제거되고, 패턴으로 정착한다. 노광 방식에는 “빛을 이용한 노광 전사” 와 “전자 빔을 이용한 직접 차폐” 의 두 가지 방법이 있다. 빛을 이용하는 방법에는 칩과 동일한 크기의 마스크를 이용하여 노광 전사하는 밀착 노광법, 투영 노광법과, 축소 투영 노광법(스텝 앤드 리피트 법)이 있다. 현재는 축소 투영 노광법을 주로 사용한다. 이는 칩 위에 패턴 사이즈의 4 ~ 5 배



<그림 2-D> 포토에칭기술

<표 2-D> CVD 를 이용한 주요 생성 막

막 종류	용도	CVD 방식
SiO <sub>2</sub> (산화 막)	절연, 보호	상압, 고온
PSG	절연, 보호	상압, 저온
폴리 실리콘(다결정 실리콘)	전극, 배선	감압, 고온
Si <sub>3</sub> N <sub>4</sub>	절연, 보호	플라즈마, 저온

STEP 3. 웨이퍼 공정

정도되는 마스크(레티클)를 이용하여, 칩을 수 mm 각에서 수 십 mm 단위로 반복하여 축소 노광하는 방법이다. 이 축소 투영 노광 장치를 “스텝퍼” 라고 한다. 마스크나 레티클을 이용하지 않고 마스크 데이터에서 전자 빔으로 직접 웨이퍼 위에 차회하는 전자 빔 직접 차회법은 주로 개발이나 시제품, 또는 매우 세밀한 패턴을 만들 때 사용한다

- 에칭

산화 막이나 금속 막을 실리콘 웨이퍼 위에 레지스터 패턴에 따라 에칭한다. 각종 약품을 이용하는 “습식 에칭”과 가스를 이용하는 “건식 에칭”이 있다. 가공 정밀도와 형상, 환경 문제 등으로 건식 에칭법을 주로 이용한다. <표 2-F> 건식 에칭에는 활성 가스를 이온화하여, 이의 물리적 에너지를 이용하는 “이온 에칭”, 플라즈마화한 활성가스의 화학 반응을 이용한 “플라즈마 에칭”, 화학 반응과 물리 반응을 모두 이용한 “반응성 이온 에칭”(RIE: Reactive Ion Etching)등이 있다. 에칭을 한 후에 불필요해진 포토 레지스터는 플라즈마 에칭과 동일한 원리를 이용한 탄화 장치로 제거한다.

<표 2-E> 노광 방식 비교(광학 방식)

노광 방식	최소 사이즈	맞춤 정밀도
밀착 노광(proximity)	5 $\mu\text{m}$	$\pm 1 \mu\text{m}$
투영 노광(projection)	3 $\mu\text{m}$	$\pm 0.8 \mu\text{m}$
축소 투영 노광(stepper)	2 $\mu\text{m}$ 이하	$\pm 0.1 \mu\text{m}$ 이하

<표 2-F> 건식 에칭 기술 비교

건조 방식	반응 기구	방향성	가공 선택성	처리 속도
이온	물리 반응	이방성	소	소
플라즈마	화학 반응	등방성	중	중
RIE	물리, 화학 반응	이방성	대	대

4 불순물 주입

실리콘 웨이퍼에 불순물을 선택적으로 주입(도핑)하여 p 형, n 형의 영역을 형성한다. 불순물 주입 법에는 “열 확산 법”과 “이온 타설 법”이 있다.

- 열 확산 법(Thermal Diffusion)

포토 에칭에서 실리콘 산화 막(SiO<sub>2</sub>)의 일부분에 구멍을 뚫어 확산 시켜야 할 불순물의 고온(1,200℃ 전후)증기 안에 웨이퍼를 둔다. 이 장치를 확산로라고 한다. 웨이퍼를 한 장씩 수평으로 놓는 장치와 여러 장의 웨이퍼를 수직으로 놓는 장치가 있다. 확산로 안에서 선택적으로 불순물의 종류에 따라 p 형 또는 n 형의 영역을 형성한다.(선택 확산 법)

- 이온 타설 법(Ion Implantation)

이온 주입 법이라고도 한다. 불순물 원자를 이온화하여 고압 전기 속에서 가속하여 웨이퍼 표면에 타설, p 형 또는 n 형의 영역을 형성한다. 타설 깊이나 농도 등을 정밀하게 제어할 수 있으므로, 고 저항 형성 및 MOS 트랜지스터의 오차 제어 등에 사용된다.

5 스파터링(Sputtering)

배선 등에 이용하는 금속 박막을 형성하는 공정에 사용한다. “스파터링”에는 에칭과 디포지션(박막 형성)이 있는데, 여기에서는 막을 형성하는 것을 의미한다. 아르곤(Ar) 이온을 금속 타겟에 충돌시켜 타겟에서 금속 원자가 튀겨 나오도록 한다. 이것을 웨이퍼 표면 위에서 굳게 하여(metalize), 금속 박막을 형성한다(성막). 웨이퍼는 금속 타겟과 마주보도록 둔다. 타겟 금속은 알루미늄(Al)배선의 경우 Al 을 쓴다.

6 프로빙(Probing)

웨이퍼 공정에서 완성한 웨이퍼 상의 각 칩의 전기적 특성을 검사한다. 각 칩에 설치된 약 50 ~ 100  $\mu\text{m}$  각의 전극 패드에 LSI 테스터와 연결한 검사 칩(Probe)을 이용하여 합격품 / 불합격품을 선별한다. 불량품 식별 방법으로는 굵은 잉크 펜으로 식별 마크를 하는 방법과 웨이퍼 상에 위치를 데이터로 테스터에 기록하여 식별하는 방법이 있다. 이 프로브 검사를 웨이퍼 공정 도중에 하거나, 주변 온도를 변화시키는 방법으로 할 수도 있다. 최근 웨이퍼 상의 알루미늄 전극에 일괄적으로 프로브 단자를 접촉시키는 일괄 컨택트 방식의 웨이퍼 레벨 번 인(Wafer Level Burn-in)이 실용화 되었는데, 이는 패키지 후에 실시하였던 번 인을 웨이퍼 단계에서 처리하는 것이다. Ⓜ

- 다음 호에는 step 4. <조립, 검사 공정>편이 이어집니다.