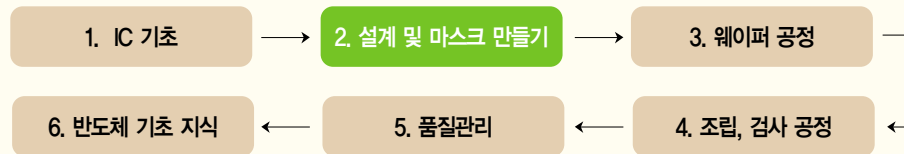


IC 설계에서 완성까지

(Step 2) 설계 및 마스크 만들기

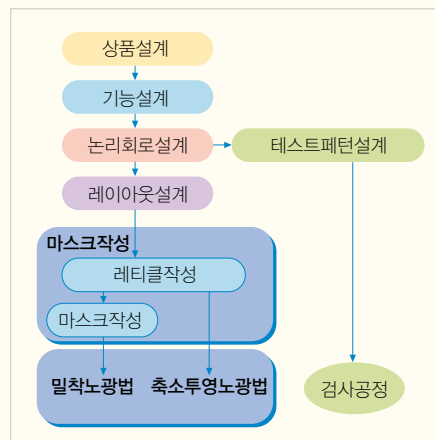
본 코너는 비전문가들을 위한 반도체 기초 지식에 관한 내용을 담고 있다. 앞으로 총 6회에 걸쳐 설계에서 완성까지 공정 순서에 따라 아래와 같이 연재 될 예정이다.



1 IC 설계(하드웨어 설계)

기구 개발 공정이 끝나면 IC 설계 공정으로 들어간다. 이를 소프트웨어 설계와 구별하여 하드웨어 설계라고도 한다. 최근 들어서는 광의적인 의미에서 소프트웨어 설계도 IC 설계에 포함시키는 경우도 있다.

협회의 IC 설계(소프트웨어 설계)는 상품 기획 단계에서 결정한 기능을 IC 에서 실현하기 위해, 논리도, 회로도, 마스크 데이터로 치환하는 것으로(그림 1), 하드웨어 기술 언어(HDL: Hardware Description Language)를 사용한다. 이 언어로는 VHDL(Very High Speed integrated Circuit HDL)이나 Verilog-HDL을 사용하며, 최근 C 언어(C++, SystemC, SpecC)등을 사용하기도 한다.



[그림 1]

IC 설계는 회로 규모의 대소, 성능(동작 속도, 소비 전력), 개발 기간, 개발비 및 양산 시 가격 등을 고려하여 최적의 방법을 선정하여 진행한다. 요즘에는 일종의 CAD(Computer Aided Design)라고 할 수 있는 설계를 위한 우수한 EDA(Electronic Design Automation)툴이 개발되어 있다. IC 설계는 점점 더 복잡해 지고 있어, 이런 EDA 툴이 없으면 설계를 할 수 없다고 해도 과언이 아니다. 이 단계의 최종 공정인 기능 회로 블록의 배치, 배선(레이아웃)을 마친 후, 배선 저

STEP 2. 설계 및 마스크 만들기

항의 증대로 인한 전기 신호의 지연이나 배선간 용량 및 상호 간섭으로 인한 클록 파형 증가, 시간 지연 등이 발생하게 되면, 논리 회로 설계 및 기능 설계부터 다시 시작하여야 한다. 이러한 비효율적인 반복 설계 작업을 방지하기 위해 기능 설계 및 논리 설계의 단계에서, 배선 지연 등을 추정하여 설계하는 EDA 툴도 등장하였다.

이하에서는 각 공정에서 사용하는 CAD 기술을 예로 들었다.

2 기능 설계

기능 설계에서는 IC를 장착한 시스템 장치의 동작을 이해하고 요구되는 성능을 만족시키기 위한 회로 방식을 결정한다. 결정된 회로 방식에 근거하여 기능 동작을 기술하고, 요구 사양을 만족시키는 것을 시뮬레이션을 통해 확인한다.

[CAD 기술] 기능 기술(HDL 하드웨어 기술 언어), 기능 레벨 시뮬레이션.

3 논리 회로 설계

논리 회로 설계에서는 기능 설계된 각 블록을 NAND, NOR 등의 기본 게이트 회로로 변환시킨다. 최근에는 기능 기술에서 논리 회로를 자동 생성하는 논리 합성 기술을 이용하고 있다.

변환된 게이트 회로는 논리 시뮬레이션을 사용하여 회로 동작이 올바른지 검증한다. 또한 IC로서 테스트하기 위한 테스트 용 신호(테스트 패턴)도 병행하여 작성한다. 이 테스트 패턴으로 모든 회로를 테스트하였다는 것을 고장 시뮬레이션을 통해 확인한다.

[CAD 기술] 회로도 입력, 논리 시뮬레이션, 논리 합성, 고장 시뮬레이션

4 레이아웃 설계

게이트 회로를 IC로서 실리콘 상에 실현하기 위해, 각각의 부품을 배치하고, 부품들을 배선하여 연결한 회로 패턴을 작성하는 공정이 레이아웃 설계이다. 메모리, 승산기 등 규칙적인 구성의 논리 기능은 셀 컴파일러를 이용하여 자동으로 원하는 셀을 생성한다. 게이트나 배선이 제조 조건으로 결정된 설계 법칙대로 배선되어 있는지 여부를 확인(디자인 룰 체크)한 후, 마스크 작성용 데이터(마스크 데이터)로 변환한다.

[CAD 기술] 자동 배치 배선, 셀 컴파일러, DRC(Design Rule Check)

5 마스크 작성

마스크 데이터는 사진 기술을 이용하여 각 마스크 별로 유리 기반 위에 패턴을 전사한다. 패턴으로는 Cr(크롬)이나 젤라틴을 사용한다. 원판(레티클)은 사진의 네가 필름에 상당한다. 일반적으로 IC 칩 사이즈의 4~5 배 정도 또는 10 배 이상의 크기로 만들며 하나의 IC 를 만들



[다양한 형태의 마스크]

기 위해 10~30 장 정도의 레티클을 제작한다. 이 레티클은 축소 노광하는 축소 투영 노광법(스텝퍼)에 사용된다. IC 패턴이 점점 미세화됨에 따라 노광 시 웨이퍼 위에서 비치는 빛의 반사나 인접한 패턴의 영향을 받아 레지스터 패턴이 마스크(레티클)와 달라지는 경우가 있다. 이를 방지하기 위해 마스크 패턴을 미리 보정하는 경우도 있다. 이를 인접 효과 보정이라 한다. 레티클을 만드는 장치는 마스크 차폐 장치라고 한다. 전자 빔 노광 장치 또는 레이저 광으로 패턴을 노광한다. 이 레티클은 IC 제조 회사가 자체 제작하는 것 이외에도 마스크 전문 제조 회사(마스크 하우스)가 제공한다. ⏻

- 다음 호에는 step 3. <웨이퍼 공정>편이 이어집니다.