

반도체산업의 기술 및 표준화 동향 (II)

디지털표준과 공업연구원 이상근
02)509-7266~70 sglee@ats.go.kr

3. 차세대반도체

표9에서와 같이 차세대반도체는 향후 3년후의 단기전망으로 메모리와 로직을 복합화한 다기능 칩인 SoC, 5년후의 장기전망으로 기존 D램과 다른 동작원리와 신재료를 이용하는 포스트 D램의 개발에 집중되고 있다.

SoC는 하나의 칩에 다기능회로를 집적한 반도체이며, PC, 이동전화기 등 각종 디지털 정보기기에 내장

되는 다수의 반도체 칩을 하나로 통합하는 디지털 컨버전스의 휴전 기술을 이용한다.

포스트 D램의 구비요건은 대용량, 고속, 비휘발성, 저전력 등을 들수 있다 현재 유력한 차세대메모리로 F램과 P램이 부상하고 있으며, M램, Nano메모리, 단전자메모리가 연구개발 중이다. D램의 가격경쟁력을 증가하는 포스트D램은 아직 출현하지 않고 있는 실정이다.

<표 9. 포스트 D램의 전망>

구 분		실용화시기	주 요 사 항
단기전망	• D램, S램, Flash	현재~	• D램 기술 로드맵
	• SoC (시스템온칩)	현재~	• 휴전 기술 (메모리&비메모리 통합) • 디지털 컨버전스
장기전망	• F램(강유전체)	5~10년	
	• M램(자성)	5~10년	IBM (256 M?)
	• P램(상전이)	5~10년	Cost Down, SoC용이
	• N램(나노튜브)		초고집적도(Terabit)
	• SET램(단전자)		Terabit

1) SoC(시스템온칩)

SoC는 선폭 130 nm ~50 nm의 초미세회로 나노공정, 구리배선공정, 300 mm 웨이퍼공정 등의 기술을 적용하여 초소형·초박형으로 시스템화한 것이다. 그 적용사례를 살펴보면, 반도체단말기의 다기능지원을 하는 원칩 휴대폰을 인텔이 출시할 예정이다. 플래

시메모리와 S램에 DSP, 휴대폰프로토콜S/W, 주변장치 등을 하나의 칩으로 만든 셀룰러온칩은 2007년에 출시될 예정이다 또한 그림3에서와 보는바와 같이 D램, S램 및 Flash메모리를 하나의 칩으로 만든 메모리반도체 SoC 뿐만아니라 메모리반도체에 비메모리(시스템LSI)를 통합한 반도체 통합칩 SoC들이 개발되고 있다.

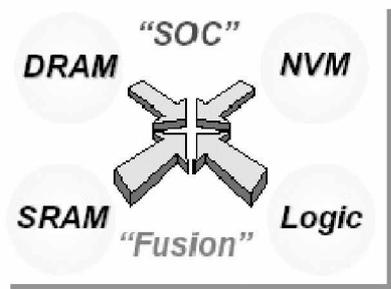


그림 3. 메모리반도체와 비메모리반도체의 통합칩 SoC

2) 포스트 D램

가) F램 (Ferroelectric RAM) 강유전체램

F램은 그림4에서와 같이 D램과 동일한 구조와 동작원리로 커패시터를 강유전체로 대체되었으며 가해진 전기장에 따라 잔류분극을 이용하여 0과 1을 저장하는 비휘발성 메모리이며, Flash 메모리를 대체할 대표적인 차세대 메모리로 부상되고 있다. 그 용도는 PC, 모바일기기 및 디지털가전기기 등의 메모리이다.

F램의 특징은 D램의 기록 횟수($> 10^{15}$)에는 못미치지만 Flash 메모리 ($\sim 10^5$ 회 반복 기록) 보다 더 긴 동작수명 ($> 10^{13}$ 회)을 가진다. 뿐만 아니라 대용량, 정보처리속도의 고속화, 저전력, 비휘발성을 나타낸다. D램과 동일한 동작 원리를 사용하기 때문에 원칙적으로 인접 셀 간의 간섭 등 초고집적화에 따른 문

제가 거의 없다.

국내의 개발동향을 보면 국내업체가 외국업체에 비해 약간 앞서 나아가고 있다. 삼성전자는 '90년부터 F램 개발에 착수하여 '00년 7월에 4 Mb F램을 개발하였으며, '04 ~ '06년에 상용화 예정으로 현재 32 Mb를 개발중에 있다. 일본의 Fujitsu와 Toshiba, 독일의 Infineon 등은 2004년에 양산할 예정으로 휴대기기용 및 IC카드용 8 Mb 및 16 Mb를 개발하고 있다.

그 동안의 수많은 연구개발결과로 인하여 생산공정 및 소재물질의 문제는 해결하였지만 가격경쟁력을 확보하지 못해 상용화가 지체되고 있다. 가격 경쟁력 문제는 전체적인 시장 규모와 장비, 재료 시장의 상황에 따라 크게 좌우된다. 따라서 이 분야에 대한 지원을 강화할 경우 매우 큰 파급효과가 기대된다.

	2000년	2001년	2002년	2003년	2004년	2005년	2006년	2007년	2008년	2009년	2010년
Design Rule	0.5 μ m		0.35 μ m		0.25 μ m		0.18 μ m		0.13 μ m		0.07 μ m
Memory 용량	1M		4M		16M		64M		128M		256M

출처 : Nikkei Electronics

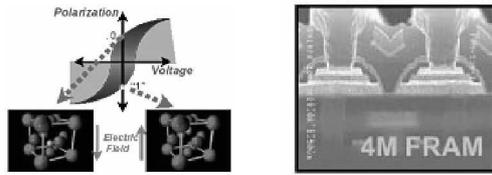


그림 4. FRAM의 로드맵, 구조 및 동작원리

나) M램 (Magnetic RAM) 자성램

M램은 그림 5에서와 같이 가해진 자기장에 의한 박막의 자화방향에 따른 자기저항효과를 이용한 비휘발성 차세대 메모리이다. 반도체 내부의 자기 메모리 셀의 자화 방향에 따라 '0' 또는 '1'의 데이터 비트가 기록되는 메모리이다.

M램의 특징은 기존의 전기 신호를 자기신호로 바꾼 것이 가장 크며, 저전력, 비휘발성, 반영구적인 제품 수명을 가진다. 또한 Flash메모리의 1000배 빠른 쓰기 특성, 데이터접속(access) 시간도 D램보다 10배 빠른 5 ns, 사용전력은 D램의 1/100수준인 2 mA로 현재의 메모리중 최고의 동작성능을 가진다.

M램의 문제점은 자체를 이용하여 하나의 셀을 동작시키기 때문에 집적도가 증가될 수록 인접 셀 간의

간섭이 심해지는 문제를 안고 있다. 이 문제를 해결할 수는 있으나 공정이 어려워지고 양산성에 장애로 작용한다. 또한 TMR junction에서 사용되는 터널링 산화막의 두께를 웨이퍼 전면에서 0.1 nm 이하의 균일성을 갖도록 조절해야 하는데 현실적으로 불가능하다. 따라서 단위 셀의 성능은 우수하나 양산성 있는 공정으로 발전되기는 매우 어려운 것으로 판단되고 있다

국내외 개발동향을 보면 IBM은 2005년에 256 Mbit 상용화제품의 출시 예정을 발표하바 있지만, IBM, Infineon 등은 최근 M램의 제품화의 문제점들에 의하여 오히려 이 분야에서의 투자를 줄이고 있는 상태이다. 삼성전자는 커패시터의 자성박막을 대체하여 2005년 Mb급 M램을 개발 진행중이다.

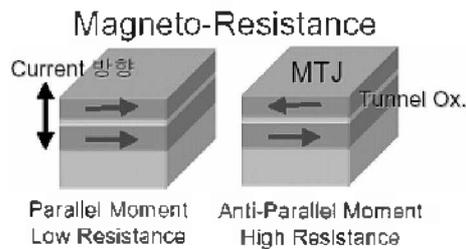


그림 5. M램의 구조 및 원리

다) P램 (Phase-change Memory) : 상전이 메모리

P램은 그림 6에서와 같이 물질의 상(Phase) 변환에 따른 전기저항 차이를 이용하여 정보를 저장하는 비휘발성 메모리이다. 가역적 구조 상전이 현상을 데이터저장 메모리로 활용하며, 칼코겐나이드 합금재료(Ge₂Sb₂Te₅) 박막이 비정질상에서 결정질상으로 상변환을 하여 결정질상태일때 저항 및 활성화에너지가 낮고, 장거리 원자질서와 자유전자밀도는 높다

P램의 장점은 SoC로 제작하기가 쉬우며, 생산가격이 차세대 메모리반도체중에서 낮은 편이다. P램은

5 ns의 처리속도로 매우 빠르며, 저소비전력, 10년 이상의 비휘발성을 가지며, 10조(10¹³) 이상까지의 동작수명을 가진다. 작동온도는 77 K(-196℃)의 저온에서 453 K (180℃)의 고온영역까지 넓은영역에 이른다.

P램은 요즘 연구개발이 상당히 촉진되어 상용화 시기가 빨라지며, 차세대 메모리로 향후 전망이 좋다. Intel과 STMicroelectronics은 모바일 기기용의 P램을 개발하며 전반적으로 기술개발을 주도한다 국내는 산업체 대학 연구소 등큰 관심을 가지고 산학연 컨소시엄하에서 연구개발의 촉진이 요구된다.

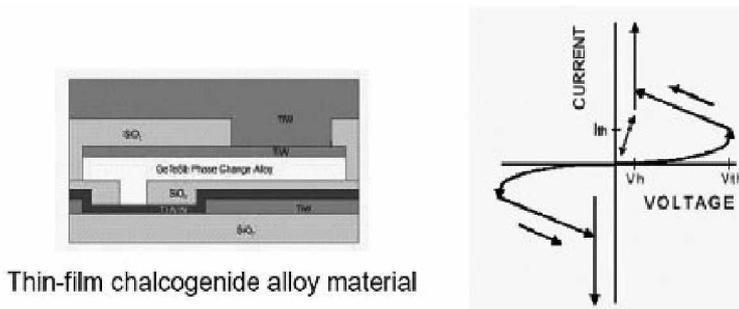


그림 6. P램의 구조 및 원리

라) N램 (Nanotube Memory) : 나노 메모리

N램은 그림 7에서와 같이 탄소나노튜브(CNT, 수 nm ~20 nm의 튜브형 소재)의 특성을 이용하여 제작한 나노메모리이며, MOS-FET의 소스와 드레인 사이의 채널을 CNT로 대체하여 수직으로 성장시켜 제작한 트랜지스터 구조를 가진다.

1 Terabit이상의 초고집적 소자를 제작할 수 있는 기술로 주목받고 있으며 현재 연구개발단계로 차세대 반도체에서 향후전망은 좋은편이다. CNT 특성 조절을 통한 band gap의 제어에 대한 연구가 진행중이다. 또한 소자 설계 최적화 및 제작에 대한 연구도 진

행중이다.

N램의 문제점은 아직 이와 같은 나노 재료들을 웨이퍼 상에 원하는 형태와 크기로 배열시킬 수 있는 경제성 있는 공정이 없는 상태이고 가까운 장래에 실현하기도 어려워 보인다. 따라서 기초적인 연구는 계속하되 대규모의 연구비를 투입하는 것은 효과적이지 않은 것으로 판단된다.

2010년 이후 약 1조달러 규모의 세계반도체시장이 예상된다. 삼성종합기술원은 세계최초로 CNT반도체 소자 고집적도(0.2 Tera급)를 개발하였으며, 과기부의 21C프론티어사업으로 수행하고 있다.

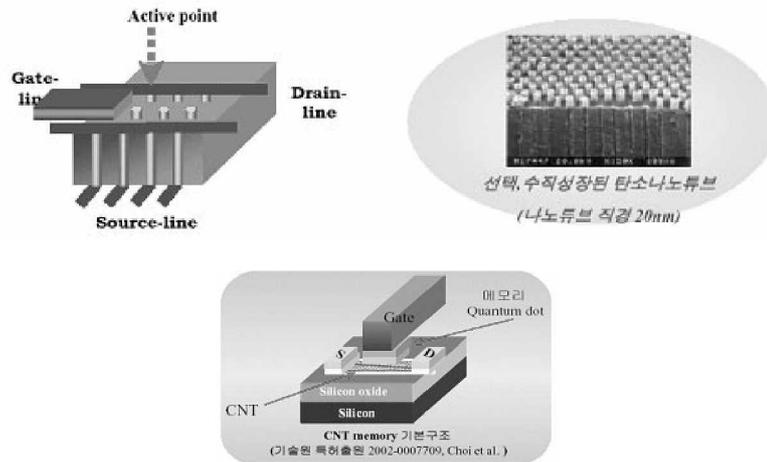


그림 7. N램의 구조 및 원리

다) SET램 (Single Electron Transistor) : 단전자 메모리

SET램은 반도체, 초전도체, 나노튜브 등을 사용하여 트랜지스터 내에서 단일전자의 이동을 이용한 단전자 메모리이다. 분자반도체는 기존 실리콘 트랜지스터를 분자 스위치로 대체하며, 나노기술 개발의 필요성이 매우 크며, 이론상으로 반도체 크기를 무한대로 축소할 수 있다.

SET램은 하나의 분자 혹은 원자가 스위치 역할을 하기 때문에 초전력구동 및 초고속 구동의 장점을 가진다

세계 최초의“ 나노 단분자 트랜지스터”는 재미 한국과학자인 하버드대 박홍근교수와 코넬대 박지용씨가 개발하였다. 금으로된 2개 전극사이에 단분자(바나듐2원자 혹은 코발트원자)를 배치하며, 그 전극의 간격은 2nm로 머리카락의 5만분의 1이되는 극미세 전극이다. 바나듐 단분자 아래에 위치한 제3극인 게이트에 전기를 가하면 전자가 바나듐을 통해 전극 사이를 이동함으로써 전류를 조절한다. 이는 나노크기의 전자소자의 개발에 크게 기여할 것이다

10여년 전부터 이 분야의 많은 연구개발이 진행되

었으나, 현재 확실한 실현 방법이 어려워 단분자 트랜지스터의 실용화는 곤란한 실정이다

4. 차세대반도체 기술개발 지원방향

향후 기술개발의 지원분야는 차세대반도체의 나노 공정 분야, 장비·재료 분야, 기초·설계 기술향상의 인력양성 분야 및 세계표준화 분야 등 기반구축이 우선적이며, 해당업체들의 적극적인 투자확대, 지적재산권확보 및 양산라인 구축 등을 들 수 있다.

반도체산업은 타이밍산업으로 시의 적절한 연구개발 지원의 중요성이 크며, 미국과 일본 선진국에서도 범국가적 반도체기술개발을 추진하고 있다. 미국은 반도체 선행공정 기술개발을 추진하며, 일본은 70 nm 나노기술개발을 추진하고 있다 또한 EU도 SoC 설계기술개발을 추진하고 있다.

차세대반도체의 기술개발은 ALD법을 이용한 나노 박막공정을 SoC 및 포스트 D램에 적용하고, 나노반도체용 나노리소그래피(EUV)의 핵심기술을 개발하는 차세대기술개발사업 뿐만아니라 수요업체와 장비업체가 협의체를 구성하여 공동개발 프로젝트의 추진

등을 들 수 있다. 비메모리반도체의 기초, 설계 기술 및 인력양성 등 인프라 구축으로 반도체산업의 균형적 발전을 유도한다. 세부적 추진사례로 통신, 디지털 가전 분야의 SoC 기술개발 활성화로 비메모리 반도체의 적극적 육성과 중소, 벤처기업 연계의 제도적 지원체재를 구축하고 공동개발을 추진한다.

차세대반도체의 국제표준화 촉진을 위해 산기반 조성사업에서 신성장동력산업 국제표준화 기반구축을 통하여 민관공동 협력체제를 강화하여 국제규격(IEC)과 단체규격(JEDEC) 등에서 한국의 규격안을 채택시키는 등 규격제정 활동을 활성화하고자 한다. 또한 해당업체는 연구·개발단계인 공정·재료·구조 등의 유효 특허, 개념정립단계인 원천 특허 확보의 유도로 지적재산권을 구축함으로써 국제경쟁력을 강화할 것이다

5. 반도체의 국제표준화 현황 및 추진

반도체는 주로 IEC TC 47(반도체소자) 기술위원회에서 SC 47A(집적회로), SC 47D(반도체패키지), SC 47E(개별반도체소자) 등 3개 분과위원회 및 총 22개 작업반(WG)으로 구성되어 운영되고 있다. 표 10에서와 같이 TC/SC의 국제간사(2명), WG컨버너(1명)의 업무 주도로 멤스 및 반도체센서 등 WG 12명의 국내전문가들이 국제표준화 활동에 적극적으로 참여하고 있다.

반도체소자의 국제표준화는 국제전기기술위원회(IEC)의 TC 47에서 추진하고 있으며, 2002년부터 한국이 간사국을 수입하여 반도체소자의 표준화활동을 주도하고 있으며 미국, 일본이 적극적으로 국제표준화 활동을 하고 있다. 한국은 IEC TC 47의 TC/SC 주요요직을 선점하고 있으며 국제간사 수입은 한국 2명, 일본 1명, 미국 1명이며, 외장 수입은 미국, 프랑스, 네덜란드 각국 1명씩이며, 금년에 한국은 SC 47D(반도체패키지)분과위원회의 작업반 컨버너 수입을 추진 중이다.

<표 10. 반도체 분야의 한국 IEC국제표준 주요요직 수입현황>

구분	분야	현재 수입자		간사국 (혹은 요직) 수입일	비고
		성명	소속		
국제간사	IEC TC 47 (반도체소자)	정일섭교수	성균관대	'02. 7	한국최초 TC간사국수입
국제간사	IEC SC 47E (개별반도체소자)	김영민이사	(주)동일기연	'93. 7	한국최초 SC간사국수입
컨버너	IEC SC 47E/WG 1 (반도체센서)	박세광교수	경북대	'94.10	한국최초 WG컨버너수입
컨버너	IEC SC 47D (반도체패키지)	이춘홍소장	(주)엠코코리아	'05.10	WG컨버너수입추진 중

메모리반도체의 표준을 실질적으로 JEDEC이 주관하며 D램, S램, 플래시메모리, 메모리 모듈 등 모든 메모리반도체의 전기적 표준을 제정하며, 이외에 신뢰성, 패키지 등 이에 수반된 표준도 모두 제정하고 있다. 최근 USB Driver 등 각종 메모리 카드가 등장하면서, 소니 등 Consumer 제품 생산 업체가, 마케팅 목적의 자사 제품용 카드 사양을 제정하고 있다. 한국은 JEDEC에서 메모리 기술사양 결정 및 설계기술 검토하는 메모리위원회(JC 42) 등 4개 분야에서 활동 중이다.

표 11에서와 같이 한국은 1종의 IEC 국제규격 출판과 1종의 제정규격의 진행중인 국제규격 및 4종의 국제규격 제안예정 등 센서 및 멤스 분야에서 우리기술을 제안 반영중이다. '96년 한국의 최초 국제규격제안인 "반도체센서의 일반 및 분류"에 대하여 경북대 박세광교수가 제안하여 '00년 10월에 국제규격으로 출판되었다. '02년 11월에 일본에서 제안하여 진행중인 "멤스의 용어 및 정의" 규격에서 현재 34%의 용어가 한국의 의견을 제안 반영하고 있다. 한국은 '04년 6월에 "초소형 전자소자(멤스)의 품목규격" 제안하여 CDV안을 준비중이다.

표 11. IEC TC 47(반도체소자) 분야의 한국 제안규격 및 활동현황>

세부 분야	규격번호	IEC 규격명	Projector Leader	소속	제안일	현단계
센서	IEC 60747-14-1 Ed.1	반도체센서의 일반 및 분류	박세광 교수	경북대	'96.10	'00.10 출판
멤스	IEC 62047-4 Ed.1	초소형 전자소자 (멤스)의 품목규격	박세광 교수	경북대	'04. 7	WD
멤스	IEC 62047-5 Ed.1 (예정)	RF 멤스 스위치	박재영 교수	광운대	'05. 8	NP제안 준비중
센서	IEC 60747-14-5 Ed.1 (예정)	반도체PN접합형 온도센서	박세광 교수	경북대	'05. 8	NP제안 준비중
센서	IEC 60747-14-6 Ed.1 (예정)	휴대폰용 CMOS 이미지센서	조완희 책임	매그너칩	'05. 8	NP제안 준비중
전력 소자	IEC 60747-7-5 Ed.1 (예정)	초고압 다이오드	강이구 교수	극동대	'05. 10	NP제안 준비중

◀ 현재 신규 IEC규격(안) 4종을 작성중이며 '05년 8월~10월 "반도체 PN접합형 온도센서" "RI"멤스 스위치" "초소형 다이오드" 및 "휴대폰용 CMOS 이미지센서"를 제안할 예정이다.

또한 IEC TC 47(반도체소자)의 국제간사 수임으로 한국의 역할을 강화하며, 한국은 우위에 있는 메모리반도체분야에서 JEDEC 단체표준을 지속적으로 추진하여 한국의 위상을 강화한다. 반도체센서 및 멤스의 기반기술에서 국제표준을 주도하며, IEC TC 47/SC 47B(개별반도체소자)에서 시장보다 앞서 표

준개발하고, 국내전문가의 표준화활동으로 국제표준 6종의 우리기술 반영한다.

메모리의 강자인 삼성전자가 JEDEC의 단체표준화 활동을 주도하며, ID램 관련 분과위원회 의장단의 한국활동 비중(40%) 확대하고, DDR3 SDRAM, XDR ID램, 플래시메모리 등 메모리 규격의 제안비중(43%) 확대한다.

반도체분야 IEC규격 151개 중 2005.7월 현재 85개(56%)의 KS규격화하였으며, 향후 IEC 국제규격을 KS 국가규격으로 도입을 확대할 예정이다. **표준**

