

SSA 기법에 기반한 생산조립라인의 디지털 부품 실장 PCB의 검사전략에 대한 연구

論 文

54D-4-5

A Study on the Test Strategy Based on SSA Technique for the Digital Circuit Boards in Production Line

高 銳 錫[†] · 鄭 龍 采^{*}
(Yun-Seok Ko · Yong-Chae Jung)

Abstract - Test methodology is diversity by devices and the number of test pattern is tremendous because the digital circuit includes TTL and CMOS family ICs as well as high density devices such as ROM and RAM. Accordingly, the quick and effective test strategy is required to enhance the test productivity. This paper proposes the test strategy which is able to be applied efficiently to the diversity devices on the digital circuit board by analyzing the structure and characteristic of the digital device. Especially, this test strategy detects the faulted digital device or the faulted digital circuit on the digital board using SSA(Serial Signature Analysis) technique based on the polynomial division theory. The SSA technique identifies the faults by comparing the remainder from good device with remainder from the tested device. At this time, the reminder is obtained by enforcing the data stream obtained from output pins of the tested device on the LFSR(Linear Feedback Shift Register) representing the characteristic equation. Also, the method to obtain the optimal signature analysis circuit is explained by furnishing the short bit input streams to the long bit input streams to the LFSR having 8, 12, 16, 20bit input/output pins and by analyzing the occurring probability of error which is impossible to detect. Finally, the effectiveness of the proposed test strategy is verified by simulating the stuck at 1 errors or stuck at 0 errors for several devices on typical 8051 digital board.

Key Words : SSA(Serial Signature Analysis), Digital Board, Board Test, LFSR(Linear Feedback Shift Register),PCB

1. 서 론

일반적으로 전기전자관련 생산업체들은 생산성 향상을 위해 조립라인에 표면실장 장비들을 도입하여 부품실장 과정을 자동화하고 있는데 조립과정에서 저항이나 콘덴서, 코일, 다이오우드 그리고 트랜지스터 등의 미삽, 역삽, 오삽문제, RAM, ROM등의 고착결합(STUCK AT) 문제 등이 발생함으로써 제품에 대한 품질 및 생산성이 심각하게 저하될 수 있다. 전기전자관련 연구자들은 전자부품들이 전자회로에 고밀도로 결합되는 조립과정에서 발생할 수 있는 전자부품 및 회로결합 문제들을 해결하기 위해 노력해 왔는데, [1]에서는 회로 보오드 단위로 테스트 패턴을 입력하여 출력패턴을 검사하는 회로기능 검사 기법(Full Functional Test)이 제안되었다. 그러나 고집적화로 검사패턴의 수가 기하급수적으로 증가하고 보오드 결함을 확인한 후에도 불량부품을 확인하기 위해 많은 시간비용이 요구됨으로써 모든 상정사고 데이터를 DB화한 고장패턴 지식베이스를 이용한 검사기법이 제안되었는데 모든 고장경우들에 대한 출력패턴을 DB화하는 과정에서 높은 프로그래밍 비용이 요구되었다. 따라서 [2-4]에서는

부품에 대해 개별적으로 검사함으로써 최소의 프로그래밍 비용으로 신속하게 고장부품을 확인할 수 있는 소자검사기법(In-Circuit Test)들이 제안되었다. 그리고 [5-6]은 소자검사 기법의 적용을 위해 검사테이블을 자동으로 작성하는 방법론들에 대해서 논하며, [7]에서는 검사신호로부터 검사 중에 있는 소자의 안전을 확보할 수 있는 방법론을 제안한다. 그리고 [8-9]는 아날로그 PCB에 대한 소자 검사기법과 시스템 설계 방법론을 연구하였으며, 참고문헌 [10]에서는 고도 전문가의 경험적 지식에 의해 주어진 전자회로의 특성을 이해하고 정확한 회로분석에 의해 가당회로 구성 및 검사전략을 수립할 수 있는 검사전략을 제안한다. 그러나 최근, 대부분의 생산 PCB들이 아날로그 부품은 물론 디지털 부품들을 포함하는 생산환경하에서, 현재의 회로 보오드에 대한 효과적인 검사를 위해서는 아날로그 부품들에 대해서는 물론, 디지털 부품들이나 디지털 회로에 대한 검사기능이 요구되고 있다. 특히, 디지털 회로는 TTL, CMOS 계열의 디지털 부품에서부터 ROM, RAM 등 고집적 부품들을 포함하기 때문에 부품별로 검사 방법론이 다양하고 또한 검사해야 할 패턴의 수가 출력핀들의 수에 따라 기하급수적으로 증가하기 때문에 검사 생산성을 제고할 수 있는 신속하고 효율적인 검사전략이 요구된다.

따라서 본 연구에서는 디지털 부품들의 구조와 특성을 분석하여 TTL, CMOS 계열의 디지털 IC에서부터 ROM, RAM 등 고집적 부품 등을 포함하는 디지털 회로의 다양한 부품들에 대해 생산라인의 표면실장 과정에서 발생할 수 있는 고착 0또는 고착1 결합등을 신속하고 정확하게 확인할 수 있는 검

[†] 교신전자 正會員 : 남서울大學 電子情報通信工學部 副教授 · 工博
Email : ysko@nsu.ac.kr

^{*} 正 會 員 : 남서울大學 電子情報通信工學部 助教授 · 工博
接受日字 : 2004年 8月 25日
最終完了 : 2004年 1月 31日

사전략을 제안한다. 특히, n비트 출력핀과 SSA(Serial Signature Analysis)간의 1:n관계를 지원하기 위해 멀티플렉서나 병렬/입력 데이터 변환기를 채택하는 대신 SSA기반 고장 검출기들을 n비트 출력핀들에 직접 적용하는 고장검출구조를 채택함으로써 검사패턴이 연속적으로 인가되도록 해 RAM, ROM등 고밀도 디지털 부품들의 검사시간을 줄여 검사생산성을 개선시킬 수 있도록 한다.

2. 기본 개념

TTL 및 CMOS 계열의 IC, ROM, RAM 등으로 구성되는 디지털 보드에 대한 결함은 그림 1과 같이 치구부의 푸르부를 이용하여 테스트 패턴을 입력하고자 하는 입력노드와 그 응답을 보고자 하는 출력노드들을 전기적으로 접촉시킨 다음, 가능한 모든 시험 입력패턴들을 입력노드에 순차적으로 가하면서 출력 노드로부터 생성되는 출력패턴을 정상값과 비교함으로써 확인될 수 있다.

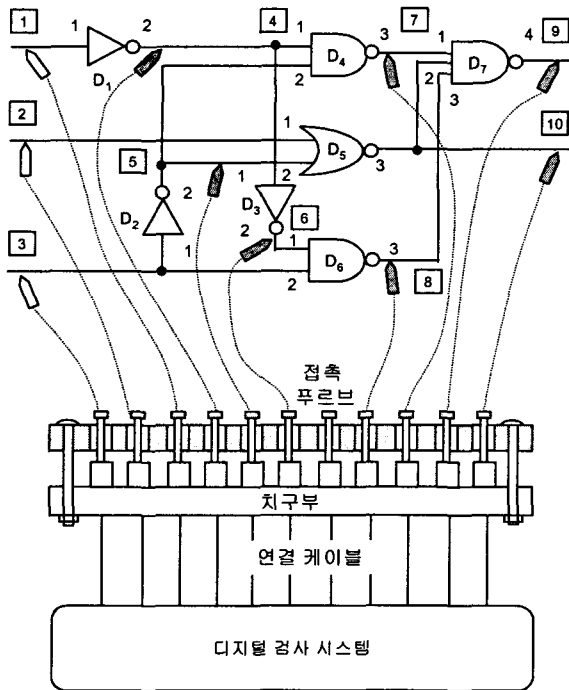


그림 1 디지털 회로에 대한 검사원리
Fig. 1 Test principle for a digital circuit

그림 1은 NOR, NAND 등 수개의 논리 게이트로 구성된 아주 간단한 디지털 회로를 보이는데, D_i 는 i 번째 디지털 디바이스, □는 노드번호, 그리고 일반숫자는 IC의 핀 번호를 표시한다. 점선은 치구부의 접촉 푸르브와 직접 접촉되어야 할 노드의 1:1 대응관계를 표시한다. 그림 1의 디지털 회로를 검사하고자 한다면, 입력노드들 1, 2, 3에 가능한 모든 입력 데이터 패턴들 즉, 7개의 입력 패턴들을 순차적으로 가하면서 출력 노드들의 응답을 감시해야 한다. 만약, 출력노드들의 응답들이 표 1의 출력노드 응답들과 동일하다면, 회로는 정상적인 것으로 판정된다. 그렇지만, 7개의 응답 패턴들 중 하나 이상의 동일하지 않은 패턴들이 하나이상 발견된다면 고장이 포함

되어 있음을 알 수 있으며, 필요에 따라 내부 노드들의 응답들을 통해 고장 디바이스를 확인할 수 있다.

표 1 디지털 검사 신호 패턴
Table 1. Digital test signal pattern

패턴 #	입력패턴			내부 노드 패턴					출력패턴	
	X	Y	Z	0	1	0	1	0	1	
1	0	0	1	1	0	0	1	1	0	1
2	0	1	0	1	1	0	0	1	1	0
3	0	1	1	1	0	0	1	1	1	0
4	1	0	0	0	1	1	1	1	1	0
5	1	0	1	0	0	1	1	0	1	1
6	1	1	0	0	1	1	1	1	1	0
7	1	1	1	0	0	1	1	0	1	0

즉, 3번째 패턴에서 출력응답이 1, 0이 아니고 1, 1이라면 임의의 내부 디바이스에서 고장이 있음을 알 수 있다. 그러나 이러한 검사과정은 모든 검사패턴들에 대해 검사패턴입력 후 검사출력패턴과 정상출력패턴을 반복적으로 비교해야 하는데, 대규모 집적회로의 경우 검사패턴 수가 폭발적으로 증가함으로써 검사속도의 심각한 저하를 경험할 수 있다. 이 문제는 이진 다항식의 나눗셈에 기반하는 SSA기법을 적용하여 해소될 수 있다. 즉, 가능한 모든 검사패턴을 검사하고자 하는 부품에 연속적으로 인가하면서 출력노드들로부터 연속적으로 발생하는 비트 스트림을 각 출력핀에 적용된 LFSR을 통해 압축한 후, 최종적으로 그 나머지 결과(signature)를 해석해 봄으로써 신속하게 결함여부를 확인할 수 있다. 그러나 이 방법은 n비트 출력핀과 SSA간의 n:1 관계를 해결하기 위해 멀티플렉서나 병렬/직렬 데이터 변환기를 활용해야 하는데 이 경우 검사패턴을 n번 반복하거나 n배의 클럭이 요구되는 등 검사시간을 증가시킴으로써 검사 생산성을 심각하게 저하시킬 수 있다. 이 문제는 SSA기반 LFSR을 각 출력핀에 적용하는 고장 검출구조를 채택함으로써 해소될 수 있다. 그러나 회로상에 존재하는 IC나 ROM, RAM 등 디지털 부품의 구조와 동작특성이 다양하기 때문에 이들에 SSA기반 고장검출 기법을 적용하기 위해서는 표면실장과정에서 발생할 수 있는 어드레스 핀, 데이터 핀 등의 단일, 다중 고착0 또는 고착1 결함 등에 대해 정확하고 효율적인 검사가 가능하도록 검사전략이 제안되어야 한다.

3. SSA(Serial Signature Analysis) 기법[5,8,9,11,12]

다중 비트 버스트 데이터를 검사하기 쉬운 형태로 압축하는 방법에는 대표적인 transition 카운터법이 있으며, 다른 한 방법으로는 통신분야에서 사용되어 온 PRBS(PseudoRandom Binary Sequence) 생성자에 의해서 만들어지는 CRC(Cyclic Redundancy Check) 코드를 이용하는 방법이 있는데, 이 개념에 근거를 둔 검사방법이 SSA 기법이며 전자에 비해 훨씬 더 효율적이다.

3.1 PRBS 생성기 설계

SSA는 PRBS에 근거를 둔다. PRBS는 입력 데이터 스트림을 PRBS 생성기로 입력하여 그 데이터 스트림을 PRBS 생성기의 특성 다항식으로 나눔으로써 얻을 수 있다. 입력 스

에러를 검출할 수 없다. 결함을 검출할 수 없을 확률은 검출 불가능한 에러에 대한 전체 에러의 비로 표시될 수 있다. 입력 스트림 $S(x)$, $Y(x)$ 가 n 비트 스트림으로써, n 개의 비트에서 모두 에러가 발생할 수 있기 때문에, 전체 에러는 $2^n - 1$ 로 표시된다. 반면에, 검출 불가능한 에러는 $P(x)$ 가 m 비트으로써 m 비트를 제외한 $n - m$ 비트에서 발생할 수 있기 때문에, $2^{n-m} - 1$ 이다. 따라서 결함을 검출할 수 없을 확률은 식 (3)과 같이, 표시될 수 있다.

$$Prob(PRBS, fail) = \frac{\text{검출불가능한에러수}}{\text{전체에러수}} = \frac{2^{n-m} - 1}{2^n - 1} \quad (3)$$

4. 디지털 부품 검사전략 설계

그림 4는 본 연구에서 제안하는 디지털 회로 검사 시스템 구성을 보인다. 먼저 검사 시스템은 검사 S/W, 데이터베이스, 32 채널 단위의 드라이브/리시브 회로 그리고 고장검출 회로 등으로 구성된다. 데이터베이스는 디지털 회로의 연결성과 정보를 효과적으로 표시할 수 있도록 디바이스 테이블, 디바이스 핀 정보 테이블 그리고 패턴 테이블로 구성된다. 검사전략 S/W는 검사 테이블 작성 모듈과 검사전략 생성 모듈 그리고 I/O 모듈로 구성된다. 검사 테이블 모듈은 검사 데이터베이스에 근거하여 연결성을 추적, 검사가 가능한 부품에 대한 검사 테이블을 작성한다.

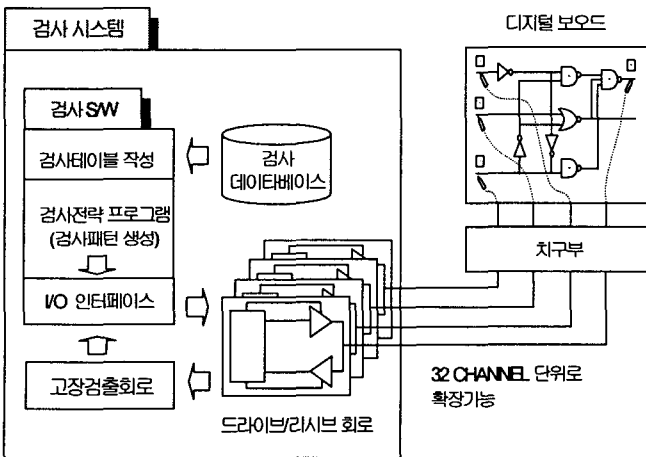


그림 4 검사 시스템 구성
Fig. 4 Configuration of test system

그리고 검사전략 모듈은 RULE 1-7]의 부품검사 전략에 근거하여 검사대상부품에 적합한 검사패턴 정보를 결정한 다음 I/O 모듈을 이용하여 각각의 검사 패턴을 드라이브 회로를 통해 순차적으로 치구부로 인가한다. 이때 검사대상 부품이나 회로의 출력 스트림이 출력되는데, 이 출력 스트림은 리시브 회로를 통해 연속적으로 고장검출 회로에 인가된다. 고장검출 회로는 SSA기법에 근거하여 이진 나눗셈을 실행하며 검사대상 부품에 대한 모든 검사패턴이 인가된 후, 결함여부를 표시한다. 최종적으로 검사 S/W는 그 결과를 확인하여 결함여부를 검사테이블에 기록한다. 다음은 디지털 회로의 대표적인 부품들에 대한 검사전략을 보인다.

RULE 1] $D_i \in LATCH$ 계열인 경우, 먼저 패턴조합 중 첫 번째 데이터 패턴 (D0:DN)을 출력한 다음 LE를 "H"로 OE를 "L"로 하여 설정함으로써 첫 번째 출력패턴을 발생시킨다. 그리고 이 과정을 가능한 모든 패턴들에 대해서 연속적으로 실행함으로써 출력 스트림을 연속적으로 출력시킨다. 여기서 D_i 는 i 번째 측정 부품을 의미한다. 패턴 반복횟수 R 은 1로 한다.

RULE 2] $D_i \in FF$ 계열인 경우, 먼저 첫 번째 데이터 패턴 (D0:DN)을 D_i 에 인가한 후 CLOCK 신호를 입력하고 OE를 "L"로 하여 설정함으로써 첫 번째 출력패턴을 D_i 의 출력핀 (Q0:QN)으로부터 발생시킨다. 그리고 이 과정을 모든 입력 패턴들에 대해서 연속적으로 반복함으로써 출력 스트림이 연속적으로 발생되도록 한다. 패턴 반복횟수 R 은 1로 한다.

RULE 3] $D_i \in ROM$ 계열인 경우, 먼저 어드레스 패턴 (A0:AN)을 00H로 설정하고 CE를 "L"로 한 다음, 다시 OE를 "L"로 설정함으로써 해당번지에 대한 데이터를 출력시킨다. 그리고 이 과정을 모든 가능한 어드레스에 대해서 반복 적용하여 출력 스트림을 얻을 수 있도록 한다. 패턴 반복횟수 R 은 1로 한다.

RULE 4] $D_i \in RAM$ 계열인 경우, 먼저 어드레스 패턴 (A0:AN)을 00H로 설정한다. 그리고 CE를 "L"로 설정하고 다시 WE를 "L"로 설정한 다음, 데이터 패턴(D0:DN)을 01H로 인가함으로써 해당번지에 데이터 "01H"를 기록한다. 다음 OE를 "L"로 인가하여 어드레스 00H에 대한 데이터 "01H"를 출력한다. 다음엔 "02H"가 입력/출력된다. 이 WR/RD 과정을 가능한 모든 어드레스에 대해서 반복, 적용함으로써 RAM의 출력패턴의 스트림을 얻는다. 특히, 패턴 반복횟수 R 을 2로 한다. $R=1$ 에서는 데이터 저장, 검색과정 즉, WR/RD 과정을 통해 데이터 핀 (D0:DM)의 고착결함을 확인하고 다음, $R=2$ 에서는 데이터 검색과정 즉, RD 과정만을 통해 어드레스 핀 (A0:AN)의 고착결함을 확인한다.

RULE 5] $D_i \in DECODER$ 계열인 경우, 셀렉터 패턴 (S1:SM)의 조합 중 가능한 첫 번째 패턴을 인가한 후 인에이블 신호 (G1,G2,G)를 (L,L,H)로 설정함으로써 첫 번째 출력패턴을 발생시킨다. 다음 가능한 모든 셀렉터 패턴들에 대해서 이 과정을 반복함으로써 출력패턴의 스트림이 출력되도록 한다. 패턴 반복횟수 R 을 4로 설정한다. 이것은 R 을 4로 설정함으로써 출력 비트 스트림의 길이를 늘려 결함 확인율을 높이기 위한 것이다.

RULE 6] $D_i \in ENCODER$ 계열인 경우, 먼저 데이터 패턴 (D1:DN)을 "01H"로 설정한다. 다음 셀렉터 패턴(S1:SN)의 조합 중 가능한 첫 번째 패턴으로 설정한 후 인에이블 신호 G 를 "L"로 설정함으로써 해당 입력신호를 출력한다. 다음 가능한 모든 셀렉터 패턴들에 대해서 이 과정을 반복함으로써 출력 스트림이 얻어질 수 있도록 한다. 이 과정이 끝나면 데이터 패턴(D1:DN)을 "02H"로 설정한다. 그리고 데이터 패턴 (D1:DN)이 "FFH"가 될 때까지 동일한 과정을 반복함으로써 출력패턴에 대한 스트림을 얻는다. 출력 비트 스트림의 길이가 충분히 길므로 패턴 반복횟수 R 은 1로 설정한다.

RULE 7] $D_i \in LOGIC GATE$ 계열인 경우, 기록기능이 없기 때문에 가능한 모든 데이터 패턴 (D0:DN)들에 대해서 연속적으로 테스트 패턴을 인가함으로써, 출력신호 패턴 (Q0:QN)에 대한 비트 스트림을 얻는다. 출력 스트림의 길이가 충분히 길므로 패턴 반복횟수 R 은 1로 한다.

4.1 PRBS 생성기에 근거한 고장 검출기 설계

PRBS 생성기 설계시의 고장 검출 확률을 비트별로 차이를 보이게 된다. 그림 5는 8, 12, 16, 20비트 PRBS 생성기 설계시의 고장 검출 확률을 보인다. 8비트, 12비트 설계시 입력 스트림의 길이가 26비트 이상인 경우 고장 검출확률이 각각 99.6093%, 99.9555%에 수렴하게 된다.

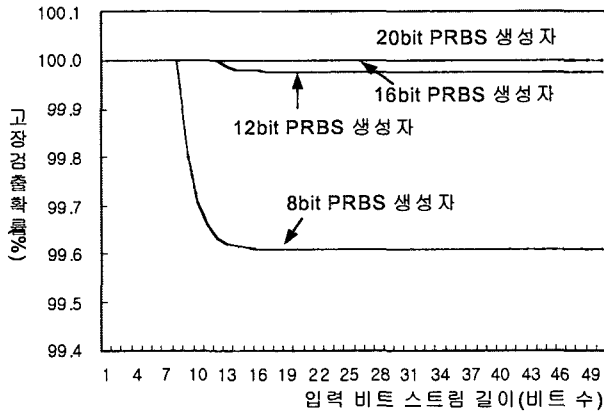


그림 5 입력 스트림의 길이에 따른 고장검출확률
Fig. 5 Fault detection probability for input stream lengths

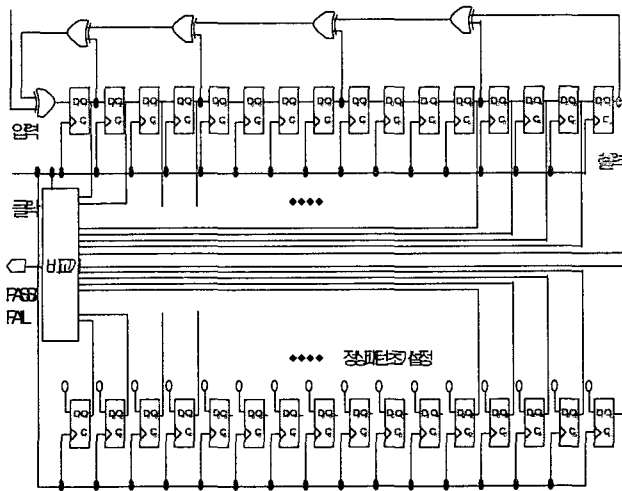


그림 6 16비트 PRBS 생성기에 근거한 고장 검출기
Fig. 6 Signature analyzer based on 16 bit PRBS generator

반면에, 16비트 설계시는 입력 스트림의 길이가 27비트 이상인 경우에 대해서 99.9984%에, 20비트 설계시에는 31비트 이상의 길이에 대해서 고장 검출확률이 99.9999%로 수렴하게 된다. 따라서, 고장검출 확률이나 하드웨어 구현의 편의성 등을 고려하여 PRBS 생성자는 16비트로 설계한다. 검사 시스템은 측정하고자 하는 노드에 대한 정확한 응답을 초기 설정한 후, 측정하고자 하는 노드로부터의 출력응답을 PRBS 생성기에 입력하여 압축시킨다. 다음 그 응답을 초기 설정값과 비교하여 회로의 고장여부를 확인한다. 만약 나머지 비교결과가 일치하면 PASS를 반면에, 그렇지 않으면 FAIL을 확인한다.

4.2 n비트 출력핀들을 고려한 고장검출 메커니즘 설계

일반적으로 디지털 보오드의 회로나 부품들의 출력들은 다중개의 핀으로 구성된다. 즉 한번의 테스트 패턴 스트림이 인가되면 n개의 출력핀들로부터 연속적인 출력 스트림들이 발생된다. 이러한 경우 그림 6에 제시된 하나의 고장 검출회로는 하나의 출력 스트림만을 검사할 수 있기 때문에 결함 검출률이 심각하게 저하될 수 있다. 따라서 본 연구에서는 한번의 검사패턴 스트림 인가로써 디지털 보드나 부품의 결함을 신속하고 정확하게 검출해낼 수 있도록 n개의 고장검출기를 활용한 고장 검출 메커니즘을 채택한다. 먼저 n개의 출력핀들에 대응하는 n개의 고장검출기들에 대해 순차적으로 초기 정상상태패턴을 설정한 후, 한번의 시험신호 스트림을 연속적으로 인가한다. 이때 n비트 고장검출기들에는 이진 나눗셈 이론에 의해 나머지 상태들이 남는다. 그러면 고장검출기들의 나머지 상태들은 초기 정상상태들과 비교됨으로써 최종적으로 X-OR 회로에 의해 결함유무를 신속하고 정확하게 확인할 수 있다.

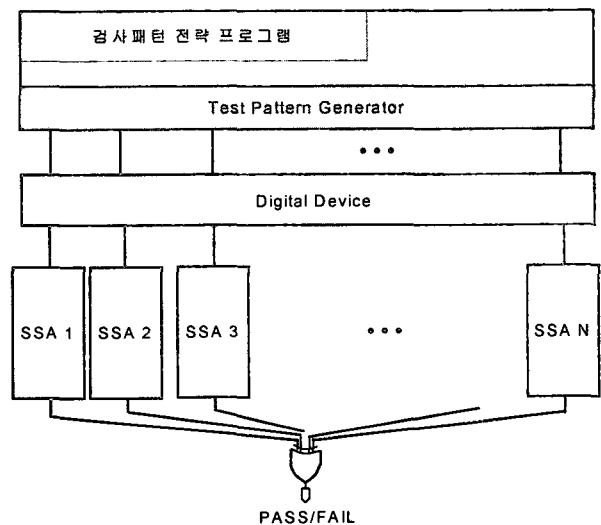


그림 7 n 비트 고장검출 메커니즘
Fig. 7 n bit fault detection mechanism

5. 시뮬레이션 검증

본 연구에서는 TTL 및 CMOS 계열의 IC는 물론 ROM, RAM등을 포함하는 디지털 회로 보오드 검사를 위해 고장검출에 최적한 SSA회로를 설계하였으며, 다음 이들을 기반으로 n비트 출력핀들을 고려한 고장검출 메커니즘을 제안하였다. 따라서 제안된 검사전략의 유용성을 검증하기 위해서 비교적 다양한 디지털 부품들을 포함하는 그림 8의 8051 회로[13]를 평가용 전자회로 모델로 도입하여, 검사생산성 개선정도를 검토하고 고장모의를 실시, 고장검출의 정확성을 검증한다. 시뮬레이션 검증을 위해 그림 6의 전자회로모델이 검사 데이터베이스로 구축된다. 그리고 회로내에서 검사하고자 하는 부품들 74LS573, 27C256, 62256, 74LS138, 74LS08, 74LS32, 74LS14, 74LS574 등의 동작특성을 모의하기 위해 동작모의 함수들이

구현되며 또한 고장 검출기 함수가 개발된다. 고장 검출기는 그림 6에 보인바와 같이 기본적으로 16비트로 설계되며, 그림 7에 보인바와 같이 32비트 출력패턴을 처리할 수 있도록 32비트 XOR 게이트의 입력으로 구성된다.

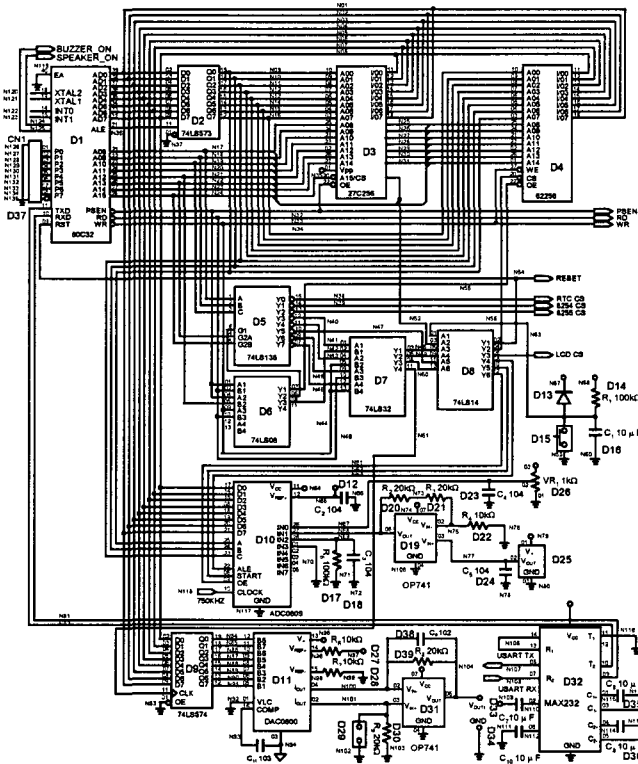


그림 8 성능검증을 위한 전자회로 모델
Fig. 8 Electronic circuit model for performance evaluation

5.1 검사시간 개선효과

멀티플렉서 접근법, 직병렬 변환기 접근법, 그리고 제안된 n비트 고장검출 메카니즘에 대한 검사시간 T_M , T_C , T_{n-SSA} 는 근사화된 수량법으로 표시하면 각각 식 (4), 식 (5) 그리고 식 (6)으로 표시할 수 있다.

$$T_M = (T_R + T_W) \times 2^{AI} \times O \times R \quad (4)$$

$$T_C = \{(T_R + T_W) + O\} \times 2^{AI} \times R \quad (5)$$

$$T_{n-SSA} = \{(T_R + T_W) \times 2^{AI}\} \times R \quad (6)$$

표 4 각 접근법에 대한 검사시간 비교
Table 4 Comparison of test time for three approaches

#	부품 종류	부품 ID	A	I	O	R	T_M (ck수)	T_C (ck수)	T_{n-SSA} (ck수)
1	LATCH	74LS573	0	8	8	1	10240	3328	1280
2	EPROM	27C256	15	8	8	1	1310720	425984	163840
3	SRAM	62256	15	8	8	2	5252880	1179648	655360
4	DECODER	74LS138	3	0	8	4	1280	416	160
5	AND	74LS08	0	8	4	1	5120	2304	1280
6	OR	74LS32	0	8	4	1	5120	2304	1280
7	INVERTER	74LS14	0	6	6	1	1920	704	320
8	FLIPFLOP	74LS574	0	8	8	1	10240	3328	1280

여기서, T_R 은 데이터 읽기시간, T_W 은 쓰기시간을 표시하는 데, RAM의 경우를 제외하면 $T_R=0$ 이다. 그리고 AI 는 어드레스 핀의 수를 원칙으로 하나 A가 0인 경우 입력 핀의 수 I로 한다는 것을 의미하며, O는 출력핀, R은 데이터 반복횟수를 표시한다. 따라서 본 연구에서 제안한 방법은 그림 8의 디지털 보오드를 검사하는 경우 $T_R=T_W=5$ 클락이라 가정하면 부품별로 표4와 같은 개선효과를 보임을 알 수 있다. 이와같이 하나의 보오드에 대해서 n-SSA기법이 검사클락수를 현저히 개선하는 것을 알 수 있는데, 대량생산의 경우 검사 보오드수에 따른 개선효과는 그림 9에 보인다.

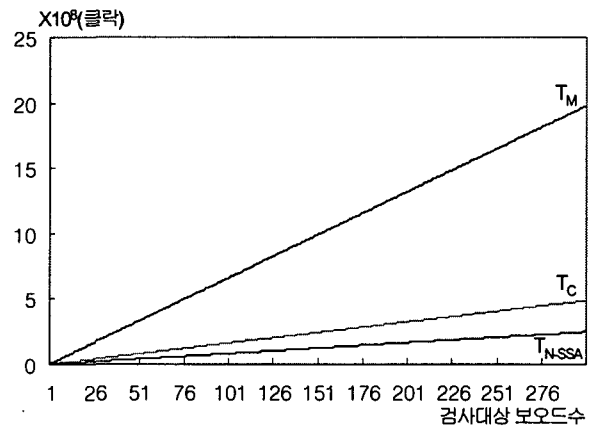


그림 9 세 접근법들에 대한 검사시간 비교
Fig. 9 Test time comparison for three methods

5.2 고장 모의 검증

시뮬레이션 프로그램은 먼저 검증절차에 근거하여 검사 테이블을 작성한다. 표 5는 작성된 검사 테이블을 보이는데 DI는 디지털 부품이나 회로임을 표시한다. 검사가능여부는 검사전략이 존재하지 않거나 측정이 불가능한 경우 NO로 표시되며 이 경우 검사 테이블에서 제외된다. 패턴타입은 검사부품에 인가하기 위해 요구되는 입력패턴 스트림을 발생시키는 방법을 의미하는데 A는 조합논리에 근거하여 n비트인 경우 2^n개의 패턴이 자동 생성되는 것을, 반면에 T는 미리 준비된 패턴 테이블에 근거하여 m개의 패턴이 만들어지는 것을 의미한다. PASS/FAIL 항목은 입력패턴 테이블이 인가된 후 고장검출기의 출력에 근거하여 검사대상 부품에 대한 결함 여부를 표시한다.

표 5 검사 테이블
Table 5 Test table

#	부품 번호	부품 타입	부품 종류	부품 ID	패턴 타입	검사가능 여부	PASS/FAIL
1	2	DI	LATCH	74LS573	A	YES	PASS
2	3	DI	EPROM	27C256	A	YES	PASS
3	4	DI	SRAM	62256	A	YES	PASS
4	5	DI	DECODER	74LS138	A	YES	PASS
5	6	DI	AND	74LS08	A	YES	PASS
6	7	DI	OR	74LS32	A	YES	PASS
7	8	DI	INVERTER	74LS14	A	YES	PASS
8	9	DI	FLIPFLOP	74LS574	A	YES	PASS

검사 테이블의 목록에 근거하여 각 부품들이 정상적으로 동작하는 상태에서 RULE 1-7)에 근거하여 연속적으로 입력 패턴들을 생성, 각 부품들의 어드레스 핀이나 데이터 입력핀에 인가한 후 고장검출회로의 각 SSA들의 내부상태를 확인한다. 그리고 그 내부상태값을 고장검출기의 정상상태 값으로 하는데 표 6은 정상상태 값으로 설정될 각 SSA들의 내부상태 값을 보인다. 다음 순차적으로 각 부품들에 대한 검사를 TEST 1-5)에 보이는 바와 같이 실시, 얻어진 결과를 표 6에 보인 결과와 비교, 제안된 전략들의 유효성을 검증한다.

표 6 정상 부품의 시그네이처
Table 6. Signature of normal device

부품명	고장	SSA0 (Q0)	SSA1 (Q1)	SSA2 (Q2)	SSA3 (Q3)	SSA4 (Q4)	SSA5 (Q5)	SSA6 (Q6)	SSA7 (Q7)
74LS573	없음	A280	176F	8756	638F	1186	DF61	5746	031A
27C256	없음	725B	E4B7	810A	4A70	DC84	F16C	AA8D	1D1F
62256	없음	52D1	22A5	454B	8A96	152D	2A5A	54B4	A968
74LS138	없음	3042	6085	C10B	8217	042F	085F	10BF	217F
74LS08	없음	1259	3317	68F6	CF2E	-	-	-	-
74LS32	없음	A7B6	D7CE	A611	9B72	-	-	-	-
74LS14	없음	CD77	D248	0031	FCD8	F044	EF33	-	-
74LS574	없음	A280	176F	8756	638F	1186	DF61	5746	031A

TEST 1] 측정부품 74LS573에 대해 5가지 결함이 모의된다. 5번 핀의 단일 고착0 결함, 5, 9번 핀의 다중 고착0 결함, 5번 핀의 단일 고착1 결함, 5, 9번 핀의 다중 고착1 결함 그리고 5,9,17번 핀의 다중 고착1 결함을 모의한다. D₇가 74LS573으로 LATCH에 속하므로 RULE 1]에 근거하여 검사패턴이 발생된다. 정상상태의 경우 SSA 0~SSA 7이 각각 "A280", "176F", "8756", "638F", "1186", "DF61", "5746" 그리고 "031A"를 나타낸다. 반면에 고착0 결함의 경우 표 7의 #1에 보인바와 같이 SSA 0~SSA 7이 각각 "A280", "176F", "8756", "FFFF", "1186", "DF61", "5746" 그리고 "031A"를 나타낸다. 따라서 정상상태와 모의상태가 같은 SSA0, SSA1, SSA2, SSA4, SSA5, SSA6, SSA7는 "0"를 표시함으로써 정상임을 표시하나 상태가 다른 SSA 3이 "1"을 표시함으로써 최종적으로 고장 검출회로는 "1"을 표시한다. 여기서 "0"는 정상상태 즉 PASS를 반면에 "1"은 고장상태 즉 FAIL을 의미한다.

TEST 2] 측정부품 27C256에 대해 5가지 결함이 모의된다. 9번 핀의 단일 고착0 결함, 9, 13번 핀의 다중 고착0 결함, 9번 핀의 단일 고착1 결함, 9, 13번 핀의 다중 고착1 결함 그리고 9, 13, 18번 핀의 다중 고착1 결함을 모의한다. 여기서 핀 9는 어드레스 핀이고 핀 13, 18은 데이터 핀이므로, 어드레스 핀과 데이터 핀의 고장을 개별적으로 또는 다중으로 모의하게 된다. D₇가 27C256으로 ROM에 속하므로 RULE 2]에 근거하여 검사패턴이 발생된다. 각각의 경우들에 대해서 표 7의 #1에 보인바와 같이 SSA들의 추론결과를 기반으로 고장검출기 출력이 "1"을 표시함으로써 정확하게 "FAIL"을 확인함을 알 수 있다.

TEST 3] 측정부품 62256에 대해 5가지 결함이 모의된다. 9번 핀의 단일 고착0 결함, 9, 13번 핀의 다중 고착0 결함, 9번 핀의 단일 고착1 결함, 9, 13번 핀의 다중 고착1 결함 그리고 9, 13, 18번 핀의 다중 고착1 결함을 모의한다. 여기서 핀 9는 어드레스 핀이고 핀 13, 18은 데이터 핀이므로, TEST 4]

의 경우와 같이 어드레스 핀과 데이터 핀의 고장을 개별적으로 또는 다중으로 모의하게 된다. D₇가 62256으로 RAM에 속하므로 RULE 3]에 근거하여 검사패턴이 발생된다. 각각의 경우들에 대해서 표 7의 결과에 보인바와 같이 SSA들의 추론 결과에 따라 고장검출기 출력이 "1"을 표시함으로써 고장검출회로가 정확하게 어드레스 핀이나 데이터 핀의 고착결함에 대해서 정확하게 "FAIL"을 확인함을 알 수 있다.

TEST 4] 측정부품 74LS138에 대해 5가지 결함이 모의된다. 2번 핀의 단일 고착0 결함, 2, 7번 핀의 다중 고착0 결함, 2번 핀의 단일 고착1 결함, 2, 7번 핀의 다중 고착1 결함 그리고 2, 7, 15번 핀의 다중 고착1 결함을 모의한다. 여기서 2번 핀은 셀렉터 핀이다. D₇가 74LS138로 DECODER에 속하므로 RULE 4]에 근거하여 검사패턴이 발생된다. 각각의 경우들에 대해서 표 7의 결과를 보임으로써 고장 검출기 회로가 셀렉터 핀이나 데이터 핀의 단일 또는 다중 고착의 경우에 대해서도 정확하게 "FAIL"을 추론함을 알 수 있다.

표 7 고장 부품의 각 SSA에 대한 시그네이처
Table 7. SSA signature of faulted device

부품명	고장 타입	핀번호	SSA0 (Q0)	SSA1 (Q1)	SSA2 (Q2)	SSA3 (Q3)	SSA4 (Q4)	SSA5 (Q5)	SSA6 (Q6)	SSA7 (Q7)	PASS /FAIL
			74LS 573	고착0	5	A280	176F	8756	FFFF	1186	DF61
	고착0	5.9	A280	176F	8756	FD68	1186	DF61	5746	031A	FAIL
	고착1	5	A280	176F	8756	FFFF	1186	DF61	5746	FFFF	FAIL
	고착1	5.9	A280	176F	8756	FD68	1186	DF61	5746	FD68	FAIL
	고착1	5.9.17	A280	176F	FD68	FD68	1186	DF61	5746	FD68	FAIL
27C 256	고착0	9	4722	8E45	09FD	068D	186D	25AC	5E2E	A92A	FAIL
	고착0	9.13	FB34	F669	3DD1	AAA0	8442	D987	620C	151B	FAIL
	고착1	9	CA86	950D	7708	B302	3B16	2B3F	086C	4BCA	FAIL
	고착1	9.13	1633	2C66	8BB4	C410	5B59	65CB	18EE	E2A5	FAIL
	고착1	9.13.18	1633	2C66	8BB4	C410	5B59	65CB	4ED7	E2A5	FAIL
622 56	고착0	9	8EBE	4022	4280	47C4	4D4C	585C	727C	263D	FAIL
	고착0	9.13	F41B	F783	E986	D5DC	AD08	5CA1	BFF2	7955	FAIL
	고착1	9	56DD	E835	8D79	47E0	D2D3	F8B4	AC7A	05E7	FAIL
	고착1	9.13	4424	E8C2	02FC	D680	7E78	2F89	8C6B	CBAE	FAIL
	고착1	9.13.18	4424	E8C2	02FC	D680	7E78	2F89	9151	CBAE	FAIL
74LS 138	고착0	2	FFFF	FFFF	C10B	8217	FFFF	FFFF	10BF	217F	FAIL
	고착0	2.7	FFFF	FFFF	C10B	8217	FFFF	FFFF	10BF	FFFF	FAIL
	고착1	2	3042	6085	FFFF	FFFF	042F	085F	FFFF	FFFF	FAIL
	고착1	2.7	3042	6085	FFFF	FFFF	042F	085F	FFFF	D194	FAIL
	고착1	2.7.15	D194	6085	FFFF	FFFF	042F	085F	FFFF	D194	FAIL
74LS 08	고착0	2	FFFF	3317	FFFF	FFFF	-	-	-	-	FAIL
	고착0	2.8	FFFF	3317	FFFF	CF2E	-	-	-	-	FAIL
	고착1	2	A280	3317	FFFF	FFFF	-	-	-	-	FAIL
	고착1	2.8	A280	3317	FD68	CF2E	-	-	-	-	FAIL
	고착1	2.8.11	A280	3317	FD68	FD68	-	-	-	-	FAIL
74LS 32	고착0	1	176F	D7CE	A611	9B72	-	-	-	-	FAIL
	고착0	1.4	176F	8756	A611	9B72	-	-	-	-	FAIL
	고착1	1	FD68	D7CE	A611	9B72	-	-	-	-	FAIL
	고착1	1.4	FD68	FD68	A611	9B72	-	-	-	-	FAIL
	고착1	1.4.11	FD68	FD68	A611	FD68	-	-	-	-	FAIL
74LS 14	고착0	2	FFFF	D248	0031	FCD8	F044	CEAB	-	-	FAIL
	고착0	2.6	FFFF	D248	0031	FFFF	F044	EF33	-	-	FAIL
	고착1	2	FFFF	D248	0031	FCD8	F044	EF33	-	-	FAIL
	고착1	2.6	CEAB	D248	0031	CEAB	F044	EF33	-	-	FAIL
	고착1	2.6.12	CEAB	D248	0031	CEAB	F044	FFFF	-	-	FAIL
74LS 574	고착0	3	A280	FFFF	8756	638F	1186	DF61	5746	031A	FAIL
	고착0	3.14	A280	FFFF	8756	638F	1186	FFFF	5746	031A	FAIL
	고착1	3	A280	FD68	8756	638F	1186	DF61	5746	031A	FAIL
	고착1	3.14	A280	FD68	8756	638F	1186	FD68	5746	031A	FAIL
	고착1	3.14.17	A280	FD68	FD68	638F	1186	FD68	5746	031A	FAIL

TEST 5] 측정부품 74LS08에 대해 5가지 결함이 모의된다. 2번 핀의 단일 고착0 결함, 2, 8번 핀의 다중 고착0 결함, 2번 핀의 단일 고착1 결함, 2, 8번 핀의 다중 고착1 결함 그리고

2, 8, 11번 핀의 다중 고착1 결함을 모의한다. D₁가 74LS08로 AND GATE에 속하므로 RULE 5]에 근거하여 검사패턴이 발생된다. 각각의 경우들에 대해서 표 7의 결과를 보임으로써 고장 검출기 회로가 데이터 입력/출력 핀의 단일 또는 다중 고장의 경우에 대해서도 정확하게 "FAIL"을 추론함을 알 수 있다.

이상과 같이 TEST1-TEST8]의 모의고장에 대한 고장 검출기의 추론결과를 통해서 제안된 전략이 디지털 회로의 다양한 부품들에 대한 결함을 확인하는 데에 유용하게 활용될 수 있음을 확인할 수 있다.

7. 결 론

본 연구에서는 디지털 부품들의 구조와 특성을 분석하여 대량생산되는 디지털 회로 보오드상에 탑재된 TTL, CMOS 계열의 디지털 IC는 물론 ROM, RAM 등 고집적 부품들을 포함하는 다양한 부품들에 대해 표면실장과정에서 발생할 수 있는 고착0 또는 고착1 결함을 신속하고 효과적으로 검사할 수 있는 검사전략을 제안하였다. 특히, 이진 나눗셈 이론을 기반으로 하는 SSA들을 검사하고자 하는 디지털 부품의 출력핀들에 직접 적용, 검사패턴이 연속적으로 인가될 수 있도록 하는 고장 검출기 회로 구조를 채택함으로써 RAM, ROM 등 고밀도 부품들의 검사시간을 줄여 검사생산성을 개선시킬 수 있도록 하였다. SSA는 특성 다항식을 표시하는 LFSR을 이용하여 추정하고자 하는 검사 부품에 대한 모든 출력 핀으로부터 출력되는 출력 데이터 스트림을 처리하도록 설계하였다. 8, 12, 16, 20비트 LFSR에 대해 입력패턴들의 수를 변화시키면서 검출 불가능한 에러의 발생확률을 검토하여 최적한 LFSR을 설계하였다. 끝으로 대표적인 8051 디지털 회로에 대한 검사 데이터베이스를 구축하였다. 그리고 8051 보오드 회로내의 디지털 부품들에 대한 검사시간 개선효과와 단일 또는 다중 고착0 또는 고착1 결함을 모의 분석하여, 제안된 검사전략이 검사시간을 개선함과 동시에 정확한 결함 검출능력을 보임으로써 제안된 전략의 유효성을 입증할 수 있었다.

감사의 글

이 논문은 2003년도 남서울대학교 교내 연구비의 지원에 의하여 연구되었음

참 고 문 헌

[01] Jon Turino, "Functional Testing's Place In Electronics Manufacturing", Evaluation Engineering, pp 58-61 September 1984.
 [02] David T. Crook, "Analog In-Circuit Component Measurements: Problems and Solutions", Hewlett-Packard Journal, pp 34-42 march 1979.
 [03] Steve J Baker, "Analog-Component Faults Yield to In-Circuit Testing", GenRad journal pp 15-20, 1984.
 [04] Peter Hansen, "Ensuring ASIC Testability at the Board Level Tools and Strategies", ATE &

Instrumentation Conference, pp 33-43 1987.

[05] Ed O. Schiotzhauer, "User-Oriented Software for an Automatic Circuit-Board Tester", Hewlett-Packard Journal, pp 22-27, March 1979.
 [06] Edward S. Hirtel, "Knowledge Representation In an In-Circuit Test Program Generator", International Test Conference, pp 773-777, 1984.
 [07] Kenneth Jessen and Mike Bullock, "Safeguarding Devices under Test", Electronics Manufacture & Test, pp 35-38, July/August 1985.
 [08] R. A. Frohwerk, "Signature Analysis: A New Digital Field Service Method", Hewlett-Packard J., pp. 2-8, May 1977.
 [09] N. Benowitz, D. F. Calhoun and et. al., "Fault Detection/Isolation Results From AAFIS Hardware Built-In Test", NAECON' 76 RECORD, pp. 215-222, 1976.
 [10] 고윤석, "인공지능기법을 이용한 전자회로보오드의 자동 검사 전략에 대한 연구", 대한전기학회 논문지, 52권 12호, pp. 671-678 2003년 12월.
 [11] B. W. Johnson, Design and Analysis of Fault-Tolerant Digital Systems, Addison-Wesley Publishing Company, 1989.
 [12] James E. Smith, "Measures of Effectiveness of Fault Signature Analysis", pp. 510-514, IEEE Trans. On Computer, Vol. C-29, No. 6, June 1980.
 [13] 윤덕용, 어셈블리와 C언어로 익히는 8051 마스터, 오음사, 2001.

저 자 소 개



고 윤 석(高 鈞 錫)

1984년 2월 광운대 공대 전기공학과 졸업. 1986년 2월 광운대 대학원 전기공학과 졸업(석사). 1996년 2월 광운대 대학원 전기공학과 졸업(박사). 1986년 3월~1996년 3월 한국전기연구소 선임연구원. 1996년 4월~1997년 2월 포스코 경영연구소 연구위원. 1997년 3월~현재 남서울대학교 전자정보통신공학부 부교수.



정 용 체(鄭 龍 采)

1966년 2월 28일생. 1989년 한양대 공대 전자공학과 졸업. 1991년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1995년 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 1995년~1999년 LG전자 홈어플라이언스 연구소 선임연구원. 1999년~현재 남서울대 전자정보통신공학부 조교수.