

수율향상을 위한 반도체 EDS공정에서의 불량유형 자동분류*

한영신¹⁾, 이철기²⁾

Automatic Classification of Failure Patterns in Semiconductor EDS Test for Yield Improvement

Young Shin Han, Chil Gee Lee

Abstract

In the semiconductor manufacturing, yield enhancement is an urgent issue. It is ideal to prevent all the failures. However, when a failure occurs, it is important to quickly specify the cause stage and take countermeasure. Reviewing wafer level and composite lot level yield patterns has always been an effective way of identifying yield inhibitors and driving process improvement. This process is very time consuming and as such generally occurs only when the overall yield of a device has dropped significantly enough to warrant investigation. The automatic method of failure pattern extraction from fail bit map provides reduced time to analysis and facilitates yield enhancement. The automatic method of failure pattern extraction from fail bit map provides reduced time to analysis and facilitates yield enhancement. This paper describes the techniques to automatically classifies a failure pattern using a fail bit map.

Key Words: Semiconductor Manufacturing, EDS Process, Fail Bit Map, Failure Pattern

* 본 논문은 한국 시뮬레이션 학회 2003년 추계학술대회에서 발표한 내용을 수정, 보완한 것임.

** 성결대학교 공과대학 멀티미디어학과 전임강사

*** 성균관대학교 정보통신공학부 컴퓨터공학과 교수

1. 서론

반도체 산업은 1947년 벨연구소에서 트랜지스터를 발명한 이후 전자, 통신, 정보사업 부문과 함께 두드러진 발전과 성장을 기록한 산업으로 고도정보화 사회 진입과 첨단산업 발전의 핵심요소일 뿐만 아니라 재래산업의 생산성 향상과 고부가가치화를 위한 필수적인 요소부품으로서 그 수요가 급속히 확대, 다양화되고 있는 산업이다. 반도체 산업의 특징은 막대한 설비투자 및 연구개발 투자가 소요되고, 기술 혁신 속도가 빠르며 제품의 Life-Cycle이 타 산업에 비해 매우 짧아 제품의 초기 개발 및 초기시장진입이 매우 중요한 산업이다. 따라서 반도체 산업의 경쟁력은 가격보다는 품질과 기술에 중점이 주어진다.

Chip 테크놀러지의 발전과 함께 제품의 Life-Cycle은 점점 짧아지고 있으며, 신제품의 시장가격은 출하 이후 급속히 떨어지는 경향을 보이고 있으므로 매출과 이익의 극대화를 위해 고수율의 제품을 가능한 빨리 시장에 출하하는 것이 반도체 업체들의 목표가 되고 있다. 특히 설계이후 생산으로 이전되기까지 다양한 공정과 시행 오차를 거쳐 얼마나 빨리 생산 라인에 이전할 수 있도록 수율을 안정화시킬 수 있느냐 하는 것, 즉 얼마나 빨리 개발 기간을 단축시킬 수 있느냐 하는 것이 매우 중요한 관건이 되고 있으며, 또한 생산라인에서도 신규 제품 투입이후 얼마나 빨리 그리고 정확하게 개개의 공정들을 분석하고 컨트롤하여 초기 run이후 수율을 안정시키느냐가 반도체 제품의 성공에 매우 중요한 관건이 되고 있다.

1.1 연구 목적

EDS 웨이퍼테스트 수율은 FAB의 생산력을 평가하는 가장 중요한 척도로써 신제품의 수율을 조기에 확보하고 양산제품의 수율을 고수율로 유지하는 것이 생산활동의 주된 목

적이 되고 있다. 이에 대다수의 엔지니어들이 수율 향상 및 안정적인 수율 확보를 위한 업무를 수행하고 있으며, 수율을 하락시키는 불량률을 확인하고 원인을 분석하는데 많은 시간을 투자하고 있다. 또한 불량분석 전문팀을 구성하여 발생한 불량을 정확히 파악하고 불량 원인을 빠르게 규명할 수 있도록 체계를 구축하고 있다.

그러나, 불량분석을 수행하기 위해서 기본이 되는 불량유형 확인을 위해 많은 엔지니어들이 매일 발생하는 웨이퍼 맵을 확인하여 수작업으로 불량 패턴을 분류하고 summary하고 있으며, 수율관련 여러 부서에 걸쳐 한 디바이스에 대한 개별적인 불량유형 확인작업을 진행하고 있는 실정이다. 또한, 불량확인 작업이 수작업으로 이루어지므로 발생한 불량유형 및 불량 원인에 대한 효율적인 관리가 불가능하다. 따라서, 디바이스에 맞게 fail 특성을 정의하고 fail유형에 따라 웨이퍼를 분류하여 FAB에서 발생한 불량원인을 찾을 수 있도록 하는 일련의 작업을 자동화할 수 있다면 기존보다 효율적인 불량 분석 업무를 진행할 수 있으며 수율 및 품질 향상에 기초가 될 수 있을 것이다. 이를 위한 방법으로 본 연구에서는 웨이퍼의 fail 유형을 정의하고 자동으로 유형을 분류하는 SVM알고리즘을 제시하고자 한다.

1.2 기존 연구의 고찰

본 논문에서 제시하고자 하는 불량유형 분류 방법은 fail pattern recognition, failure analysis 방법 개선 연구부분에서 그 근원을 찾을 수 있다. Fail pattern recognition에 관한 연구는 Digital Equipment사에서 SRAM 제품에 적용한 bit map fail pattern recognition 방법이 1995년 IEEE에 소개되었으며[1], 방법은 neural network 알고리즘을 사용하여 구현되었다. 또한 해당업체에서는 fail pattern recognition 방법을 기반으로 한 수율 향상 방법을 1997년에 다시 발표하였으

며[2], 전문 분석 소프트웨어로 NEDA(Neural Network Engineering Data Analysis) system 을 두어 자동적으로 불량 유형을 검출하고 있음을 밝히고 있다. White Oak Semiconductor 사에서는 fail pattern classification 일환으로 memory fail pattern classification을 위하여 압축된 bit fail map을 이용하여 칩에 대한 상세한 불량 분석을 진행하고 있음을 논문을 통해 알 수 있다[3]. <표 1>은 관련연구를 비교 분석한 내용이다.

<표 1> 관련 연구 비교 정리

연구처	연구내용	장점/단점
Digital Equipment	Neural Network 알고리즘을 이용한 SRAM 제품 bit map fail pattern recognition	(장점)학문적으로 검증된 알고리즘사용 (단점)chip unit block 을 pass, fail로만 분리
White Oak Semiconductor	Memory fail pattern classification을 위하여 압축된 bit fail map을 이용하여 분석	(장점)Chip에 대한 상세한 분석 (단점)Special Test가 필요
Lucent Technologies	Backpropagation Neural Network 알고리즘을 이용한 Probe Failure pattern classification[5]	(장점)학문적으로 검증된 알고리즘을 사용 (단점)Wafer 불량 유형 분류 위주, chip은 good/fail로만분리

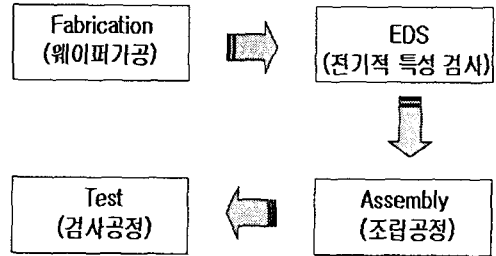
본 논문 구성은 다음과 같다. 2장에서는 EDS(Electrical Die Sorting)공정 및 불량 분석에 대해 설명하고 3장에서는 웨이퍼 불량유형 정의에 대해 설명하고 4장은 웨이퍼 불량 유형 분류를 위한 SVM(Support Vector Machines)알고리즘 정의에 대해 설명한다. 5장에서는 실험 및 결과를 마지막 6장에서는 결론을 제시하였다.

2. EDS 공정 및 불량 분석

2.1 반도체 제조공정

반도체 공정은 크게 4가지 단계로 나눌 수 있다. FAB(Fabrication) 공정과 EDS(Electrical Die Sorting) 공정, 조립(Assembly) 공정, 테

스트 공정이다. FAB공정은 실제 웨이퍼에 회로를 만드는 공정으로 반도체 제조의 시작 공정이라 할 수 있다. 각 공정을 흐름도로 나타내면 다음과 같다.



<그림 1> 반도체 생산 공정

2.2 EDS 공정 및 불량분석 개요

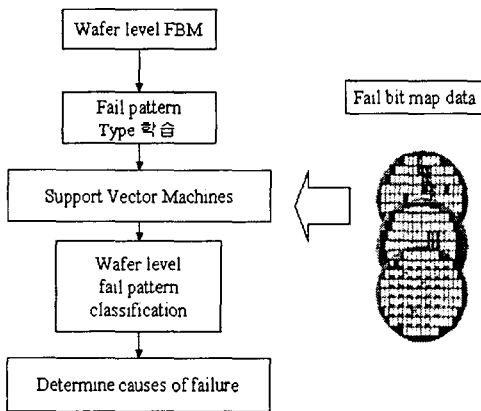
반도체 제조 과정 중 FAB공정이 끝난 웨이퍼에 전기적 신호를 인가하여 웨이퍼를 구성하고 있는 각 칩의 전기적 특성검사를 실시하여 정상적으로 동작하는지의 상태에 따라 양, 불량을 가려 내는 것을 EDS 테스트라고 한다. EDS 테스트의 목적은 웨이퍼를 구성하고 있는 각 칩의 양, 불량 선별과 불량 칩중에서 수리 가능한 칩의 재생을 위한 것이며 또한, FAB의 이상 Lot의 조기 피드백을 위하여 불량 칩의 조기 제거로 조립의 패키징 비용 및 패키징 검사 라인의 테스트 비용을 절감하기 위한 것이다. 반도체 제조 공정에 있어 불량분석은 EDS 테스트 결과 발생하는 칩의 불량 데이터를 분석하여 공정상 발생하는 결함을 관찰하고 제거하기 위해 수행된다. 따라서, EDS 테스트 결과 발생하는 데이터는 매우 중요한 의미를 가지며 특히 function 테스트 결과 발생하는 fail bit map 데이터는 불량을 분류하고 규명하는데 큰 역할을 하는 데이터이다.

2.3 불량 유형 분석 단계

불량 유형은 크게 칩레벨과 웨이퍼레벨로

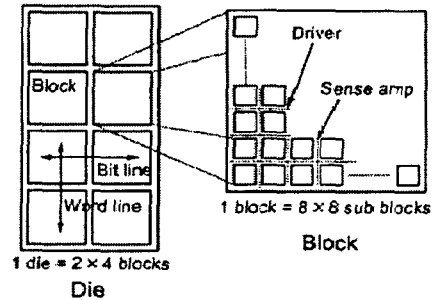
구분된다. 칩의 불량은 각 칩별 셀의 불량 현상에 따라 다양하게 정의될 수 있다. 웨이퍼의 불량은 불량 발생 칩들이 웨이퍼상에 어떠한 형태로 분포하고 있는가에 의해 분류되며 영역적인 특성에 의해 불량 원인 공정을 찾는 방법이 달라진다[4][5].

<그림 2>는 불량 패턴분류 및 분석시스템을 나타낸다. EDS 웨이퍼 테스트 완료 후 fail bit map 파일과 웨이퍼 파일이 생성되면 기존에 잘 알려진 Fail Pattern Type을 학습하고 고속 인식 알고리즘인 SVM 분류기를 이용하여 식별한다. 엔지니어는 저장된 결과를 통하여 연계 분석이 가능하며 불량 유형 자동 summary기능으로 효율적인 불량 분석 업무를 수행할 수 있다.



<그림 2> 불량 패턴분류 및 분석시스템

양산 디바이스의 fail bit map data는 웨이퍼 테스트시 비트 단위의 테스트 결과를 저장하여 분석할 수 없기 때문에 테스트 결과를 활용할 수 있는 단위로 축적하여 셀의 unit block 단위로 결과가 구성된다. <그림 3>은 다이의 구조를 나타낸다[6].

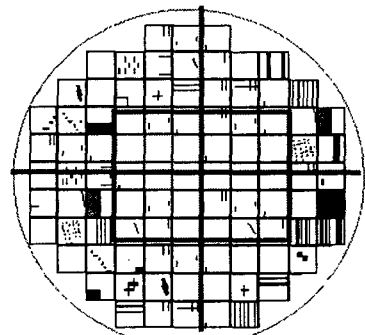


<그림 3> unit block으로 구성된 Die

3 웨이퍼 불량 유형 정의

웨이퍼상에 fail 분포의 영역적인 특성에 따라 불량을 분류하기 위한 유형 정의는 <표 2>과 같다. 웨이퍼의 불량 유형은 칩의 불량 유형에 따라 가장 두드러진 fail 특성에 대하여 웨이퍼상의 분포 특징을 검출한다. 특징이 없는 경우 fail이 랜덤하게 분포하는 것으로 분류한다. 우선 대분류로 Ring형, Scratch형으로 나뉜다. Ring형에는 집중형과 환형으로 나뉘며, Scratch형으로는 Right to up, Right to down, Left to up, Left to down, Repeat형으로 총 7가지 유형으로 분류한다.

웨이퍼 영역상에 fail의 집중 현상을 불량 원인분석에 활용이 가능하도록 주로 발생하는 site와 환형 fail을 검출할 수 있도록 영역을 위와 같이 설정하였다. <그림 4>는 웨이퍼 영역 분류를 나타낸다.



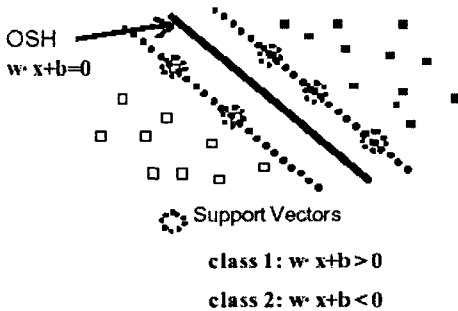
<그림 4> 웨이퍼 영역 분류

- Site 영역 : 5위치 Up, Left, Center, Right, Down
wafer 별로 불량 칩의 분포를 크기와 밀도, 형태와 위치로 특징을 추출하여 유형을 분류한다[7].

4. 웨이퍼 불량 유형 분류를 위한 Support Vector Machine

SVM은 n차원 공간 위에서 두 부류간의 거리를 최대화하는 것과 동시에 같은 부류에 속하는 데이터들을 같은 쪽에 위치하게 만드는 n-1차원의 hyperplane를 찾아 가면서 학습이 수행된다[8][9]. 학습 과정에서 생성되는 hyperplane을 Optimal Separating Hyperplane (OSH)이라고 부르며 아래 식(1)과 같은 hyperplane 방정식의 형태를 갖는다. 학습된 SVM은 입력 패턴 x가 주어졌을때 OSH의 방정식인 식(1)의 부호($f(x)=\text{sgn}((w \cdot x)+b)$)로서 어느 부류에 속하는지 결정한다.

$$(w, x) + b=0, w \in R^n, b \in R^n \quad (1)$$

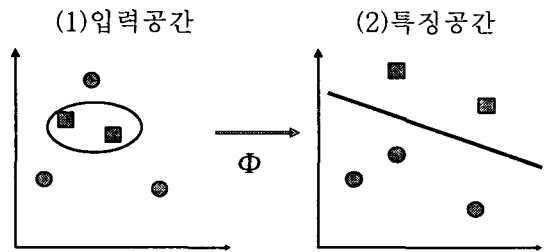


<그림 5> OSH와 Support Vectors

생성된 OSH를 기억하기 위해서 두 부류의 모든 데이터가 필요한 것은 아니다. 단지 OSH 근처의 몇 개의 데이터와 각 데이터에 해당하는 가중치만 유지하고 있으면 된다. 이때에 OSH를 기억하기 위해 필요한 데이터 들

을 Support Vector(SV)라고 부른다. <그림 5>는 n차원 공간에서 n-1차원 hyperplane으로 분류할 수 있는 경우에 OSH와 SV들을 보여 준다.

<그림 6> (1)처럼 n차원의 공간을 n-1차원의 hyperplane으로 분류하지 못할 경우에는 <그림 6> (2)와 같이 분류가능한 공간으로 비선형매핑 ϕ 를 통해서 OSH를 계산할 수 있다. 이러한 일련의 과정은 비선형 매핑과 계산 과정을 kernel 함수를 사용하여 하나의 과정으로 묶어주기 때문에 추가적인 계산이 필요 없어진다.



<그림 6> 학습 자료의 비선형 매핑

5. 실험환경 및 결과

시스템 환경으로는 Window 2000, 프로그래밍은 MATLAB 5.2, VC++6.0으로 구현하였다. 대상 디바이스는 DRAM으로 1000개의 웨이퍼를 대상으로 하였다. 학습과정에서는 <표 2>에서 나타난 것처럼 CLASS마다 30개, 즉 210개의 Fail Bit Map을 SVM의 학습자료로 삼았다. 입력 데이터의 크기는 25 * 25로 불량데이터는 0, 정상데이터는 1로 간주한다. 분류기는 입력된 Fail Bit Map 벡터들을 이용해서 각 부류 간의 최적경계인 OSH를 생성하는 $SV(x_1, \dots, x_n)$ 들과 가중치(v_1, \dots, v_n)들을 얻는다. 이 과정을 데이터베이스의 매 부류의 쌍마다 수행하여 식(2)와 같이 SV들과 가중치들로 구성된 모델을 얻는다.

< 표 2 > Wafer 불량 유형 정의

Pattern	Type	Class
Ring		웨이퍼영역상의 fail 집중형 (Class 1)
		웨이퍼영역상의 환형 (Class2)
Scratch		Right to up (Class3)
		Right to down (Class4)
		Left to up (Class5)
		Left to down (Class6)
		Repeat형 (class7)

$$x_k(i, j) , v_k(i, j) \quad (2)$$

$$i, j = 1, 2, \dots, m, i \neq j$$

$$k = 1, 2, \dots, n_{ij}, i \neq j$$

$x_k(i, j)$: i 번째와 j 번째 부류의 k 번째 SV

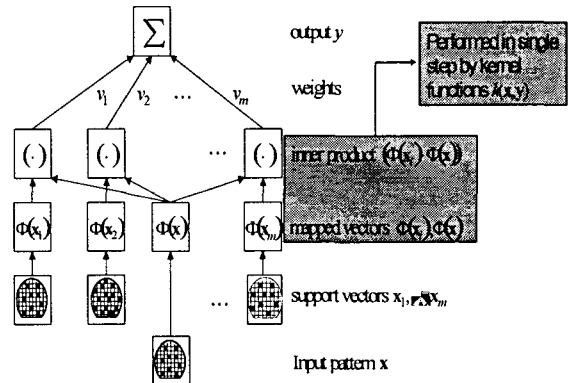
$v_k(i, j)$: i 번째와 j 번째 부류의 k 번째 가중치

n_{ij} : i 번째와 j 번째 부류에서 SV의 개수

m : 부류의 개수

분류 과정은 아래 <그림 7>과 같은 방식으로 진행한다. 학습 과정을 통해서 SV($x_1,$

\dots, x_n)들과 가중치(v_1, \dots, v_m , v_n)들을 기억하고 있다. Input vector x 가 주어지면 기억된 SV들과 가중치들을 이용해서 결과적으로 선형 결합된 값 $\sigma(\cdot)$ 를 얻는다. 만일 학습 과정에서 비선형 매핑 ϕ 가 사용되었다면 분류과정에서도 같은 매핑 ϕ 를 해 주어야 한다. 그러나 여기서 요구되는 두 단계의 작업은 커널 $k(x, x_j)$ 를 사용하여 한번에 계산하기 때문에 별도의 매핑과정이 필요 없게 된다.



<그림 7>.Fail pattern 분류과정

숙련된 엔지니어가 전형적으로 불량패턴을 정확하게 분류하는 확률이 실험 결과에 의해 60~80%라고 보고 되어있다[10]. 하지만 <표 3>과 같이 데이터를 분석한 결과 샘플수 1000개 중 단순 불량 패턴이 712개였고, 복합 불량 패턴이 288개 였다. 복합 불량 패턴 중에서 과도하게 복합성향이 나타날 경우 오류가 나타날 수 있는데, 그러한 경우가 77개가 나타났다. Fail Pattern을 더 자세히 분류할 경우 더욱 정확한 패턴 분류가 가능할 것으로 생각되나, 그만큼 연산 속도가 느리게 발생할 것이다. 본 연구에서는 90%이상 정확하게 분류 되었고 복합성향의 유형인 경우에는 오분류 확률이 높았다. 따라서 Rule의 유연성, 확장성, 오분석률등에 개선이 요구되었다.

<표 3> 분류 알고리즘 적용결과

	Sample 수	정확도
웨이퍼 유형분석	1000 웨이퍼	923/1000 (92%)

6. 결론

반도체 제조 공정 중 EDS 테스트에서 발생하는 fail bit map 데이터를 이용하여 수율 분석 업무에 사용하는 불량 유형을 자동으로 분류하는 방법을 제시하였고, 이를 불량 분석 업무에 적용하여 기존 수작업을 자동화하였으며, 불량분석 업무를 효율화할 수 있는 시스템을 구축하였다. 웨이퍼의 칩별 bin정보를 이용하여 fail을 분류하던 기존 방법 대비 칩의 fail bit unit 단위로 데이터를 상세화하여 분류함으로써 정확도를 향상하였고, 불량분석 업무 시간의 80%이상을 단축하였다. 또한 현재 양산 제품에 테스트시간 증가 등의 추가 작업이나 손실 없이 바로 적용이 가능하며 신속하고 정확한 fail 원인분석으로 연계되어 웨이퍼 수율 및 품질 향상에 기여할 수 있었다.

참고문헌

- [1] Randall S. Collica, "SRAM Bitmap Shape Recognition and Sorting Using Neural Networks", *IEEE Transaction on Semiconductor Manufacturing Vol.8 No.3, August 1995*.
- [2] Kevin. Zinke, "Yield enhancement techniques using neural network pattern detection", *IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 1997*.
- [3] Fukushima,T, "A method of feature extraction from an image for quality analysis", *IEEE SMC 99 Conference Proceedings Vol.2,1999*.
- [4] Michal W. Cresswell, "A Directed-Graph Classifier of Semiconductor Wafer-Test patterns", *IEEE Transaction on Semiconductor Manufacturing, 1992*.
- [5] Fourmun Lee, "Advanced yield Enhancement: computer-based spatial pattern analysis part1", *IEEE/SEMI Advanced Semiconductor manufacturing Conference,1996*.
- [6] Koji nakamae, Atsushi Itoh, Hiromu Fujioka, "Fail pattern classification and analysis system of memory fail bit maps," modeling and Simulation of Microsystems, pp. 598-601, 2001.
- [7] Fukushima, T, "A method of feature extraction form an image for quality analysis", *IEEE SMC 99 Conference Proceeding Vol.2, 1999*.
- [8] M.Pontil and A.Verri, "Properties of Support Vector Machines," *Neural Computation, Vol.10, No. 4, pp.955-974,1998*.
- [9] V. Vapnik, *Statistical Learning Theory*, New York: John Wiley & Sons, 1998.
- [10] P. B. Chou, A. R. Rao, M. C. Struzenbecker, F. Y. Wu, and V. H. Brecher. "Automatic defect classification for semiconductor manufacturing. *Machine Vision and Applications, 9(4):201 - 214, 1997*.

주 작 성 자 : 한 영 신

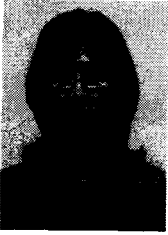
논문투고일 : 2004. 03. 22

논문심사일 : 2005. 01. 27(1차), 2005. 01. 31(2차),
2005. 02. 10(3차)

심사판정일 : 2005. 02. 10

● 저자소개 ●

한영신



1997 이화여자대학교 대학원 전산정보 공학석사
 2004 성균관대학교 전기 전자및 컴퓨터공학 공학박사
 1994 ~ 1996 (주) Simtech 연구원
 2001 ~ 2003 인천시립대학교 컴퓨터공학과 강사
 2004년9월~2005년2월 이화여자대학교 컴퓨터그래픽스/가상현실연구센터
 Post-doc.
 2005년3월 ~ 현재 성결대학교 공과대학 멀티미디어학과 전임강사
 관심분야 : 컴퓨터 시뮬레이션, 패턴인식, 이미지 프로세싱

이철기



1980년 성균관대학교 전자공학과 졸업
 1985년 Arizona state University 전기 및 컴퓨터 공학석사
 1990년 University of Arizona 전기 및 컴퓨터 공학박사
 1979년 ~ 1983년 한국 방송공사(KBS) 기술요원
 1990년 ~ 1995년 삼성 정보통신 본부 컴퓨터 응용 개발실 수석 연구원
 1995년 ~ 현재 성균관 대학교 정보통신공학부 교수
 관심분야 : 컴퓨터 시뮬레이션, 객체지향 모델링, 공장자동화, 전문가
 시스템