

패키징 기술과 3차원 실장

김정모 · 정재필 · 김숙환 · 박재현

Packaging Technology in Electronics and 3-dimensional Stacking Packaging

Jung-Mo Kim, Jae-Pil Jung, Sook-Hwan Kim and Jai-Hyun Park

1. 개요

전자산업에서 현재 사용되는 패키징 기술에서 와이어를 이용하는 와이어 본딩과 범프를 이용한 플립칩 본딩이 중요한 기술이다. 전자제품 및 반도체 부품의 크기는 작아지는 반면 높은 성능이 요구됨에 따라, 패키징 기술도 고집적화, 미세 피치화가 요구 되고 있다. 이에 따라 와이어 본딩과 플립칩 본딩 또한 피치의 크기를 줄이는 방향으로 연구가 진행되고 있다. 와이어 본딩은 캐필러리(capillary, 미세관)나 웨지(wedge)등 접합 장비의 정밀화와 함께 미세한 직경의 와이어 개발이 진행되고 있다. 또, 플립칩 본딩에서는 미세 범프의 형성 기술 개발과 그 신뢰성 확보가 중요한 과제라고 할 수 있다.

특히 최근에는 기존의 와이어 본딩과 플립칩 본딩 등 다양한 접합 방법들을 종합적으로 적용하는 새로운 기술인 3차원 패키징 기술의 개발이 활발히 진행되고 있다. 3차원 패키징 기술은 웨이퍼를 적층하여 작은 공간에 고집적도를 달성하는 패키징 기술이다. 3차원 패키징 기술은 IT산업, 우주 항공 산업 등에 적용되고 있는 것으로, 금후 3차원 패키징 기술은 날로 치열해지고 있는 전자 제품의 고성능화와 경박단소화를 달성하는데 중요한 역할을 할 것으로 기대된다. 본 연구에서는 패키징 기술의 기초가 되는 와이어 본딩, 범핑 및 이를 이용한 3차원 패키징에 대해 기술하고자 한다.

2. 와이어 본딩

와이어 본딩이란 미세한 금선이나 알루미늄선으로 반도체 칩의 알루미늄전극과 리드를 접합하는 방법으로, 칩과 리드의 전기적 접속에 가장 폭넓게 사용된다. 와이어 본딩의 방법은 접합 장치에 따라 볼 본딩(ball bonding)과 웨지 본딩(wedge bonding)으로 나눌 수 있다.

2.1 볼 본딩

보통 직경 20~50 μ m, 순도 99.99%의 금 와이어를 캐필러리를 통해 공급한 후 캐필러리 끝 부분으로 압력을 가하여 접합하며, 접합 후의 접합부 형상이 못 머리 같이 형성된다(Fig. 1).

볼 본딩에는 접합 과정에 따라, 포워드 볼 본딩(forward ball bonding), 리버스 볼 본딩(reverse ball bonding), 폴디드 볼 본딩(folded ball bonding)등의 방법이 있다 (Fig. 2 참조).

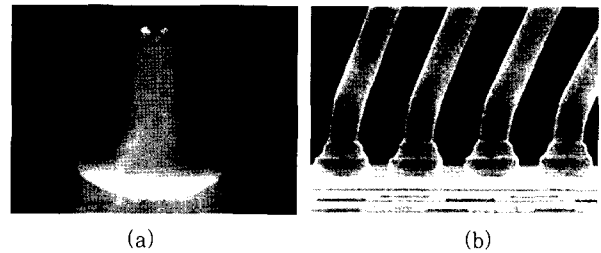


Fig. 1 Ball bonding tool (capillary,(a)) and joints of bonding(b)¹⁴⁾

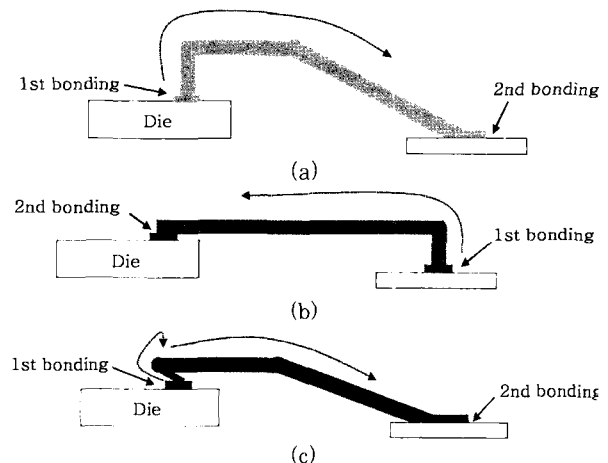


Fig. 2 Three kinds of wire bonding. (a) forward ball bonding (b) reverse ball bonding (c) folded ball bonding

포워드 볼 본딩은 캐필러리를 통해 공급된 금 와이어 끝을 전기토치(EFO, Electronic Flame Off)로 녹여, 와이어 끝에 미세한 볼(FAB, Free Air Ball)을 만든 후, 이 볼을 칩의 알루미늄 전극에 압착한다. 알루미늄 전극에 압착시킨 후, 캐필러리는 두번째 접합 위치(예: 리드)로 이동하며, 접합에 적당한 길이의 금 와이어가 캐필러리를 통해 공급된다. 리드 상에서 캐필러리의 모서리를 이용하여 금 와이어를 리드와 압착하여 접합한다. 접합 후, 와이어를 클램프(clamp)로 끼우고 당겨서 절단한다.

볼 본딩에서 와이어의 루프 높이는 전자 소자 패키징의 두께에 큰 영향을 미치기 때문에, 가능한 한 루프 높이를 낮게 형성시키려고 한다. 포워드 볼 본딩에서의 루프(loop) 높이를 낮추기 위한 방법으로는 리버스 볼 본딩과 폴디드 볼 본딩이 제안되어 있다. 리버스 볼 본딩은 리드에 와이어를 먼저 본딩하고 웨이퍼 전극을 나중에 본딩하는 방법으로, 웨이퍼의 전극 위에 스티드 범프를 미리 형성한 것이다.

폴디드 볼 본딩은 첫 번째 접합 위치에서 와이어를 한번 접은 후 두 번째 접합부에 접합하는 방법이다. Table 1에 각 방법의 특성을 나타내었다.

또한 접합 기구에 따라 열압착법(TC, Thermo-Compression)과 초음파 병용 열압착법(TS, Thermo-Sonic)이 있다. 열 압착법은 와이어 접합 시에 열과 하중만 가하여 접합하는 방법이다. 이 방법은 접합부의 강도가 크다는 장점이 있지만, 접합시의 온도가 약 300~350℃로 높기 때문에 Au 와이어와 Al 전극 간에 금속간화합물이 생성되기 쉽다는 단점도 있다. 또한 Au의 확산속도가 Al에 비해 매우 빠르기 때문에, 두 원소의 확산 속도에 큰 차이가 존재한다. 이로 인해 Au가 존재하던 곳에 이른바 커켄달 보이드(Kirkendal void)라는 미세한 기공이 발생한다. 이것은 와이어 본딩부에 오픈현상을 때때로 유발하기도 한다.

이러한 단점을 개선하기 위해, 초음파병용 열압착법이 개발되었다. 이 방법은 와이어 접합 시 가열 외에 초음파를 병용함으로써, 접합 온도를 약 150~200℃ 정도로 낮게 하여 접합부에 금속간 화합물의 과도한 성장

을 억제한다.

볼 본딩 시 와이어 당 접합시간은 약 0.1~0.15초 정도로, 접합이 빠르게 진행된다. 볼 본딩의 접합 과정은, 초음파에 의한 마찰력에 의해 연화된 와이어의 캐필러리 챔퍼(chamfer) 아래 부분에서 접합이 시작되어, 점차 와이어의 내측과 외측으로 진행된다¹⁾.

2.2 웨지 본딩

웨지 본딩법은 주로 Al 와이어를 웨지라는 틀로 칩 상의 전극 및 리드에 초음파를 가하여 압착하는 것으로, 상온에서 접합한다(Fig. 3)²⁾. 웨지 본딩에서는 초음파를 이용함으로써, 접합면에 소성변형을 일으켜 알루미늄의 산화막을 파괴시켜 접합한다.

와이어는 주로 직경 약 25~50μm의 Al~1%Si를 사용하며, Al 와이어의 낮은 강도를 보완하기 위해 Au 와이어를 사용하는 방법도 있다. 예를 들어 직경 10μm의 극세 금합금을 사용하여 40μm 미세 피치의 웨지 본딩이 행해지기도 하였다.

웨지 본딩 방법은 다음과 같은 순서로 행한다.

먼저, 칩의 Al 전극 상에 Al 와이어를 위치시킨 후 웨지 끝으로 가압하면서 초음파를 가하여 압착한다. 다음, 와이어를 리드 쪽으로 끌어온 후 웨지 끝부분으로 눌러 초음파를 가하여 리드에 압착한다. 마지막으로 클램프로 와이어를 끼우고 당겨서 절단한다. 와이어의 본딩 시 발생하는 와이어의 변형이 산화 피막의 파괴나 접합면적, 접합부의 강도에 큰 영향을 미친다.

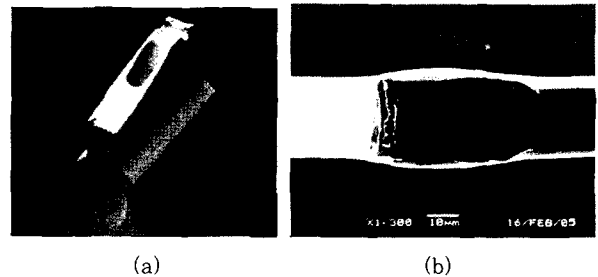


Fig. 3 Wedge bonding tool (wedge,(a))¹⁴⁾ and joints of bonding(b)²⁾

Table 1 Comparison of different methods of wire bonding

	최소 루프 (loop) 높이	생산속도	피치	두번째 접합 접근 각도	적용
포워드 볼 본딩	> 4 mi	빠름	미세한 피치 가능	< 45°	일반적인 edge
리버스 볼 본딩	< 4 mi	포워드 볼 본딩 보다 10-15%느림	미세한 피치 가능	< 45°	낮은 edge/기판 위
폴디드 볼 본딩	< 4 mi	포워드 볼 본딩 보다 25-45%느림	포워드 볼 본딩 보다 10μm큰 피치 가능	> 45°	낮은 edge/기판 위

웨이 본딩의 장점은 반도체 칩의 Al 전극과 Al 와이어간의 동종 금속 접합이다. 따라서 접합면에 금속간 화합물이 생기거나 오픈현상이 발생할 우려가 없다. 또한, 접합부의 크기가 볼 본딩법에 비해 작기 때문에, 미세 피치 달성이 상대적으로 용이하다. 반면, 단점으로는 와이어 당 접합속도가 약 0.25초로 볼 본딩 본딩법에 비해 늦기 때문에, 양산성이 다소 뒤지는 것이다.

3. 플립칩 본딩

3.1. 범프

(1) 범프의 역할

범프는 금속돌기라는 뜻으로 LSI, IC 칩(Fig. 4)과 기판을 기계적, 전기적으로 접합 시키는 역할을 한다(Fig. 5). 칩의 전극은 주위에 절연막이 형성되어 있어서 주위 보다 높이가 낮게 되어 있다(Fig. 6). 칩의 전극이 기판과 용이하게 연결이 되려면 전극의 높이를 절연막보다 높일 필요가 있다. 이를 위해 전극 위에 범프를 형성시키는데, 범프의 재료로는 Au, 솔더 등을 사용한다. 이들 재료는 기판의 전극인 Sn 도금 Cu-패드와 칩의 전극인 Al과 모두 접합성이 양호하다.

(2) 범프의 설계

범프의 역할을 고려하여 범프의 높이, 직경, 재료 등을 결정하여야 한다. 범프는 접합부의 기계적 강도를 유지함과 동시에 전기 신호의 교환을 가능케 해야 한

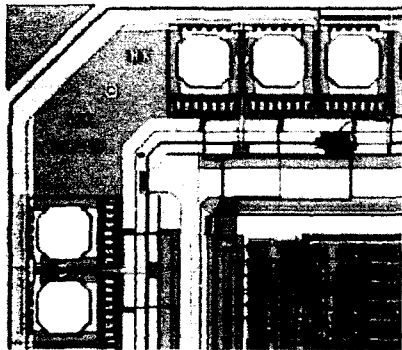


Fig. 4 Electrodes of LSI (large scale integration)¹⁵⁾

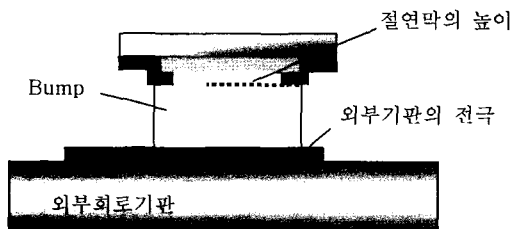


Fig. 5 Schematic of the bump

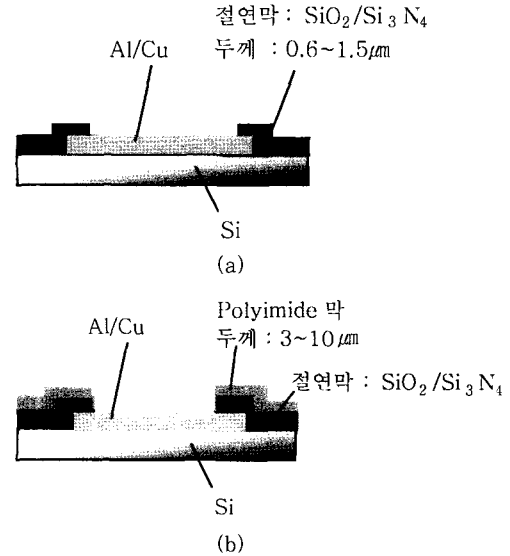


Fig. 6 Cross sections of LSI and IC(Integrated circuit) with insulator (a) and polyimide (b)

다. 전기적인 면을 생각한다면 범프의 크기는 매우 작아도 되지만 이럴 경우 기계적 강도를 유지하기는 힘들다. 이 경우에는 언더필(underfill) 등을 사용하여 범프의 크기가 작아져도 기계적인 강도를 유지하는 방법을 이용하고 있다 (Fig. 7).

(3) 범프의 종류와 접합 방법

일반적으로 Au 범프의 경우 Si-die(Au)와 기판 전극부(Au, Sn)에 모두 범프를 형성 시킨 후 범프와 범프를 접합한다. 범프의 접합 방법에는 확산 접합, 압접, 매체 접합이 있다(Fig. 8 참조). 솔더 범프의 경우 Si-die에 범프를 형성 시킨 후 확산 접합으로 기판과 접합한다.

확산 접합의 개념은 초음파 접합, 와이어 본딩에 이용되는 것으로 금속 결합과 확산에 의해 접합되는 방법이다. 압접은 기판의 전극부에 Au, ITO(Indium Tin Oxide)를 형성하여, 기계적으로 압력을 가하여 접합하는 방법이다. 매체 접합은 도전성 페이스트 같은 매체를 이용하는 방법이다.

접합 재료로는 확산 접합의 경우 Au-Au, Au-Sn, 솔더를 사용하고, 압접의 경우 ACF (Anisotropic

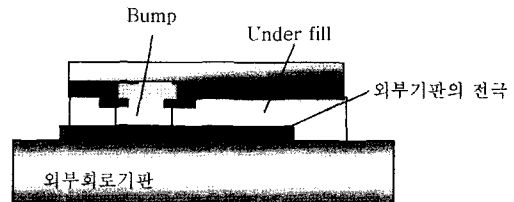


Fig. 7 Schematic of the underfill in the bumping

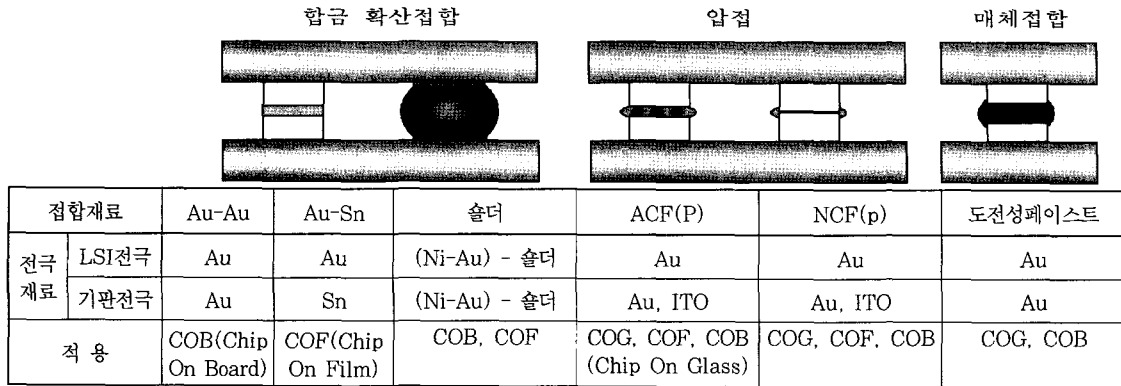


Fig. 8 Bonding methods using various bump materials

Table 2 Bumping methods

	무전해 도금법		전해 도금법		불 범프 방법
	범프 형성	UBM 형성	범프 형성	UBM 형성	범프 형성
구조					
실용화단계	연구개발단계 미국의 연구기관이 주목, 연구개발, 일본에는 일부 도금 시작체제		양산 단계(실용화) 동남아시아가 참여		양산 단계 (실용화)
특징	자연현상형 공정이 단순 : 저비용, 단납기 Wafer Size 의존성이 없다. 미세피치에 대응, 높은 불균일이 없고 설비투자비가 적다.		장치 의존형 공정이 복잡 : 장납기 Wafer Size 의존성이 있다. 높이 불균일이 비교적 크고(FC방식) 로써 과제)설비투자비가 크다.		장치의존형 미세피치에 대응불가 높이불균일이 크고 양산대응이 곤란 범프 형성하중이 크다.

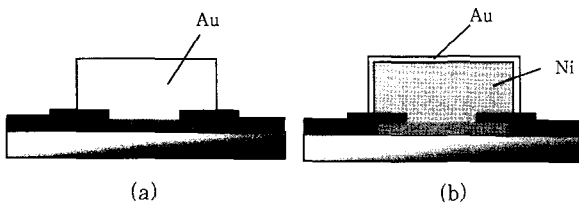


Fig. 9 Materials of bump. (a) Au bump (b) Au plating on the Ni bump

Conductive Film), ACP (Anisotropic Conductive Paste), NCF (Non Conductive Film), NCP (Non Conductive Paste)등을 사용한다. 매체 접합에서는 도전성 페이스트를 사용한다. Au 범프를 형성 할 때, Ni 등 다른 재료로 범프를 형성한 후 Au를 표면에 도금하여 사용하기도 한다 (Fig. 9 참조).

3.2. Au 범프의 형성기술

(1) 전해 도금법

전해 도금법의 공정은 다음과 같다. 전극 표면에 금속 다층막을 형성한 후 포토 레지스트 (photo resister) 를 도포한다. 포토 레지스트 위에 마스크를 덮고 그 위

로 노광을 행한다. 노광 후 현상하여 포토 레지스트에 개구부를 형성시킨다. 개구부로 Au를 전해 도금한 후, 범프 아래 이외 부분의 금속 다층막을 제거하면 Au 범프가 형성 된다.

금속 다층막으로는 Ti-Pd, Ti-Cu, Ti-W-Au, Ni-Cu 등을 사용하며, 다층막의 역할은 Al 전극에 Au 도금이 잘 되도록 하는 것이다. 범프의 형상을 제어하는 변수로는 도금액의 조성, 도금시간, 전류 밀도 등이 있다 (Table 2 참조).

(2) 무전해도금법

Au를 무전해 도금할 때, 환원제로는 아연산염(Zincate), 포름알데히드, 포도당, 글리세린, 알코올, 과산화수소 등을 사용한다. 도금 공정은 전극 (Al) 표면을 세척한 후 아연산염으로 처리한다. 이 때 Al원자와 Zn 원자가 치환되어, Al 전극위에 Zn 원자가 배열된다. 이것을 Ni 도금액 속에 넣으면, Zn원자와 Ni원자가 치환되어 Ni원자가 Al 전극위에 배열된다. Ni층 위에 치환, 환원반응으로 Au를 도금한다 (Fig. 10)³⁾. 한편, Cu 전극을 사용하는 경우에는 Cu 전극을 Pd 처리한 후 Ni 과 치환시킨다.

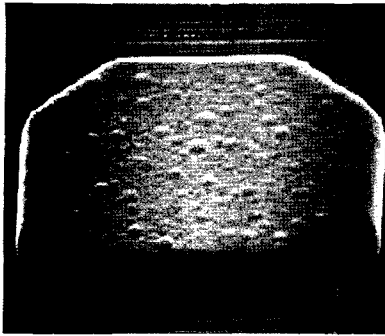


Fig. 10 Ni-Au bump by electroless plating¹⁵⁾

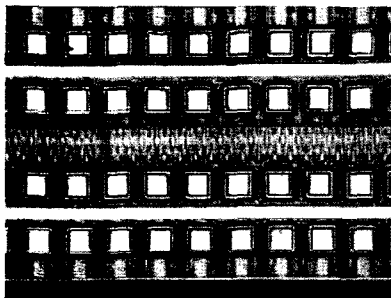


Fig. 11 Electroless plated bumps(10µm)¹⁵⁾

무전해 도금은 공정 시간이 짧고 저비용, 범프의 미세화(10µm이하)가 가능하다 (Fig. 11 참조).

(3) 와이어 볼 범프

이 범핑법은 와이어 본딩에서 사용하던 캐필러리를 이용하여 Au 범프를 형성하는 방법이다. 우선 캐필러리에 장착되어 있는 Au 와이어 끝에 스파크를 일으켜 볼 모양을 형성한다. 이것을 전극 위에 위치시킨 후, 캐필러리로 가압하고 초음파를 가하여 Si 웨이퍼 전극에 와이어를 접합한다. 이후 Au 와이어를 절단하여 Au 범프를 형성한다 (Fig. 12). Au 와이어를 절단하는 방법에는 범프 위에서 바로 자르는 방법과 범프 상단부에 잠시 붙였다가 절단하는 방법이 있다 (Fig. 13). 와이어 볼 범프는 높이의 불균형, 전극에 접합 시 충격으로 인한 결함 발생 등의 문제점이 있다.



Fig. 12 Au bump by ball bumping¹⁶⁾

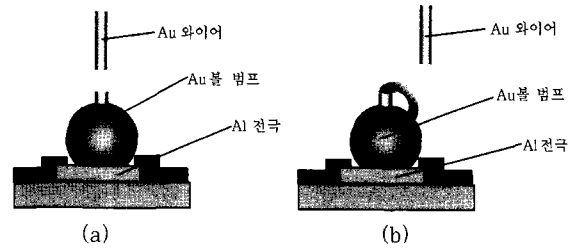


Fig. 13 Two methods of wire cutting in ball bumping. (a) wire cutting above the bump (b) wire cutting after bonding on the ball shoulder

3.3 솔더 범프 형성기술

(1) UBM

Fig. 14는 플립칩 패키지에서의 UBM과 솔더 범프 (solder bump)의 구조를 보인 것이다⁴⁾. UBM은 IC (Integrated circuit)의 Si 웨이퍼 위에 솔더 범핑 (solder bumping)을 하기 위해 적용한 금속층이다. 접착층(adhesion layer)은 패드 금속부와 부동태층(passivation)을 잘 접합시킴으로써 기계적, 전기적인 응력을 줄이는 역할을 수행하며, 사용되는 금속으로는 Cr, Ti, TiW 등이 있다. 확산 방지층 (diffusion barrier layer)은 솔더와의 반응을 지연시킴으로써 취성이 있는 금속간화합물의 지나친 생성을 막아준다. 사용되는 금속으로는 Ni, Cr/Cu, Ti/W-Cu 등이 있다. 젖음층 (solder wettable layer)은 Cu 혹은 Au를 사용하며, 솔더링 도중에 용융된 솔더가 IC 표면에 쉽게 젖을 수 있도록 한다. 이를 통해 미접합을 방지하고, 금속간 화합물의 형성을 유도하여 우수한 접합강도를 가질 수 있도록 한다. '산화방지층'은 주로 Au 박막이 사용되며 하부 금속층들의 산화를 방지하는 역할을 한다.

UBM을 형성하는 방법에는 열 증착법, 전자빔 증착법, 스퍼터링법, 무전해 도금법 등이 있다 (Fig. 15). UBM을 형성하는 각 층의 금속과 그 적층순서는 일정하게 정해져 있는 것이 아니라 솔더의 조성이나 응용범위에 따라 각기 달라질 수 있다.

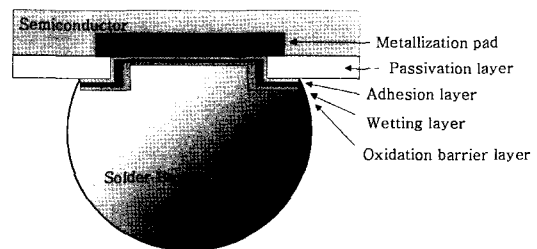


Fig. 14 Structure of the UBM (under bump metallization)⁴⁾

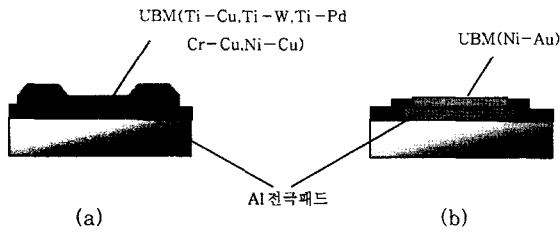


Fig. 15 Formations of UBMs (a) UBM using evaporating and sputtering (photolithography process) (b) UBM using electroless plating on the Al electrode

(2) 솔더 범프의 형성기술

1) 스크린 프린팅법

스크린 프린팅 방법은 금속 마스크 상에 페이스트 솔더를 도포한 후, 스퀴즈로 UBM 위에 인쇄한다. 그 다음 인쇄된 솔더를 리플로우하여 범프를 형성한다. 이 방법은 비용이 적게 들고, 생산성이 높으며 새로운 솔더를 적용하기 쉽다. 또한, 150 μ m 정도의 큰 피치에 적합하므로, 미세 피치의 적용에는 어려움이 있으며, 높이를 균일하게 얻을 수 없는 문제점이 있다. 하지만 최근 성능이 우수한 페이스트 솔더의 개발, 인쇄 장비의 개선으로 높이의 균일성은 많이 향상되었으며, 미세 피치의 적용도 시도 되고 있다(Fig. 16)⁵⁾.

2) 볼 범핑 방법

볼 범핑 방법은 진공흡착 또는 금속 마스크를 사용하여 솔더 볼을 웨이퍼위의 UBM위에 정렬 시킨 후 리플로우 하는 방법이다(Fig. 17). 이 방법은 범프의 크기가 균일한 장점이 있고, 직경 100 μ m이하의 크기도 실용화되어 있다(Fig. 18)⁶⁾. 그러나, 솔더 볼 제작비용

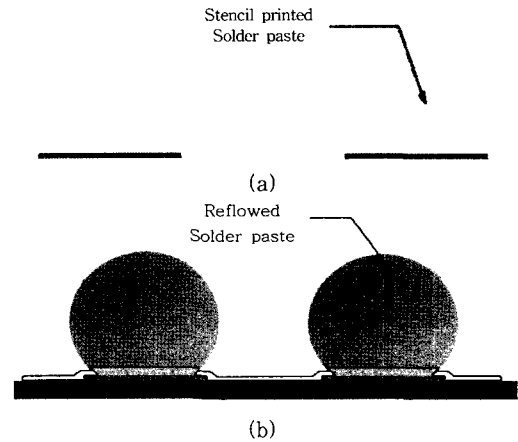


Fig. 16 Schematic of bumping process by solder paste⁵⁾ (a) stencil printed paste (b) reflowed solder bumps

이 높고, 미세한 범프의 형성에는 어려움이 있다.

3) 전해 도금법

이 방법은 앞서 기술한 Au 범프에서의 전해도금 방법과 유사하다. 전해도금에 의한 범핑 방법은 저온에서 미세한 범프를 제조할 수 있으며, 가격이 싸고, 대량생산에 적용될 수 있는 장점이 있다 (Fig. 19 참조)⁶⁾. 그러나, 전해 도금법은 도금시간이 길고, 무연 솔더의 도금 시 도금 위치에 따라 조성이 불균일하기 쉽다는 단점이 있다⁷⁾.

4) Dipping법

용융 솔더 안에 전극이 형성된 웨이퍼를 담가서 솔더 범프를 형성 하는 방법이다. 이 방법은 비용이 적고, 생산성이 높으며 솔더 조성의 선택이 자유롭다는 장점

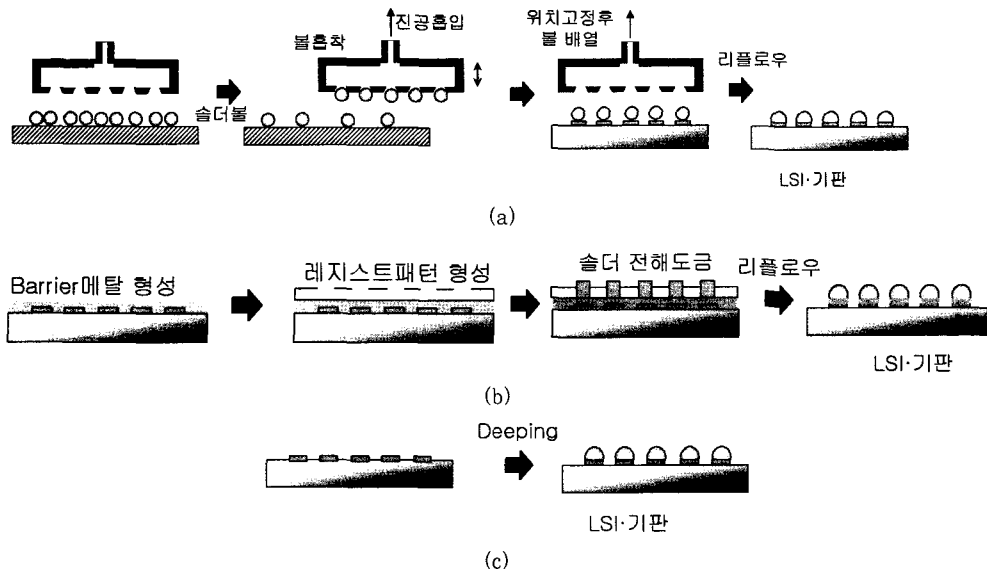


Fig. 17 Solder bumping methods. (a) ball bumping (b) electroplating (c) deeping

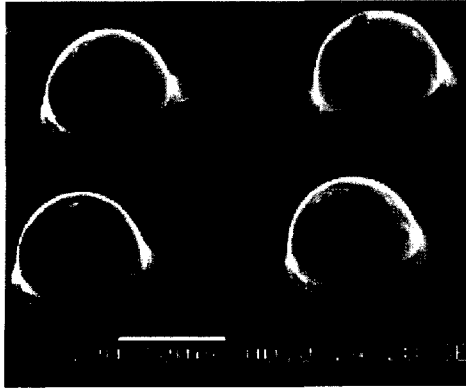


Fig. 18 Solder balls on electroplated UBM⁶⁾

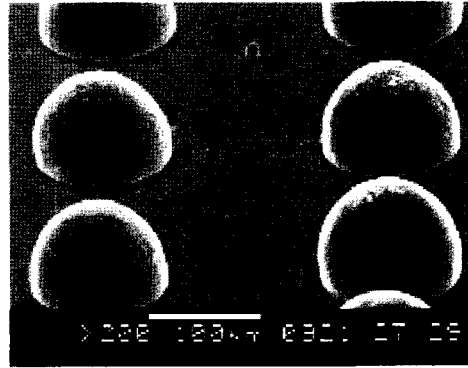


Fig. 20 Sn-3.5Ag solder bumps formed by Ar-10%H₂ plasma reflow without flux¹⁰⁾

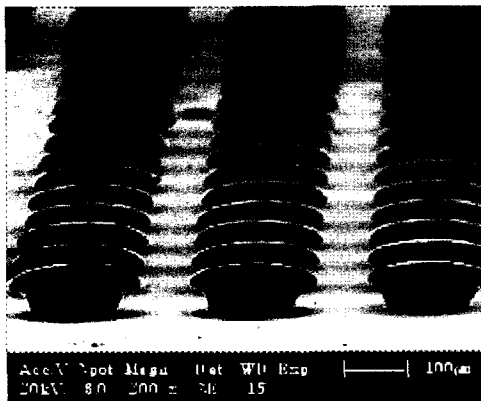


Fig. 19 Sn-Cu solder bumps by electroplating⁶⁾

이 있다. 그러나, 표면 장력과 중력에 따른 변수가 많이 작용하여 범프 크기의 균일성이 떨어지는 단점이 있다.

(3) 플라즈마(plasma)를 이용한 플럭스리스법

플럭스는 솔더링 공정에서 솔더의 젖음성 향상과 산화막 제거 등 중요한 역할을 하지만, 솔더링 후에는 일반적으로 유해한 잔류물이 솔더링 접합부에 남아서 접합부 주위의 부식과 절연 저항감소 등을 유발한다^{8,9)}. 따라서 플립칩 같은 미세한 피치의 전자 부품과 광통신 부품 등에는 플럭스를 배제하려는 경향이 많다.

플럭스리스 솔더링에는 여러 가지 공정이 있는데 그 중 한 가지 방법이 플라즈마 크리닝 후 플럭스리스 솔더링을 하는 것이다 Fig. 20¹⁰⁾은 필자 등이 플라즈마를 사용하여 플럭스리스 범핑한 예를 보인 것이다. 플라즈마 처리는 금속표면의 산화막을 제거하는데 효과적이며, 이로 인해 솔더링성을 향상시킬 수 있다¹⁰⁾. 플라즈마 크리닝 처리가 접합성을 향상시킨다는 보고들이 많이 있는데, 예를 들어, Ni층이 도금된 금속 기판 위의 Sn-Pb 솔더 접합부에 Ar+을 스퍼터링하면 접합부에 기공을 감소시킬 수 있다¹¹⁾. 또, PBGA (Plastic

Ball Grid Array)에서 O₂, Ar, Ar-H₂ 플라즈마 처리를 행하면, 솔더 마스크와 성형 재료(molding compound)의 접합성과 와이어의 접합 강도를 향상시킨다는 보고도 있다¹²⁾. 반면, 플라즈마 클리닝 처리가 접합에 미치는 영향이 적다는 보고도 있는데, Yang 등¹³⁾은 플라즈마 클리닝이 금 와이어 볼 본딩부의 전단강도를 향상시키지 못하고, 다이(die)와 기판의 접합 계면의 접합성 향상에도 어떠한 도움을 주지 못한다고 하였다. 그러나, 플라즈마 클리닝이 기판과 성형 재료의 접합 강도를 향상시킨다는 점에서는 동일한 결과를 보이고 있다.

4. 3차원 패키징

기존의 플립칩 접합방법에서의 고집적화와 미세 피치의 한계를 극복하기 위하여 3차원 패키징 방법들이 시도되고 있다. 특히 낮은 전력, 적은 무게, 작은 크기의 패키징을 필요로 하는 IT 산업분야, 우주 항공 산업 등에서 적용되고 있다. 2차원 패키징에서는 기판(substrate) 위에 칩을 1개만 올려놓고 와이어 본딩, 플립칩 본딩으로 접합하는 반면, 3차원 패키징에서는 기판 위에 칩을 2개 또는 여러 개를 적층시켜 접합하는 방법이다. 칩 간의 전기신호의 교환, 물리적 접합을 위하여 와이어 본딩, TAB (Tape automated bonding), via, 측면 솔더 전도체, flexible 기판 등을 사용하는 방법 등이 있다.

(1) 와이어 본딩을 이용하는 방법

기판 위에 칩을 접착제로 고정시키고, 그 위에 또 다른 칩을 접착제로 고정시킨 후, 칩 가장자리의 전극과 기판의 전극을 와이어 본딩이나 TAB을 사용하여 연결하는 방법이다 (Fig. 21). 이 방법은 크기가 같은 칩을 사용할 경우 칩과 칩 사이의 공간과 루프(loop) 높이를 고려하여 설계를 해야 한다. 기판에서의 피치의 고집적화에는 어려움이 있다.

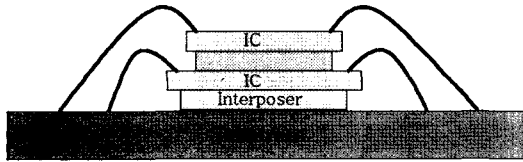
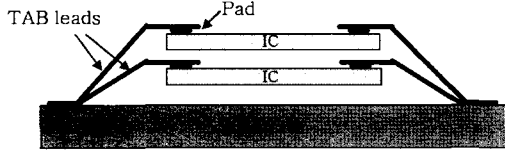
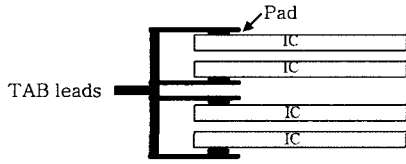


Fig. 21 3-D packaging by wire bonding



(a)



(b)

Fig. 22 3-D packaging by TAB on the substrate(a) and on the leads(b)

(2)TAB을 이용하는 방법

PCB기판 위에 TAB을 사용하는 방법과 리드 위에 TAB을 사용하는 방법이 있다 (Fig. 22 참조). 기판위에 TAB을 사용하는 방법은 고밀도 메모리 카드에 적용되고 있고, 리드위에 TAB을 사용하는 방법은 DRAM에 적용되고 있다. 이 방법은 기판에서의 피치의 고집적화에는 어려움이 있다.

(3)Via를 이용하는 방법

칩에 via를 형성한 후 그 안에 Cu를 채워 이를 통하여 전기적 신호의 교환을 가능하게 한 후 각 칩을 범프를 이용하여 접합하는 방법이다 (Fig. 23). Via를 형성하는 방법에는 레이저, 에칭 등이 사용된다.

(4) 측면 솔더 전도체를 이용하는 방법

전도체를 칩의 측면에 고정 한 후 솔더로 칩의 패드(pad)부와 연결하여 전기적 신호를 교환하도록 하는 방법이다. 솔더 dipping을 이용하는 방법, via를 이용

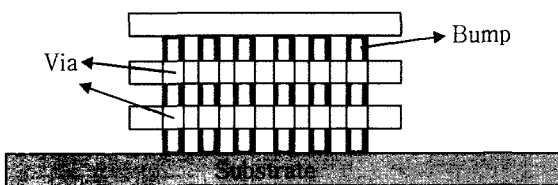
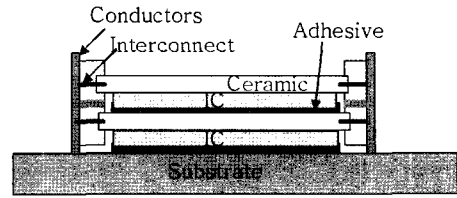
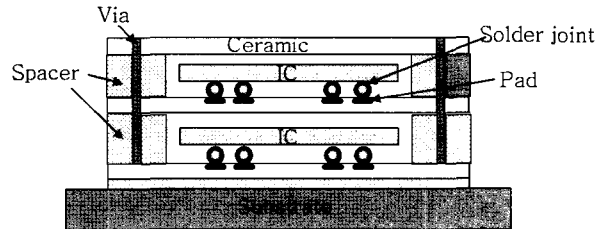


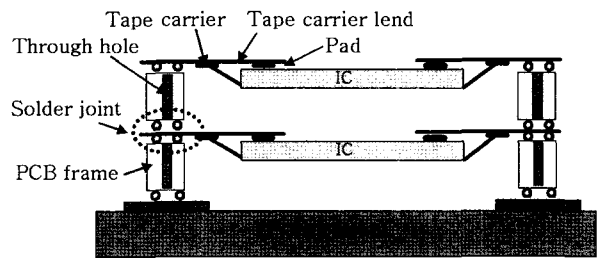
Fig. 23 3-D packaging using via



(a)



(b)



(c)

Fig. 24 3-D packaging by using solder edge conductors. (a) solder dipped stacks to make vertical conductors on edge (b) solder filled holes in chip carriers and spacers (c) solder connections between

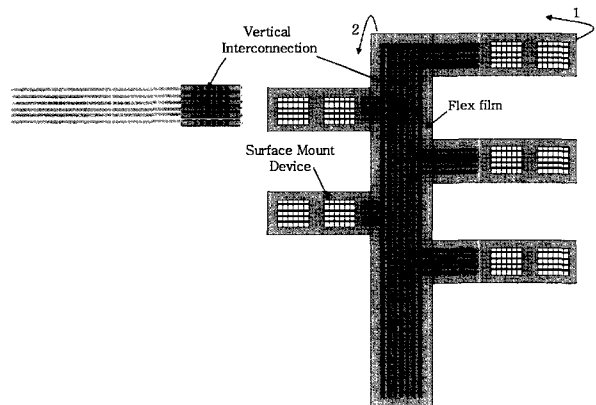


Fig. 25 3-D packaging using a flexible substrate

하는 방법, via를 솔더 범프로 접합하는 방법 등이 있다 (Fig. 24).

(5) Flexible 기판을 이용하는 방법

Bare device가 표면에 탑재된 flexible 기판을 3차원 물체의 전개도 모양으로 설계한 후 접는 방식으로 적층시키는 방법이다 (Fig. 25). 휘어짐과 같은 변형

에도 내구성이 유지되며, 다양한 형태로의 설계가 가능하다는 장점이 있다.

5. 결 론

이상에서 와이어 본딩과 플립칩 범핑, 3차원 실장에 대해 알아보았다. 전자제품과 반도체 에서 경박단소화, 고기능화를 구현하기 위해 패키징 기술의 고집적화, 미세 피치화는 매우 중요한 기술이다. 이를 위해 와이어 본딩에서는 미세 와이어 및 미세 접합 장비의 개발, 플립칩 본딩에서는 미세 범프 형성기술과 접합법의 개발 등이 중요하다. 이러한 패키징 요소 기술들을 이용하여, 공간을 절약하고 성능을 높인 차세대 3차원 패키징 기술이 개발되고 있다. 3차원 패키징 기술은 고정밀 패키징 기술과 창조적인 아이디어가 결합되어, 더욱 간편하고 신뢰도가 높아지는 방향으로 치열한 경쟁이 이루어지고 있다. 금후 새로운 재료와 다양한 설계기술이 접목된 새로운 패키징 기술의 출현을 기대해 본다.

후 기

본 연구는 한국과학재단 특정기초연구(R01-2004-000-10572-0)지원으로 수행되었으며, 관계자 여러분께 감사를 드립니다.

참 고 문 헌

1. I. Lum, J. P. Jung, Y. Zhou : Bonding mechanism in ultrasonic gold ball bond on copper substrate, Metallurgical Trans. (accepted)
2. Y. Tian, J. P. Jung, Y. Zhou : Wedge bonding report, (2005)
3. Szu-Wei Lu, Ruoh-Huey Uang, Kuo-Chuan Chen, Hsu-Tien Hu, Ling-Chen Kung, Hsin-Chien Huang : Fine pitch low-cost bumping for flip chip technology, Twenty-Fourth IEEE/CPMT (1999), 127-130

4. 문준권 : 서울시립대 석사학위논문(2003)
5. 정재필, 전주선 : 초음파를 이용한 고품질 무연솔더 분말 및 무연 크립솔더 개발, 산업자원부 연구보고서(2003)
6. S. W. Jung, K. I. Kang, J. P. Jung, and Y. Zhou : Formation of Sn-Cu Solder Bump by Electroplating for Flip Chip, Journal of the Microelectronics & Packaging Society, **10-4** (2003), 39-46(in Korean)
7. Kwang-Lung Lin, Shiuh-Yuan Chang : Approaching a uniform bump height of the electroplated solder bumps on a silicon wafer, Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging, IEEE Transaction on, **19-4** (1996), 747-754
8. L.Zou, M.Dusek, C.P.Hunt and B.D.Dunn : An evaluation of the effect of aging on the cleanability of soldr flux residues, Soldering and Surface Mount Tech., **11-1** (1999), 27-35
9. C.Hunt, L.Zou : The impact of temperature and humidity conditions on surface insulating resistance values for various fluxes, Soldering and Surface Mount Tech., **11-1** (1999),36-43
10. S.M. Hong, C.S. Kang, and J.P. Jung : Flux-free Direct Chip Attachment of Solder-Bump Flip Chip by Ar+H2 Plasma Treatment, Journal of Electronic Materials, **31-10** (2002), 1104-1111
11. J.Onuki, Y.Chonan, T.Komiyama and M.Nihe, : Influence of soldering conditions on void formation in large area solder joints, Materials Trans., **43-7** (2002), 1774-1777
12. C.Lee, R.Gopalakrishnan, K.Nyunt, A.wong, R.C.E .Tan and J.W.L.Ong : Plasma cleaning of plastic grid array package, Physical & Failure Analysis of Integrated Circuits, Proceedings of the 1997 6th International Symposium on , **21-25 July** (1997), 50-55
13. L.Yang, J.B.Bernstein and K.C.Leong : Effect of plasma cleaning process on plastic ball grid array package assembly reliability, IEEE Trans. on Electronics Pack. Manufac., **25-2** (2002), 91-99
14. <http://www.chipscalereview.com>
15. <http://www.icinterconnect.com>
16. <http://www.kec.co.kr>



- 김정모(金正模)
- 1977년생
- 서울시립대학교, 신소재 공학과
- 솔더링
- e-mail : keva96@uos.ac.kr



- 정재필 (鄭在弼)
- 1959년생
- 서울시립대학교, 신소재 공학과
- 솔더링, 패키징, 마이크로접합
- e-mail : jppjung@uos.ac.kr



- 김숙환(金肅煥)
- 1959년생
- 포항산업과학연구원
- 고밀도에너지 빔 용접공정, 정밀접합, 용접야금
- e-mail : weldksh@rist.re.kr



- 박재현(朴宰顯)
- 1963년생
- 포항산업과학연구원 신뢰성평가2팀
- 솔더링/브레이징 신뢰성평가
- e-mail: pjhyun@rist.re.kr