

논문 2004-42SD-2-6

Low-Swing 기술을 이용한 저 전력 CVSL 전가산기 설계

(Design of a Low-Power CVSL Full Adder Using Low-Swing Technique)

강 장 희*, 김 정 범**

(Jang Hee Kang and Jeong Beom Kim)

요 약

본 논문은 기존의 CVSL 전가산기 회로 내부에 Low-Swing 기술의 특성을 갖도록 NMOS 트랜지스터를 추가하여 감소된 출력전압으로 동작하는 CVSL 전가산기를 제안하였다. 또한 제안한 Low-Swing CVSL 전가산기를 이용하여 8×8 병렬 곱셈기를 구성한 후 회로의 성능을 평가하였다. 본 논문에서 제안한 Low-Swing CVSL 전가산기 회로는 13.1%의 전력감소와 14.3%의 전력소모와 지연시간의 곱(power-delay-product) 감소가 이루어졌다. Hynix 0.35 μ m 표준 CMOS 공정을 사용하여 HSPICE로 시뮬레이션하고 그 동작 특성을 검증하였다.

Abstract

In this paper, we propose a new Low-Swing CVSL full adder for low power consumption. An 8×8 parallel multiplier is used for the comparison between the proposed Low-Swing CVSL full adder with conventional CVSL full adder. Comparing the previous works, this circuit is reduced the power consumption rate of 13.1% and the power-delay-product of 14.3%. The validity and effectiveness of the proposes circuits are verified through the HSPICE under Hynix 0.35 μ m standard CMOS process.

Keywords : low power, low swing, full adder, CVSL, parallel multiplier

I. 서 론

오늘날 디지털 회로의 설계에서 중요시되는 문제는 높은 성능과 칩 면적의 최소화, 전력소모 감소 등을 들 수 있다. 이동장치와 휴대장치의 대중화에 의해 보급이 늘어나면서, 저 전력 회로에 대한 욕구는 더욱 더 증대되고 있다. 저 전력 회로 기술은 칩 면적의 증가나 회로

의 성능 감소에 영향을 미치지 않는 상태에서 전력소모를 효과적으로 줄여야 하는 문제를 가지고 있다^[1].

회로의 성능을 평가하는 주된 요소는 동작속도와 전력소모이다. 그동안 VLSI 설계연구자들에 의해 동작속도는 만족할 만큼의 성능개선을 이루었다. 그러나 저 전력소모에 있어서는 동작속도 개선의 발전 속도를 따르지 못하고 있다. 이러한 문제를 해결하기 위해서 현재 많은 노력과 연구가 이루어지고 있다. 전력소모를 줄이기 위한 요소에는 여러 가지가 있다. 예를 들면, 공급전압을 낮추는 방법, 트랜지스터 수를 줄여 회로를 간소화하는 방법, 논리회로 형태를 전환하는 방법 등 여러 가지 요소가 있다. 따라서 논리회로의 안정된 성능과 목적에 따라 적합한 형태의 방법을 찾는 것이 중요하다^{[2]-[5]}.

전력소모를 줄이는 방법의 하나로 감소된 출력전압

* 학생회원, 강원대학교 전자공학과
(Department of Electronics Engineering Kangwon National University)

** 정회원, 강원대학교 전기전자정보통신공학부
(Department of Electrical and Computer Engineering Kangwon National University)

※ 이 논문은 강원대학교 두뇌한국21(BK21) 사업에 의하여 지원되었으며, 본 연구에 사용된 CAD S/W는 IDEC(반도체 설계교육센터) 지원에 의한 것임.

접수일자: 2004년5월3일, 수정완료일: 2005년1월19일

을 이용하는데 이러한 기술을 Low-Swing 기술이라 한다. A. Rjoub는 도미노 논리 회로(domino logic circuit)에 Low-Swing 기술을 이용한 인버터를 사용하여 출력 전압을 감소시킨 저 전력 회로를 구현하였다^[2]. 그러나 도미노 논리 회로는 논리회로를 구현하는 일반적인 회로형태가 아닌, 특수한 용도에 한정적으로 사용되는 논리회로 형태이므로 집적회로 설계에 일반적으로 사용될 수 없다는 문제점이 있다. 따라서 본 논문에서는 동적 회로(dynamic circuit)가 아닌 정적회로(static circuit)에 Low-Swing 기술을 이용하였고, 정적회로 중 여러 가지 응용회로를 설계할 수 있는 CVSL(Cascade Voltage Switch Logic) 회로 내부에 Low-Swing 기술을 이용하여 출력 전압을 감소시킨 저 전력 CVSL 전가산기(full adder)를 구현하였다. 또한 이를 8×8 병렬 곱셈기(parallel multiplier)에 이용하여 감소된 출력전압이 다음 동작에 미치는 영향을 검토하였다.

CVSL 회로는 차동회로(differential circuit)의 일종으로 서로 상보적인 두 개의 입력신호와 출력신호를 갖는 서로 상보적인 신호가 출력함으로 논리구현에 있어 설계의 융통성이 우수하여 복잡한 회로를 비교적 간단하게 구현할 수 있다. 논리 연산은 pull-down NMOS 블록에서 수행되고 pull-up 기능은 상호 연결된 두 개의 PMOS 트랜지스터로 이루어진 pull-up 래치(latch)에 의해 수행된다. 본 논문에서 제안한 Low-Swing 기술을 적용한 CVSL 전가산기는 Hynix 0.35μm 표준 CMOS 공정의 파라미터를 이용하여 HSPICE로 시뮬레이션 하였다.

본 논문의 구성은 다음과 같다. 제 II장에서는 Low-Swing 기술에 대하여 설명하였고, 제 III장에서는 본 논문에서 제안한 회로에 대하여 설명을 하였다. 제 IV장에서는 일반적인 CVSL 전가산기와 제안한 회로의 배치설계(layout) 및 시뮬레이션 결과를 비교하였다. 마지막으로 제 V장에서 결론을 맺는다.

II. Low-Swing 기술

2.1. 전력소모

전력소모(에너지 손실) 요소는 공급 전압과 출력 단의 노드 커패시터, 출력 Swing 전압 등으로 다음과 같은 식으로 표현된다.

$$E = C_L \times V_{DD} \times V_{dd} \tag{1}$$

(C_L : 노드 커패시터, V_{DD} : 공급 전압, V_{dd} : 출력

Swing 전압)

위의 식 (1)에 의하면 에너지 손실은 출력 단의 노드 커패시터와 공급 전압, 출력 단의 Swing 전압의 곱으로 이루어진다. 따라서 출력 단의 Swing 전압을 감소시키면 에너지 손실을 감소시킬 수 있다.

2.2. Low-Swing 인버터

Low-Swing 기술은 회로에 공급되는 전압보다 낮은 전압레벨에서 출력동작을 하여 전력소모를 감소시키는 기술이다. 그림 1의 일반적인 인버터는 0V에서 공급 전압(V_{DD})까지 완전 Swing(Full-Swing)을 한다. 만약 공급전압이 3.3V인 경우, 출력전압은 0V~3.3V 값을 가진다. 이러한 출력 동작 전압범위는 전력소모와 밀접한 관계를 가지고 있다. 식(1)에서 나타낸 바와 같이 출력

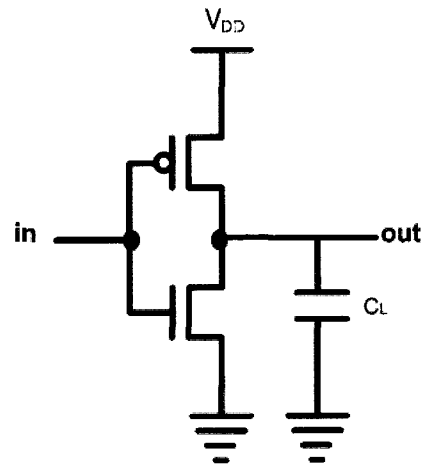


그림 1. 일반적인 CMOS 인버터
Fig. 1. Typical CMOS inverter.

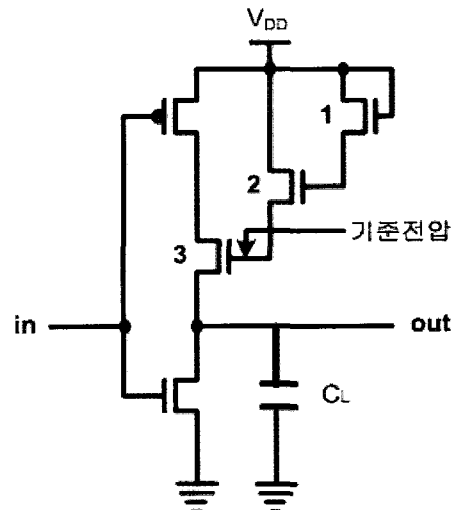


그림 2. Low-Swing 인버터
Fig. 2. Low-Swing inverter.

Swing 전압을 감소시키면 에너지 손실은 감소된다.

그림 2는 Low-Swing 인버터이다. 일반적인 CMOS 인버터에 NMOS 트랜지스터를 추가하여 변형된 인버터 구조이다. V_{DD} 에 연결된 PMOS 트랜지스터와 GND에 연결된 NMOS 트랜지스터 사이에 NMOS 트랜지스터를 추가하였다. 1번 트랜지스터의 게이트와 소오스는 V_{DD} 에 연결되고, 1번 트랜지스터의 드레인은 변형된 인버터의 기준전압으로서 인버터의 동작전압이 된다. 2번 트랜지스터는 기준전압에 의해 동작하며, PMOS 트랜지스터와 연결되어 감소된 V_{DD} 전압을 출력노드에 전달한다. 기준전압은 추가된 NMOS 트랜지스터의 수(n)와 문턱 전압(V_{TH})에 의해 결정된다. 따라서 기준전압(V_{ref})은 식 (2)와 같다. 추가한 NMOS 트랜지스터는 다이오드 형태로 연결이 되어 출력 전압을 감소시킨다. 공급 전압이 3.3V일 경우, 일반적인 CMOS 인버터의 에너지 손실은 식 (3)과 같다.

$$V_{ref} = (V_{DD} - nV_{THn}) \quad (2)$$

$$E = C_L \times 3.3V \times 3.3V \quad (3)$$

Low-Swing 인버터의 에너지 손실은 식 (4)와 같다.

$$E = C_L \times 3.3V \times (V_{DD} - nV_{THn})V \quad (4)$$

$$E = C_L \times V_{DD} \times (V_{DD} - (V_{ref} - V_{THn})) \quad (5)$$

$$\text{감소비} = ((V_{ref} - V_{THn}) / V_{DD}) \times 100\% \quad (6)$$

따라서 공급전압에서 Low-Swing 전압 차만큼 에너지 손실을 감소시킨다. 즉, Low-Swing 기술 적용으로 인한 에너지 손실은 식 (5)와 같으며, Low-Swing 기술 이용으로 인한 전력소모 감소는 식 (6)과 같이 표현된다^[2].

III. Low-Swing 기술을 이용한 회로설계

3.1. Low-Swing 기술을 이용한 CVSL 전가산기

그림 3의 (a)에서 CVSL 회로의 동작점이 결정되는 과정을 보였다. 원래는 왼쪽의 NMOS 논리블록(N1)이 off되고 오른쪽의 상보 NMOS 논리블록(N2)이 on되어 Q와 Q'의 노드전압이 각각 0과 V_{DD} 였는데, 그 후 입력 전압이 변하여 N1은 on되고 N2는 off되었다고 가정한다. 입력전압이 변한 직후에는 Q와 Q' 전압은 여전히 0과 V_{DD} 에 머물게 되어 MP1은 여전히 on되어있고 MP2

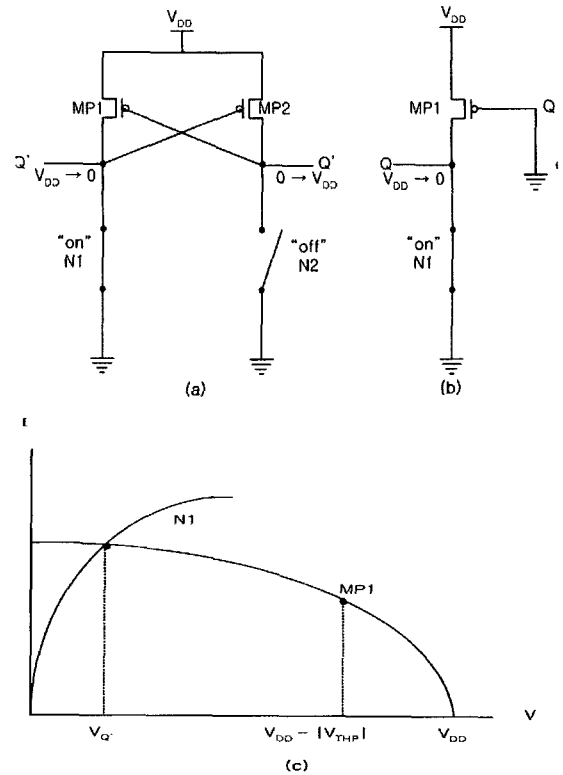


그림 3. CVSL 회로의 동작점
Fig. 3. CVSL circuit movement point.

는 여전히 off되어 있다. 이 CVSL 회로가 상태를 바꾸기 위해서는, 즉 Q와 Q' 전압이 각각 V_{DD} 와 0으로 바뀌어지기 위해서는 그림 3의 (b)에 표시한 회로에서 동작점에서의 Q' 전압이 $V_{DD} - |V_{THp}|$ 보다 작아야 한다. 그림 3의 (c)에 보인 동작점 결정 곡선에서 NMOS 논리블록의 유효 W/L 값을 (W/L)_{N1}이라고 하면 동작점에서 N1은 비포화(triode) 영역에서 동작하고 MP1이 포화(saturation) 영역에서 동작한다. Q 전압(V_Q)이 0인 상태에서 Q' 전압($V_{Q'}$)이 $V_{DD} - |V_{THp}|$ 보다 작아지지만 하면 MP2가 on 되어 V_Q 가 증가하고, 이 V_Q 의 증가로 인해 $V_{Q'}$ 가 감소하고, 이 $V_{Q'}$ 의 감소로 인해 MP2는 강하게 on되어 V_Q 를 더 증가시킨다. 즉 $V_{Q'}$ 가 $V_{DD} - |V_{THp}|$ 보다 작게 되어 MP2가 on되지만 MP1과 MP2가 크로스커플 형태로 연결된 PMOS pull-up 래치의 정 논리 귀환(positive feedback) 동작에 의해 극히 짧은 시간 이내에 V_Q 는 V_{DD} 가 되고 $V_{Q'}$ 는 0이 된다^[6].

일반적인 전가산기를 CVSL회로로 구현하면 그림 4와 같다. CVSL회로에서 논리연산 기능은 두개의 pull-down NMOS 논리블록에서 수행되고 pull-up 기능은 상호연결된 형태의 두개의 PMOS 트랜지스터로 이루어진 pull-up 래치에 의해 수행된다.

본 논문에서 제안한 CVSL 전가산기는 그림 5와 같다. 일반적인 CVSL 전가산기 내부에 상호연결된 PMOS에 NMOS 트랜지스터를 추가하여 출력전압을 감소시키는 Low-Swing 기술을 이용하여 설계하였다. V_{DD} 에 연결된 PMOS 트랜지스터와 GND에 연결된 NMOS 트랜지스터 사이에 NMOS 트랜지스터를 추가하였다. 1번 트랜지스터의 게이트와 소오스는 V_{DD} 에 연결되고, 1번 트랜지스터의 드레인은 변형된 인버터의 기준전압으로서 인버터의 동작 전압이 된다. 2번 트랜지스터는 기준전압에 의해 동작하며, PMOS 트랜지스터와 연결되어 $(V_{DD} - nV_{THn})V$ 전압을 출력 노드에 전달한다.

원래의 CVSL 회로에서는 pull-up 전달 지연시간을 감소시키기 위해 PMOS 트랜지스터의 W/L 값을 지나

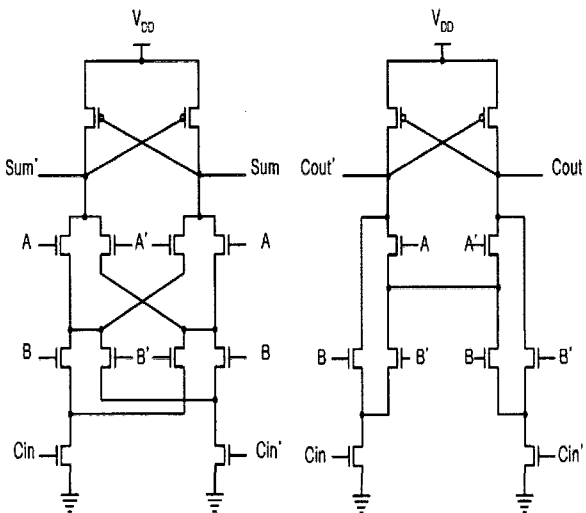


그림 4. 일반적인 CVSL 전가산기
Fig. 4. Typical CVSL full adder.

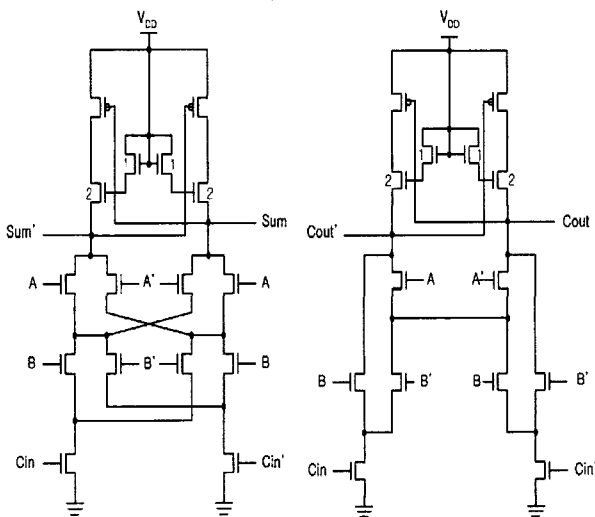


그림 5. Low-Swing CVSL 전가산기
Fig. 5. Low-Swing CVSL full adder.

치게 증가시키면 PMOS pull-up latch의 상태를 천이시킬 수 없으므로 pull-up 전달 지연시간을 감소시키는데 제한이 있다. 반면에, 동적 CVSL 회로에서는 pull-up 동작은 pre-charge phase 에서만 발생하고 이 pre-charge 시간 구간 내에만 pull-up 동작이 완료되므로 pull-up 전달 지연시간은 문제가 없다. 그리고 감소된 출력전압으로 인해 전달 지연시간의 큰 감소 효과를 얻을 수 있는 장점을 가지고 있다.

3.2. 8×8 병렬 곱셈기

병렬 곱셈기는 곱셈과정에서 발생하는 부분 곱들을 병렬로 연결되어 독립적인 계산을 수행한다. m비트의 승수 X와 n비트의 피승수 Y의 곱은 식 (7)과 같다. P_k2^k 는 부분 곱이다. 일반적인 8×8 병렬 곱셈기의 구조는 그림 6과 같다. 사용한 전가산기는 Low-Swing 기술을 이용한 CVSL 전가산기로 8×8 병렬 곱셈기를 구현하였다. 그림 6에서 점선으로 표시한 부분의 전가산기는 일반적인 CVSL 전가산기로 구현하여 감소된 출력전압을 입력으로 받고 최종 출력전압은 완전 Swing으로 출력되도록 설계하였다.

$$\begin{aligned}
 X &= \sum_{i=0}^{m-1} X_i 2^i \\
 Y &= \sum_{j=0}^{n-1} Y_j 2^j \\
 P &= X \cdot Y = \sum_{i=0}^{m-1} X_i 2^i \cdot \sum_{j=0}^{n-1} Y_j 2^j \\
 &= \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} (X_i Y_j) 2^{i+j} \\
 &= \sum_{k=0}^{m+n-1} P_k 2^k
 \end{aligned}
 \tag{7}$$

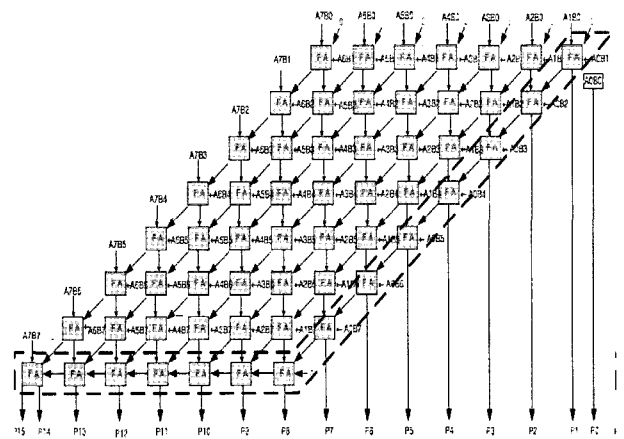


그림 6. 8×8 병렬 곱셈기
Fig. 6. 8×8 parallel multiplier.

IV. 배치설계 및 시뮬레이션 결과 분석

본 논문은 Hynix 0.35 μ m 표준 CMOS 공정을 이용하여 HSPICE로 시뮬레이션하였으며 배치설계 후 LPE를 통해 HSPICE 시뮬레이션 결과와 동일한 결과를 얻도록 배치설계를 하였다. HSPICE에 사용한 모델 파라미터는 Level 28 공정 파라미터를 사용하였고 공급전압은 3.3V로 하였으며, 출력단에 100fF의 부하 커패시터를 연결하여 측정하였다. 그림 7과 8은 CVSL 전가산기와 본 논문에서 제안한 Low-Swing 기술을 적용한 CVSL 전가산기의 배치설계 결과이다. 보다 짧은 배선을 위하여 6개의 입력을 가운데에 공통으로 사용하고 위와 아래에 NMOS 논리 부분을 배치하였다. 그림 9와 10은 CVSL 전가산기를 이용한 8 \times 8 병렬 곱셈기와 Low-Swing 기술을 적용한 CVSL 전가산기를 이용한 8 \times 8

병렬 곱셈기의 배치설계 결과이다. 그림 11은 CVSL 전가산기와 본 논문에서 제안한 Low-Swing 기술을 적용한 CVSL 전가산기의 출력파형이다. 입력 파형에 따라 올바른 합(sum)의 값과 올림수(carry)의 값이 출력되는 것을 확인 할 수 있으며, 점선으로 표시된 부분은 Low-Swing 기술을 이용한 CVSL 전가산기의 출력파형으로 출력전압이 공급전압보다 낮은 3V로 나오는 것을 확인 할 수 있다. 일반적인 CVSL 전가산기의 전력소모는 0.23mW, 전달 지연시간은 1.23ns이다.

Low-Swing을 적용한 CVSL 전가산기의 전력소모는

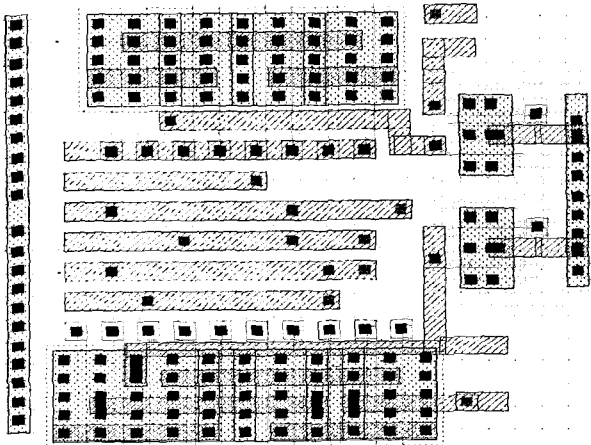


그림 7. 일반적인 CVSL 전가산기의 배치설계
Fig. 7. The layout of typical CVSL full adder.

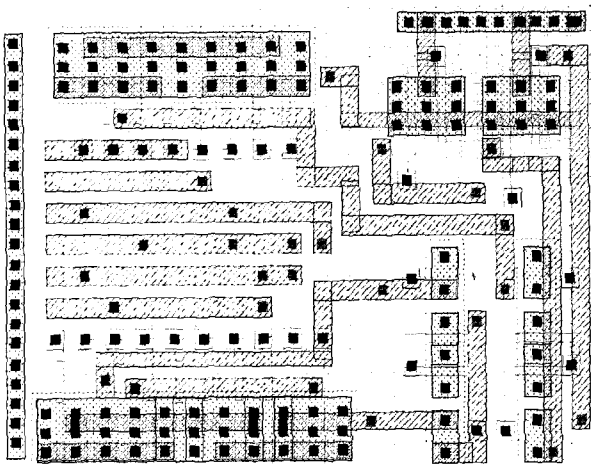


그림 8. Low-Swing CVSL 전가산기의 배치설계
Fig. 8. The layout of Low-Swing CVSL full adder.

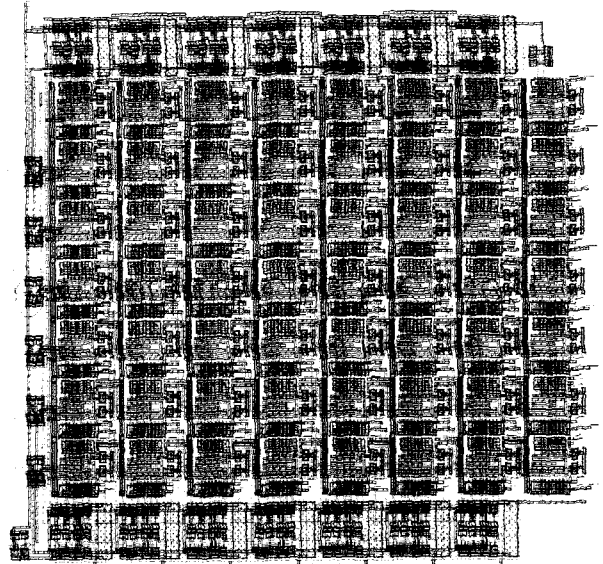


그림 9. 8 \times 8 병렬 곱셈기 배치설계
Fig. 9. Layout of 8 \times 8 parallel multiplier.

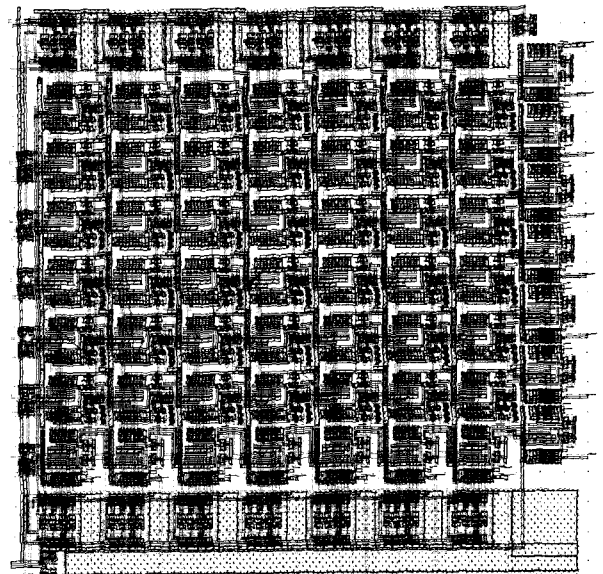


그림 10. Low-Swing 8 \times 8 병렬 곱셈기 배치설계
Fig. 10. Layout Low-Swing 8 \times 8 parallel multiplier.

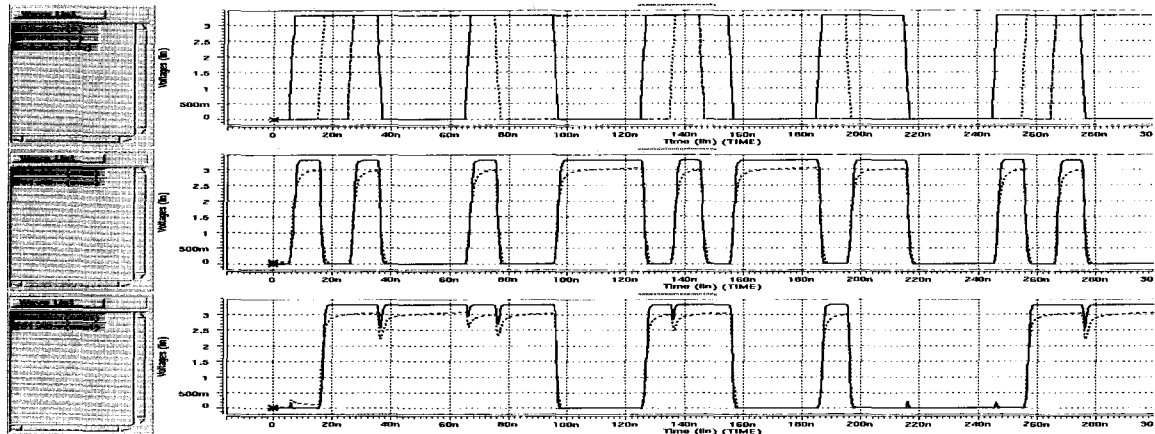


그림 11. CVSL 전가산기 출력 파형
Fig. 11. Waveform of CVSL full adder.

표 1. CVLS 전가산기에 대한 비교표
Table 1. Comparison table for CVSL full adder.

	기존회로	본 논문의 회로
트랜지스터 개수	22	30
배치설계 면적(μm^2)	22.3×21.2 $= 472.7$	27.4×19.7 $= 539.7$
평균 전력소모(mW)	0.23	0.20
전달 지연시간(ns)	1.23	1.21
전력 소모와 지연시간의 곱 [pJ]	0.28	0.24

표 2. 8×8 병렬 곱셈기에 대한 비교표
Table 2. Comparison table for 8×8 multiplier.

	기존회로	본 논문의 회로
트랜지스터 개수	1,616	1,952
배치설계 면적(μm^2)	196.7×188.4 $= 37,058.2$	225.4×178.6 $= 40,256.4$
평균 전력소모(mW)	3.04	2.79
전달 지연시간(ns)	5.56	5.41
전력 소모와 지연시간의 곱 [pJ]	16.96	15.09

0.20mW이고, 전달 지연시간은 1.21ns이다.

일반적인 CVSL 전가산기를 이용한 8×8 병렬 곱셈기의 전력소모는 3.04mW, 전달 지연시간은 5.56ns이다.

표 3. 동적 CVSL 전가산기에 대한 비교표
Table 3. Comparison table for dynamic CVSL full adder.

	기존회로	본 논문의 회로
트랜지스터 개수	23	31
평균 전력소모(mW)	0.104	0.089
전달 지연시간(ns)	0.29	0.20
전력 소모와 지연시간의 곱 [pJ]	0.030	0.018

Low-Swing 기술을 적용한 CVSL 전가산기를 이용한 8×8 병렬 곱셈기의 출력전압은 일반적인 CVSL 전가산기를 함께 사용하여 출력전압을 3.3V이며, 전력소모는 2.79mW이고, 전달 지연시간은 5.41ns이다.

표 1은 기존의 CVSL 전가산기와 본 논문에서 제안한 Low-Swing 기술을 이용한 CVSL 전가산기의 특성을 비교한 표이다. Low-Swing 기술을 이용한 결과 트랜지스터의 개수는 36% 증가하고 배치설계 면적이 14% 증가하였으나, 13.1%의 전력소모(0~300ns 평균 소비 전력) 감소효과를 얻었으며, 전력소모와 지연시간의 곱(power-delay-product)에서는 14.3%의 성능향상을 얻었다. 표 2는 8×8 병렬 곱셈기에 대해 기존의 CVSL 전가산기를 이용한 8×8 병렬 곱셈기와 본 논문에서 제안한 Low-Swing 기술을 이용한 CVSL 전가산기를 이용한 8×8 병렬 곱셈기의 특성을 비교한 표이다. Low-Swing 기술을 이용한 결과 20.7%의 트랜지스터

의 개수가 20.7% 증가하고, 배치설계 면적이 8.6% 증가 하였으나, 8.2%의 전력소모(0~128us 평균 소비 전력) 감소효과와 2.7%의 전달 지연시간 감소효과를 얻었으며, 전력소모와 지연시간의 곱에서는 11.1%의 성능향상을 얻었다.

표 3은 동적 CVSL 전가산기와 본 논문에서 제안한 Low-Swing 기술을 이용한 동적 CVSL 전가산기의 특성을 비교한 표이다. Low-Swing 기술을 이용한 결과 트랜지스터의 개수는 34% 증가하였으나, 14.4%의 전력소모(0~300ns 평균 소비 전력) 감소효과와 45%의 전달 지연시간 감소효과를 얻었으며 전력소모와 지연시간의 곱에서는 40%의 성능향상을 얻었다.

V. 결 론

본 논문은 CVSL 전가산기 회로에 Low-Swing 기술의 특성을 갖도록 NMOS 트랜지스터를 추가하여 감소된 출력전압으로 동작하는 CVSL 전가산기를 제안하였다. 또한, 감소된 출력전압이 다음 동작에 미치는 영향을 검토하기 위해 Low-Swing 기술을 이용한 CVSL 전가산기를 이용하여 8×8 병렬 곱셈기를 구성하였다.

CVSL 전가산기의 경우, Low-Swing 기술을 이용하면 NMOS 트랜지스터의 추가로 배치설계 면적은 14% 증가하였으나, 13.1%의 전력소모 감소효과를 얻었으며, 전력소모와 지연시간의 곱에서는 14.3%의 성능향상을 얻었다. 동적 CVSL 전가산기의 경우, Low-Swing 기술을 이용하면 14.4%의 전력소모 감소효과와 45%의 전달 지연시간 감소효과를 얻었으며, 전력소모와 지연시간의 곱에서는 40%의 성능향상을 얻었다. 8×8 병렬 곱셈기에서 일반적인 CVSL 전가산기와 감소된 출력 전압을 갖는 Low-Swing 기술을 이용한 CVSL 전가산기를 병행해서 사용한 결과 8×8 병렬 곱셈기의 경우 배치설계 면적은 8.6% 증가하였으나, 8.2%의 전력소모 감소효과와 2.7%의 전달 지연시간 감소효과를 얻었으며, 전력소모와 지연시간의 곱에서는 11.1%의 성능향상을 얻었다.

CVSL 회로에서 PMOS 트랜지스터 크기(W/L값)를 감소시키면 pull-up 지연이 증가한다. 그런데, pull-up 지연을 감소시키기 위해 PMOS 트랜지스터의 크기를 증가시키면 PMOS pull-up 래치의 동작에 의해 출력 논리 값의 변화에 필요한 지연시간이 증가한다. 따라서 개선사항으로는 과도전류 감소와 상승 전달 지연시간의 감소가 요구되며, 입력신호 패턴에 따라 전력소모의 변

화가 크게 나타나는 점에 대한 개선이 필요하다. 이러한 문제의 해결 방법으로서 Low-Swing 기술에 적합한 새로운 논리 구조에 대한 연구가 필요하다.

참 고 문 헌

- [1] Neil H. E. Weste, Kamran Eshraghian. "Principles of CMOS VLSI Design", Addison-Wesley Publishing Company.
- [2] A. Rjoub and O. Koufopavlou, "Low-Power Domino Logic Multiplier Using Low-Swing Technique", in Proceeding of IEEE International Conference on Electronics, Circuits and Systems, vol. 2, pp. 45-48, 1998.
- [3] Nan Zhuang and Haomin Wu "A New Design of the CMOS Full Adder", IEEE Journal of Solid-State Circuits, vol. 27, no. 5, pp. 840-844, May 1992.
- [4] Jyh-Ming Wang, Sung-Chuan Fang, and Wu-Shiung Feng, "New Efficient Design for XOR and XNOR Functions on the Transistor Level", IEEE Journal of Solid-State Circuits, vol. 29, no. 7, pp. 780-786, July 1994.
- [5] Reto Zimmermann and Wolfgang Fichtner, "Low-Power Logic Styles : CMOS Versus Pass-Transistor Logic", IEEE Journal of Solid-State Circuits, vol. 32, no. 7, pp. 1079-1090, July 1997.
- [6] 박홍준, "CMOS 디지털 집적회로 설계", 대영사, 2002.

— 저 자 소 개 —



강 장 희(학생회원)
 2003년 강원대학교 전자공학과
 학사.
 2005년 강원대학교 전자공학과
 석사 졸업예정.
 <주관심분야 : VLSI 설계, 저 전
 력 회로 설계>



김 정 범(정회원)
 1985년 인하대학교 전자공학과
 학사.
 1987년 인하대학교 전자공학과
 석사.
 1997년 포항공과대학교 전자전기
 공학과 박사.
 1987년~1992년 금성반도체 중앙연구소
 선임연구원
 1994년~1997년 현대전자 시스템 IC 연구소
 책임연구원
 1997년~1999년 충북대학교 전기전자공학부
 1999년~현재 강원대학교 전기전자정보통신
 공학부 부교수
 <주관심분야 : VLSI설계, CAD, Multi-Valued
 Logic>