

논문 2005-42SD-2-5

# 고성능 저전력 모바일 컴퓨팅 제품을 위한 MTCMOS ASIC 설계 방식

(MTCMOS ASIC Design Methodology for High Performance Low Power Mobile Computing Applications)

김 교 선\*, 원 효 식\*\*

(Kyosun Kim and Hyo-Sig Won)

## 요 약

다중 문턱 전압 CMOS (Multi-Threshold voltage CMOS, MTCMOS) 기술은 모바일 컴퓨팅 제품에서 요구되는 고성능 저전력 특성을 제공한다. 본 논문에서는 먼저 MTCMOS의 누설 전류 차단 기술과 이온 주입 농도 조절을 융합한 마스크 제작 사후 성능 향상 기법을 소개한다. 그리고 MTCMOS 기술에 관련하여 발생하는 새로운 설계 이슈들을 해결하는 최신 기술들을 집적하여 개발된 MTCMOS ASIC 설계 방법론을 제시한다. 특히, 현존하는 상업용 소프트웨어로 설계 흐름을 구현하고 있어 실용성이 높다. 제안된 기법들의 효용성을 검증하기 위해 0.18um 기술에 적용하여 PDA 프로세서를 구현하였다. 제작된 PDA 프로세서는 333MHz에서 동작하였다. 이는 재설계 및 마스크 제작비용 없이 단지 이온 주입 농도 조정으로 약 23%의 추가적인 성능 향상 효과를 나타낸 성과이다. 이 때, 대기 시 누설 전력 소모는 2uW를 유지함으로써 MTCMOS 기술 적용 전 대비 수천 배 억제하는 효과를 얻었다.

## Abstract

The Multi-Threshold CMOS (MTCMOS) technology provides a solution to the high performance and low power design requirements of mobile computing applications. In this paper, we (i) motivate the post-mask-tooling performance enhancement technique combined with the MTCMOS leakage current suppression technology, and (ii) develop a practical MTCMOS ASIC design methodology which fine-tunes and integrates best-in-class techniques and commercially available tools to fix the new design issues related to the MTCMOS technology. Towards validating the proposed techniques, a Personal Digital Assistant (PDA) processor has been implemented using the methodology, and a 0.18um process. The fabricated PDA processor operates at 333MHz which has been improved about 23% at no additional cost of redesign and masks, and consumes about 2uW of standby mode leakage power which could have been three orders of magnitude larger if the MTCMOS technology was not applied.

**Keywords:** MTCMOS, ASIC design methodology, performance enhancement, mobile computing

## I. 서 론

가전, 산전, 그리고 통신 및 컴퓨터 분야에 집적 회로

칩을 공급하는 시장은 역사적으로 그림 1에서 같이 첨예하게 두 집단으로 분리되어 왔다. 즉, 첫 번째 집단은 스마트 폰이나 PDA (Personal Digital Assistant), 그리고 휴대용 PC (Personal Computer)와 같이 성능은 낮지만 비 동작 시 전력 소모가 작은 응용 분야이며, 고급 디지털 컴퓨터나 네트워크 장비, 그리고 고급 주변 장치 같이 비사용 전력 소모는 크지만 성능이 높은 응용 분야가 두 번째 집단이다. 최근, 통신과 전산이 합체되는 경향에 따라 데이터/음성 중심의 이동 전산 단말기 및 이동 미디어 단말기 등의 등장은 비사용 시 저 소비

\* 정회원, 인천대학교 전자공학과  
(Department of Electronic Engineering, University of Incheon)

\*\* 정회원, 삼성전자, CAE Center  
(CAE Center, Samsung Electronics)

※ 본 연구는 한국과학재단 지정 인천대학교 멀티미디어 연구센터의 지원에 의한 것임.

접수일자: 2004년7월22일, 수정완료일: 2004년1월24일

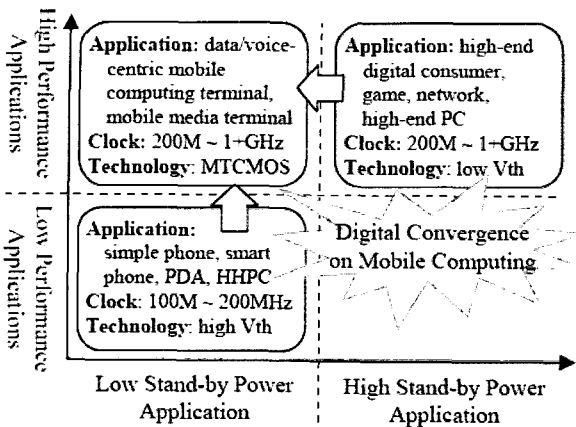


그림 1. IC 시장 동향

Fig. 1. Trends of the IC market.

전력 특성뿐만 아니라 고성능까지 요구하고 있다.

이와 같은 디지털 컨버전스 (Digital Convergence) 시대에서 다중 문턱 전압 CMOS (Multi-Threshold Voltage CMOS, MTCMOS)는 높은 문턱 전압 (Threshold Voltage,  $V_{th}$ ) 및 낮은  $V_{th}$  트랜지스터를 선택적으로 사용함으로써 고성능 및 저 소비 전력 특성을 제공하는 핵심적 기술이라 할 수 있다. 스위칭 전력이 공급 전원 전압 (VDD) 감소의 자승에 비례하여 감소하기 때문에 일반적으로 VDD를 낮추면 스위칭 전력 소모를 대폭 감소시킬 수 있다. 그러나 동작 속도가 저하되기 때문에 성능 보상을 위해  $V_{th}$ 를 낮추어야 하여 이는 저 문턱 전압 누설 전류 (Sub-Threshold Leakage Current)의 지수 함수적 증가 문제를 야기한다. 사실, 저 전력 특성 및 고성능을 위해 VDD와  $V_{th}$ 를 좀 더 의욕적으로 낮추게 된다면 누설 소비 전력은 스위칭 소비 전력을 압도하게 된다. 이동 미디어 단말기 등과 같은 상당수의 디지털 컨버전스 제품은 대부분의 시간 동안 켜져 있지만 계산을 수행하지 않는 공전 (Idle) 상태에 놓이게 된다. 이 대기 시간 동안 저  $V_{th}$  누설 전력이 크다면 그것이 전체 전력 소모의 주요 요인이 될 것이다. 대기 모드에서 이러한 정적 전력 소모는 누설 전류가 매우 작은 고  $V_{th}$  트랜지스터를 사용하여 전원 공급을 단속함으로써 현저하게 줄일 수 있다. 이것이 MTCMOS 기술 저변에 놓인 기본적 원리이다.

MTCMOS는 고  $V_{th}$  트랜지스터를 사용하여 저  $V_{th}$  논리 회로에 공급되는 전원을 켜고 끄는 매우 효율적인 저 전력 고 성능 회로 기법이다<sup>[1,3]</sup>. 그러나 MTCMOS 기술이 가진 가장 중대한 문제점은 공급 전압이 꺼져 있을 때 (수면 모드) 논리 회로 내에 있는 래치와 플립 플롭에 저장된 데이터가 보존되지 않는다는 점이다. 따

라서 저장된 데이터를 유지하기 위한 별도의 회로와 복잡한 타이밍 설계가 부가적으로 필요하다. 이것은 시스템의 성능 및 소모 전력, 그리고 소요 면적에 중대한 악영향을 미친다. 자동 역방향 전류 제어 MTCMOS<sup>[4]</sup> 및 가변 전원/접지 레일 클램프<sup>[5]</sup>와 같이 다이오드 클램프를 사용한 다른 형태의 MTCMOS의 경우, 래치와 플립 플롭 안에 추가된 회로와 제어를 위한 타이밍 설계는 복잡하지 않으나 수면 모드에서 논리 회로의 누설 전류가 충분히 차단되지 않는다는 문제점이 있다. 한편, 누설 전류를 방지하기 위한 또 다른 대표적 대안으로 가변 문턱 전압 CMOS (Variable Threshold Voltage CMOS, VTCMOS)가 제안되었다<sup>[2]</sup>. MTCMOS가 저장된 데이터를 유지하는데 회로 보완 기법이 필요한 반면, VTCMOS는 고  $V_{th}$  전원 스위치를 사용하는 대신 기판 역방향 전압을 제어하여 트랜지스터의  $V_{th}$ 를 조절하기 때문에 래치 및 플립플롭 회로의 변경이 필요 없다. 그러나, VTCMOS는 자체의 삼중 우물 (Tripple Well) 구조 및 기판 바이어스 전압 발생 회로로 인하여 추가적인 복잡성과 비용이 요구된다.

본 논문은 다음과 같이 구성한다. 먼저, II장에서 마스크 제작 사후 성능 향상을 위한 MTCMOS 기술 적용에 동기를 부여하고 III장에서 MTCMOS의 원리를 소개한다. IV장에서 전원 스위치 최적화, 데이터 보존 플립플롭, 부동 입력에 기인한 단락 회로 전류, 숨은 누설 전류, 소모 전력 관리, 타이밍 조건 충족 등과 같은 MTCMOS 설계 이슈들에 대해 소개한다. ASIC 설계 환경에서 이들을 모두 고려한 MTCMOS 설계 기법을 V장에서 설명한 후, VI장에서는 이 기법을 사용하여 설계된 PDA 프로세서에 대한 제작 및 측정 결과를 제시한다. 마지막으로 VII장에서 결론을 맺을 것이다.

## II. 동기

ITRS (International Technical Roadmap for Semiconductor)는 SOC-LP(System-On-Chip Low Power) PDA 시스템 사양으로 최대 전력 0.1W 및 대기 전력 2.1mW를 예상하고 있으며<sup>[12]</sup> 이는 LOP (Low Operating Power), LSTP (Low Standby Power), 그리고 HP (High Performance) 등의 다중 소자가 하나의 칩에 집적되어야 가능하다. 어떤 공정 기술 세대에서도 이 소자들의  $V_{th}$ 는 누설 전류 제한을 만족하면서도 구동 전류가 최대가 되는 점에서 결정된다. 표 1은 선폭 0.18 $\mu$ m, 전원 전압 1.8V인 전형적인 ASIC 공정 기술의

표 1. 0.18um ASIC 공정의 트랜지스터 특성  
Table 1. Process attributes of transistors in the 0.18um ASIC technology.

	저 문턱 전압	고 문턱 전압
문턱 전압 ( $V_{th}$ )	0.45V	0.6V
누설 전류	32 pA/um	1 pA/um
포화 구동 전류	540 uA/um	450 uA/um

트랜지스터 특성을 요약하고 있다. 저  $V_{th}$  트랜지스터 (LOP 소자)의 구동 전류는 고  $V_{th}$  트랜지스터 (LSTP 소자)보다 20% 더 크지만 저  $V_{th}$  누설 전류는 30배나 더 크다.

MTCMOS 전원 통제 기술을 이용한 마스크 제작 사후 성능 향상 기법의 동기 부여를 위해 0.18um 공정 기술에서 저  $V_{th}$  NMOS 및 PMOS 트랜지스터의 포화 (on) 전류 및 누설 (off) 전류 변화를 살펴보자 (그림 2\* 참조). 만약  $V_{th}$ 를 0.3V까지 의욕적으로 더 낮춘다면 구동 전류는 20% 증가하지만, 누설 전류는 40배나 폭증한다. 이와 같은 누설 전류의 지수 함수적 증가 때문에  $V_{th}$ 를 더 이상 더 낮출 수 없는 것이다. 그러나 지수 함수적으로 증가한 누설 전류는 아직 포화 전류보다 300배나 더 작기 때문에 대기 모드에서만 영향을 준다. MTCMOS 기술에서 사용하는 고  $V_{th}$  전력 스위치가 대기 모드 누설 전류를 효과적으로 차단하기 때문에 추가적인 성능 향상을 위한  $V_{th}$ 의 의욕적 강하가 가능하게 되었다. 대개 표준 이중 문턱 전압 (Dual Threshold Voltage) 공정 개발 시  $V_{th}$ 가 결정되나 MTCMOS 기술을 적용하면 심지어 마스크 제작 단계 이후에도 더 낮추어 성능을 향상시킬 기회를 가지게 된다. ITRS는 LSTP 소자만을 사용한 칩 전체의 소모 전력이 2016년에 1.5W가 되며 이 중 대부분이 동적 전력이 될 것이라고 예측하고 있다<sup>[13]</sup>. 이와 같이 동적 전력이 증가되는 것은 LOP 소자보다 약 10 - 50% 더 큰 LSTP 소자의 공급 전원 전압에 주로 기인한다. 전원 전압을 더 낮출 수 없는 것은 그것이  $V_{th}$ 의 최소한 2배가 되어야 잡음 여유가 확보되기 때문이다. 본 논문에서 제안된 성능 향상 기법은 이러한 VDD 전압 스케일링 위축을 회피할 수 있어 ITRS가 예측한 장래의 LSTP 소자의 동적 전력 증가를 방지한다.

### III. MTCMOS의 원리

MTCMOS 회로 기술을 사용하면 대기 상태에서 누

\* 이 데이터는 실제 실리콘 측정치임.

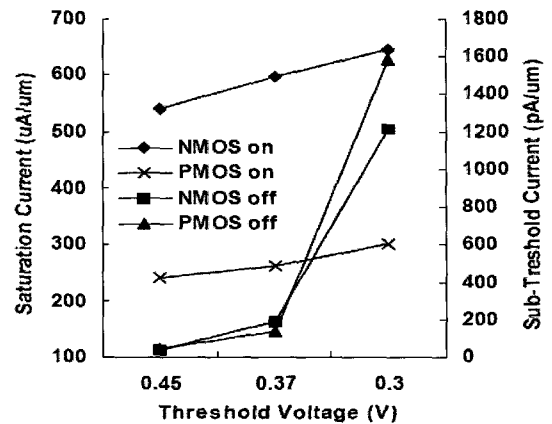


그림 2. 문턱 전압 변화에 따른 성능 및 누설 전류 변화

Fig. 2. Performance and leakage tradeoff according to the threshold voltage variation.

설 전류를 효과적으로 차단하면서도  $V_{th}$ 를 더 낮출 수 있기 때문에 더 높은 성능을 달성할 수 있다. 그림 2에 MTCMOS의 기본 회로 구조를 보이고 있다. 저  $V_{th}$  트랜지스터 및 MTCMOS 게이트는 모두 붉은 선을 사용하여 구분하였으며 이는 본 논문 전체에 적용된다.

본래의 기능을 수행하는 논리 회로는 저  $V_{th}$  MOS 트랜지스터들로 구현되어 있고 이들은 전원선 (VDD)과 가상 접지선 (Virtual Ground, VGND)에 의해 전원이 공급된다. VGND는 고  $V_{th}$  MOS 트랜지스터 스위치 Q1을 통해 실 접지선 (Real Ground, GND)에 연결된다. MTCMOS 설계는 활성 (Active) 및 수면 (Sleep), 두 가지 동작 모드를 가지고 있다. 활성 모드에서 수면 제어 신호 (Sleep Control, SC)가 고 전위가 되면 Q1 스위치가 켜져서 VGND와 GND가 직접 연결된다. 결과적으로 저  $V_{th}$  논리 게이트들이 고속으로 정상 동작한다. 반면에 수면 모드에서는 SC가 저 전위로 떨어지고 Q1이 꺼진다. 이 상태에서 누설 전류는 반드시 Q1 트랜지스터를 통과해야 한다. 그러나 Q1의  $V_{th}$ 가 높아 낮은 누설 전류 특성이 있기 때문에 저  $V_{th}$  논리 게이트들을 통과한 누설 전류가 이 스위치에 의해 거의 완벽하게 차단된다.

고  $V_{th}$  트랜지스터 Q1이 수면 모드에서 논리 게이트들을 통과하는 누설 전류를 차단하는 스위치로 동작하기 때문에 이를 전류 차단 스위치 (Current Cut-off Switch, CCS)라 칭한다. 그러나 CCS의 도통 시 저항 때문에 MTCMOS 논리 게이트들은 접지선 전위 동요 현상(Ground Bounce)을 겪게 되며 이는 성능 저하 또는 오동작을 일으킬 수 있다. CCS의 채널 폭을 증가시

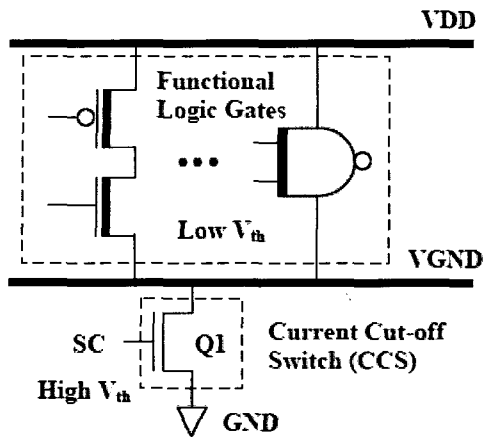


그림 3. MTCMOS 회로 구조  
Fig. 3. Schematic diagram of MTCMOS.

키면 이러한 접지선 전위 동요 현상을 줄일 수 있지만 불행히도 채널 폭을 증가시키면 면적뿐만 아니라 누설 전류까지도 다시 증가시킨다. CCS의 채널 폭을 적절하게 선택하면 CCS를 연결한 MTCMOS 게이트가 저  $V_{th}$  게이트에 비해 성능이 저하되지 않으면서도 고  $V_{th}$  게이트보다도 더 낮게 누설 전류가 차단된다. 성능 향상을 위해 의욕적으로  $V_{th}$ 를 더 낮추는 경우 이 감축 효과는 지수 함수적으로 더 커질 것이다.

#### IV. MTCMOS 설계 이슈

##### 1. 전류 차단 스위치

전류 차단 스위치 (Current Cut-off Switch, CCS)의 면적 및 누설 전류는 논리 게이트들의 성능과 상호 교환 (Trade-off) 관계에 있다. 그러나 활성 모드에서 CCS를 통과하는 동적 전류와 이로 인한 접지선 전위 동요 수치를 미리 알 수 없기 때문에 CCS의 최적 크기를 결정하는 것은 쉽지 않다.

성능 요구 조건이 보장되도록 CCS의 크기를 결정하는 접근 방법들이 보고된 바 있다<sup>[7,8,9]</sup>. 가장 보수적인 접근 방법은 각 논리 게이트마다 하나의 CCS를 전용으로 연결한 후, CCS 각각의 채널 폭을 최적화하는 것이다. 그러나 그와 같은 극단적인 방식은 막대한 면적 비용을 발생시킨다. 이러한 면적 비용을 효과적으로 감축하기 위해 Kao 등<sup>[7,9]</sup>은 계층적 방식을 제안하였으며 여기서 CCS는 동시에 동작하지 않는 논리 게이트들에 의해 공유되도록 하고 있다. 이 방법은 CCS 크기의 고정 한계를 제시하기는 하나, 모든 게이트들의 동작 특성을 확인하고 적절히 집단으로 묶어주는 것이 쉽지 않다.

Mutoh 등은 CCS의 크기를 정적 방식으로 결정하는

평균 전류법 (Average Current Method, ACM)을 제안하였다<sup>[8]</sup>. ACM은 회로가 서로 다르다 하더라도 같은 평균 전류를 소비한다면 평균 접지선 전위 동요 값도 같다는 가정 하에 MTCMOS에 적용할 수 있다. 이것은 요구되는 성능을 저하시키지 않는 최소의 CCS 크기를 결정하는데 쉽게 적용할 수 있다.

CCS도 역시 표준 셀 라이브러리에 포함되는 하나의 셀로서 활성 모드에서 많은 전류가 흐르기 때문에 레이아웃 설계를 구현할 때, 채널 폭뿐만 아니라 Via와 배선 상의 Electro-Migration (EM)을 고려해야 한다. 특히 Via의 수는 평균 전류 및 Via 당 최대 허용 전류를 근거로 결정된다.

##### 2. 상보형 패스 트랜지스터 플립플롭

저 전압 대규모 집적 회로에서 저 누설 전력 고속 회로 기법으로 등장한 MTCMOS는 고  $V_{th}$ , 저 누설 전류 트랜지스터를 스위치로 사용하여 저  $V_{th}$  고속 논리 게이트에 공급하는 전원을 단속하는 매우 효율적인 구조를 가지고 있다. 그러나 표준 래치와 플립플롭으로는 수면 모드에서 저장된 데이터를 보존할 수 없기 때문에 추가적인 회로와 복잡한 타이밍 설계가 제공되어야 한다. 이것은 또한 시스템의 성능을 떨어뜨리고 소모 전력과 면적 비용, 그리고 설계 복잡성을 증가시키는 단점이 있다. 본 연구팀은 전원 스위치를 끌 때에도 데이터 보존을 보장하는 래치를 내장하지만 이를 제어하기 위한 복잡한 타이밍 설계가 필요 없는 회로 기술에 대해 연구해 왔다.

MTCMOS 기술 기반의 데이터 보존성 상보형 패스 트랜지스터 플립플롭 (Complementary Pass Transistor Flip-Flop, CPFF)을 그림 4에 나타내었다<sup>[10,11]</sup>. 데이터 보존 래치 C1, C2는 고  $V_{th}$  MOSFET로 구성되었으며 전원 게이트를 통과하지 않는 전원 VDD와 GND에 직접 연결되어 있다. 이를 제외하고는 기본적으로 저  $V_{th}$  MOSFET로 구성되어 있다. 제안된 CPFF는 양의 에지 (Edge)\*에 의해 구동되는 플립플롭이다. 수면 모드에서 전원 게이트가 끊어지고 논리 게이트들의 모든 출력 노드들이 부동 (Floating) 상태에 이르게 됨에 따라 N1, N2, N3, N4의 게이트 입력 상태는 예측할 수 없게 된다. 노드들의 부동 상태로 인한 누설 전류 경로를 차단하기 위해 인버터 체인의 최종단을 그림 4에서와

\* 음의 에지 플립플롭도 클럭 입력을 반전시킴으로써 간단히 설계될 수 있다.

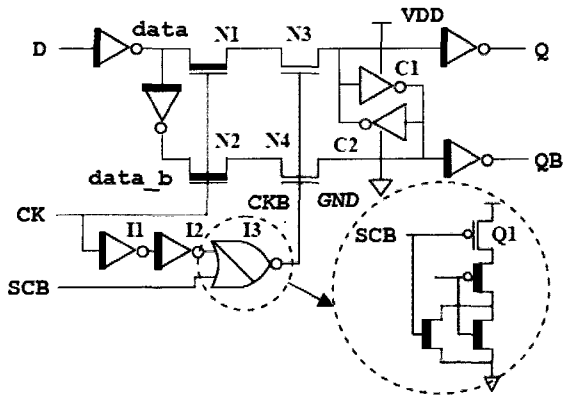


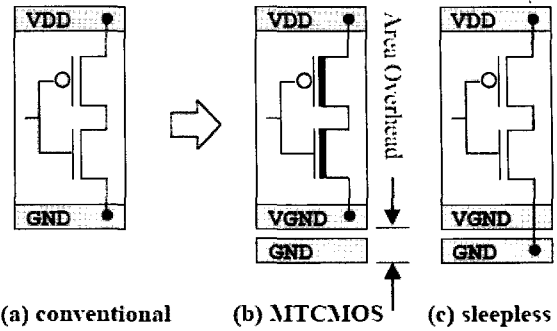
그림 4. 상보형 패스 트랜지스터 플립플롭  
Fig. 4. Complementary pass transistor flip-flop.

같이 전원 게이트를 통과하지 않고 VDD와 GND로부터 직접 전원을 공급받는 NOR 게이트로 대체하였다. 고  $V_{th}$  PMOS Q1은 꺼졌을 때 효과적으로 누설 전류를 차단한다. 수면 모드에서 SCB는 고 전위로 올라가고 CKB가 저 전위로 떨어지며 고  $V_{th}$  NMOS 트랜지스터 N3, N4는 꺼져 C1, C2에 저장된 데이터는 보존된다. 수면 모드에서 활성 모드로 천이할 때, SCB는 전원 재공급 후 조금 뒤 저 전위로 떨어진다. 이 지연 시간은 입력 데이터가 유효한 값을 가질 때까지 N3와 N4가 켜지지 않도록 함으로써 래치 C1, C2 상의 데이터 파괴를 방지한다.

종합해 보면, 상태를 저장하거나 복구하기 위해 [3]에서와 같은 부가적인 저장 회로나 제어 기법을 필요로 하지 않으며 면적에 의한 비용 증가도 상대적으로 매우 작고 타이밍 설계가 매우 단순화되었다는 특징이 있다.

### 3. MTCMOS 논리 셀의 전원 아키텍처

MTCMOS 설계에서 레이아웃 설계 구현은 극복해야 할 여러 어려운 장벽 중에 하나이다. 특히, 기본 논리 셀들의 전원 아키텍처가 적절하지 않다면 MTCMOS 레이아웃 설계 구현을 위해 배치 배선 툴을 새롭게 개발하거나 대폭 수정해야 한다. 그림 5에서 나타낸 바와 같이 기존의 전원 아키텍처에 가상 접지선 (VGND)이 수평으로 추가되어 모든 셀이 VGND 뿐만 아니라 GND와도 연결될 수 있도록 하고 있다. 비록 이 부가적 가상 접지선 때문에 약 12%의 면적 비용이 증가하고 있지만 기존의 상용 소프트웨어를 사용하는 배치 배선 설계 기법을 조금만 수정하면 그대로 사용할 수 있다는 장점이 있다. 더구나, 대부분의 MTCMOS 논리 셀들은 일반 라이브러리에 있는 기존 셀에 접지선을 하나 더 추가하는 단순한 변환 작업으로 설계할 수 있다.



(a) conventional (b) MTCMOS (c) sleepless

그림 5. MTCMOS 기본 셀 전원 아키텍처  
Fig. 5. Power architecture of logic cells.

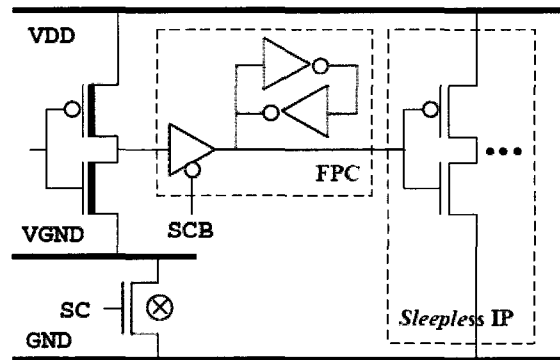


그림 6. 부동 방지 회로  
Fig. 6. Floating prevention circuit.

### 4. 부동 입력에 의한 단락 회로 전류

SOC (System-On-Chip) 설계는 프로세서, 메모리, 아날로그 회로 등과 같은 다양한 IP (Intellectual Property)를 포함하고 있다. 이 IP들의 일부는 MTCMOS 기술로 구현될 수 없을 수도 있다. 이와 같은 비 MTCMOS IP들은 VDD와 GND로부터 직접 전력을 공급받으며 따라서 불면성이다 (수면 모드에서도 전원이 공급되며 항상 깨어있다). 그러나, 수면 모드에서 VGND가 부동 상태에 이르고 모든 MTCMOS 게이트들의 출력들이 부동 상태에 이르게 됨에 따라 VDD에서 GND로 직접 흐르는 매우 큰 단락 회로 전류가 이에 연결된 불면성 IP들에서 발생될 수 있다. 예를 들어, 인버터 하나의 경우 부동 입력에 의한 누설 전류는 수 마이크로에서 수 밀리암페어에 이른다. 이러한 현상은 I/O 셀과의 경계 영역에서도 발생한다.

이와 같은 누설 전류를 제거하기 위해 그림 6과 같이 불면성 IP의 입력에 연결된 MTCMOS 논리 게이트 출력에 삼상 (Tri-State) 버퍼와 전위 유지 래치 (Level Holder)로 구성된 데이터 유지 회로를 삽입한다. 이 데이터 유지 회로 역시 불면성이며 부동 방지 회로 (Floating Prevention Circuit, FPC)라고 칭한다. 수면

모드에서 SCB 신호는 고 전위로 올라가고 삼상 버퍼의 출력은 고 임피던스 상태가 되어 래치의 상태는 보존된다.

5. 숨은 누설 경로

숨은 누설 경로는 수면 모드 중에 VDD에서 GND로 흐르는 전류 경로로서 CCS를 지나는 전류에 비해 크고 지속적인 전류가 흐른다. Calhoun 등은 전형적인 숨은 누설 경로 패턴을 처방하기 위한 몇 가지 설계 규칙을 제시하였다<sup>[14]</sup>. 그림 7은 트랜스미션 게이트 논리로 구현된 멀티플렉서에 의해 발생하는 전형적인 숨은 누설 경로를 보이고 있다. 숨은 누설 경로는 점선으로 표시하였으며 MTCMOS 인버터에서 MTCMOS 멀티플렉서를 거쳐 출력이 '0'인 상태인 고  $V_{th}$  인버터를 지난다.

트랜스미션 게이트 논리를 사용하면 멀티플렉서나 XOR 게이트를 많이 사용하는 산술 연산 회로를 효율적이고 경제적으로 구현할 수 있다. 그러나 구동 능력이 낮아 배선 지연에 취약하기 때문에 현대의 VDSM ASIC 기술에서는 셀이나 하드 마크로 내부에서만 사용하고 외부 배선에는 트랜스미션 게이트를 노출시키지 않는다. 흔히 멀티플렉서는 AOI (AND-OR-Inverter) 형태로 구현하며 트랜스미션 게이트와 연결된 입력에는 버퍼를 삽입하여 노출을 방지한다. 이러한 방지책은 ASIC 설계에 있어 Calhoun의 패턴을 효과적이면서도 완벽하게 제거한다.

그러나 숨은 누설 경로는 ASIC 설계의 다른 부분에서도 찾을 수 있다. VDSM 설계에서는 배선 지연이 전체 속도를 좌우하며 이를 줄이기 위해 사용하는 버퍼는 삼상 버퍼를 사용하는 버스 구조에서 사용할 수 없기 때문에 점점 멀티플렉서를 사용하는 버스 구조로 바뀌어 가고 있다. 그러나 그 간단한 구조 때문에 설계자들은 아직도 연결수가 작은 지역 버스에 대해서 삼상 버스를 사용하고 싶어 한다. 이것은 또한 ASIC 업체가 제공하는 내장형 프로세서나 메모리가 삼상 출력을 가지고 있는 것과 무관하지 않다. 삼상 버스에는 값을 버스에 출력하는 버스 드라이버가 다수 연결되어 있으며 이들 중 하나가 값을 출력한 후 다른 새로운 값이 다시 이 버스에 출력되기 전에 고 임피던스 상태로 갈 수 있다. 이 때 버스가 부동 상태가 되는데 이를 방지하기 위해 RTL 설계 단계에서 전위 유지 래치를 수작업으로 삽입하는 것이 일반적이다. 만약 MTCMOS 셀이 삽입된다면 그림 8에서와 같이 VGND로부터 삼상 인버터의 풀-다운 트랜지스터를 거쳐 GND까지 도달하는 숨은

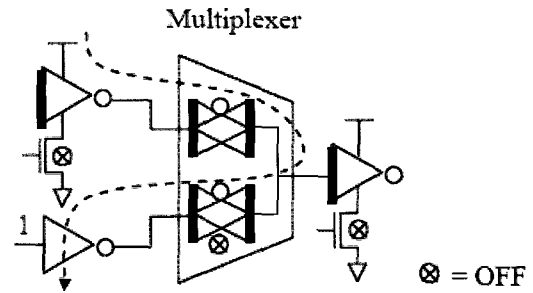


그림 7. 트랜스미션 게이트에 의한 숨은 누설 경로  
Fig. 7. Transmission gate logic induced sneak leakage path.

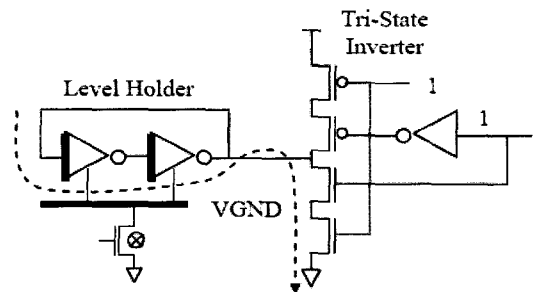


그림 8. 전위 유지 래치에 의한 숨은 누설 경로  
Fig. 8. Sneak leakage path induced by a level holder on a tri-state bus.

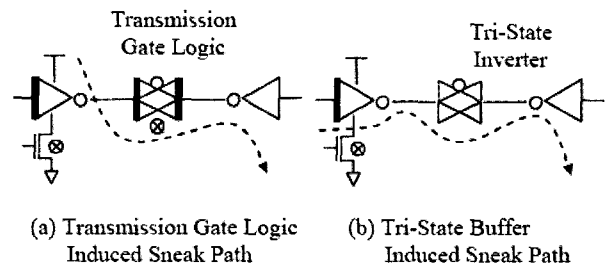


그림 9. 숨은 누설 경로 패턴  
Fig. 9. Sneak leakage path patterns.

누설 경로가 형성된다. 이 경로는 전원 스위치를 우회하여 VGND와 GND를 직접 연결함으로써 누설 전류를 억제하려는 모든 노력을 무산시킨다. 다행히도 이 누설 경로는 전위 유지 래치를 MTCMOS가 아닌 일반 고  $V_{th}$  셀로 바꾸면 제거된다.

흥미 있는 점은 Calhoun의 누설 경로 패턴과 본 논문의 패턴의 유사성이다. Calhoun의 경로는 그림 9(a)와 같이 MTCMOS 트랜스미션 게이트 논리에 의해 발생하는 반면에 본 논문의 경로는 고  $V_{th}$  삼상 인버터에 의해 발생된다. 그러나 삼상 인버터는 CMOS 트랜스미션 게이트가 출력에 부착된 인버터로 표현할 수 있기 때문에 그림 8을 그림 9(b)와 같이 간략하게 표현하면 CMOS 트랜스미션 게이트의  $V_{th}$ 를 제외하고는 그림

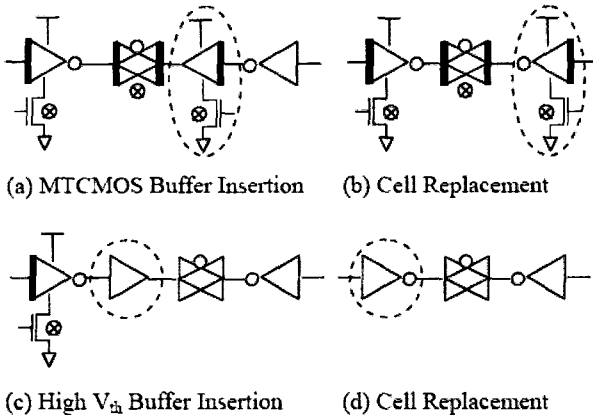


그림 10. 숨은 누설 전류 차단 기법  
Fig. 10. Sneak leakage prevention.

9(a)와 거의 동일한 형태를 갖는다.

종합해 보면, 숨은 누설 경로는 하나 이상의 트랜스미션 게이트가 직렬로 연결되어 그 한 끝은 MTCMOS 게이트의 출력에 연결되고 다른 한 끝은 고  $V_{th}$ 의 출력에 연결된 형태로 정의할 수 있다. 종래의 ASIC 설계 방식에 적용할 수 있는 간단하고도 직관적인 처방은 그림 10에 나타낸 바와 같은 셀 교체 또는 버퍼 삽입이다. 그림 9(a)의 누설 경로는 그림 10(a) 및 (b)의 기법으로 제거할 수 있다. 마찬가지로 그림 9(b)의 누설 경로도 그림 10(c) 및 (d)의 기법으로 제거할 수 있다. 트랜스미션 게이트 체인 양끝에 연결된 셀들이 같은  $V_{th}$ 를 가지도록 한다는 것이 기본 규칙이다. 셀 교체 및 버퍼 삽입 모두 지연 시간을 악화시키거나 개선시키기 때문에 타이밍 조건 충족 기술과 복합적으로 사용되어야 한다.

### 6. MTCMOS 소모 전력 관리

이동 전산과 같이 누설 전력 절감을 고려해야 하는 제품에는 흔히 그림 11과 같이 소모 전력 관리부(Power Management Block, PMB)가 내장되어 있어, 수면 모드에서 휴지 상태에 있는 모듈에 공급되는 전원을 차단시키도록 되어 있다. 본 논문에서 제시하는 MTCMOS 기술은 활성 모드에서 수면 모드로 천이하거나 (냉각 과정), 그 반대로 천이할 때 (가열 과정), SC (Sleep Control) 및 SCB (Sleep Control Bar), 단 두 개의 광역 제어 신호만을 필요로 한다. SLEEP 명령에 의해 동작하는 SC 및 SCB의 타이밍 다이어그램은 그림 12에 나타내었다. VGND가 부동 상태가 되어 CPFF 내의 데이터 보존 래치에 잘못된 값이 전달되기 전에 이를 분리시키기 위해 냉각 시간  $T1$ 이 필요하다. 가열 시간  $T2$  동안은 VGND에 쌓였던 전하가 CCS 셀들을

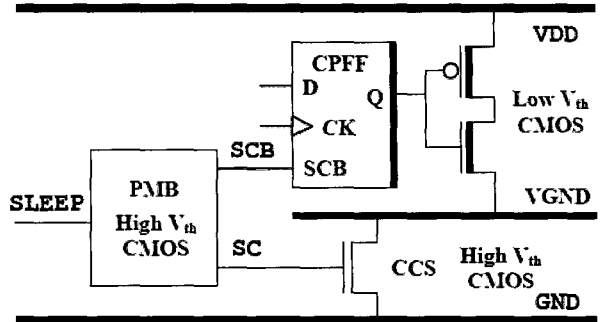


그림 11. 소모 전력 관리 모듈  
Fig. 11. Power management module.

통해 방전되며, VGND의 RC 시정수에 의해  $T2$ 가 결정된다.

### 7. 타이밍 조건 충족 (Timing Closure)

성능 향상과 빠른 타이밍 조건 충족을 위해 논리 최적화와 타이밍 구동 배치 배선이 물리적 합성으로 집적화된 것은 이미 수년 전의 일이다. 최근 배선 간 간섭으로 인한 지연 및 잡음, 증가된 소모 전류 및 전원 배선 저항으로 인한 전원 전압 강하 문제를 포함하는 극초미세 공정 이슈들도 타이밍 조건 충족 과정에서 동시에 해결하고 있다. 이제 MTCMOS 누설 전류 억제 기법이 타이밍에 영향을 주는 반면, 논리 최적화 과정에서는 단락 회로 및 숨은 누설 경로가 발생하는 패턴을 만들 수도 있기 때문에 MTCMOS 설계 이슈들도 타이밍 조건 충족 과정과 별도로 생각할 수 없다. 따라서 타이밍 최적화 과정에서도 MTCMOS 부분과 불면성 영역을 구분하고 정확하게 해당 MTCMOS 설계 규칙을 적용할 수 있어야 한다.

계층적 레이아웃 설계 방식은 대규모 회로를 작은 크기로 분할하여 다루기 쉽도록 할 뿐만 아니라 임계 경로만을 별도 분리하여 강력한 타이밍 최적화 기법을 적용할 수 있도록 한다. 반면, 추상화 정도가 높은 블록 타이밍 모델의 정확도가 떨어지고, 블록 간에 비사용 공간이 발생하는 문제가 있다. 불면성 블록을 별도의 계층적 모듈로 분할하여 해당 MTCMOS 설계 규칙 적용이 용이하도록 하는 것이 효과적으로 보일 수 있다. 그러나 PMB와 같은 대부분의 불면성 블록은 계층적 모듈로 관리하기에 너무 작고 칩 전체에 퍼져 있는 셀들과 연결되어 있다. 따라서 그 같은 블록을 하나의 독립적인 직사각 영역에 제한한다면 설계 복잡도 증가뿐만 아니라 막대한 배선 증가 및 성능 감소의 부담을 지게 된다. 결론적으로 물리적 합성은 평탄화된 계층 구

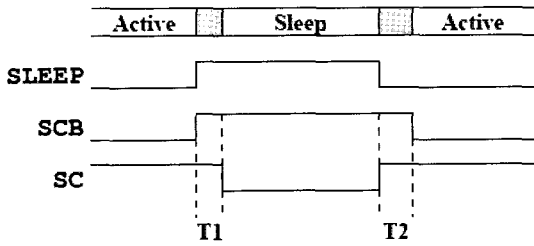


그림 12. 소모 전력 관리 제어 신호  
Fig. 12. Power management control signals.

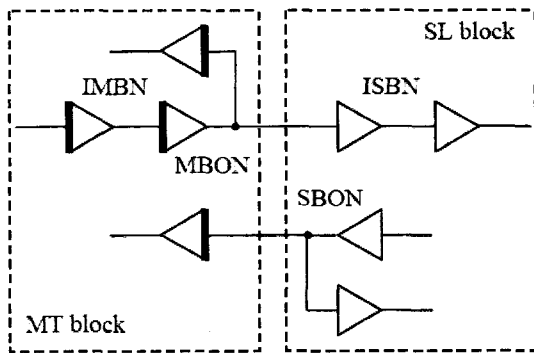


그림 13. 넷 분류  
Fig. 13. Net classification.

조에서 MTCMOS 설계 규칙을 적용할 수 있어야 한다. 기본적으로 넷들은 그림 13과 같이 네 개의 그룹으로 분류할 수 있으며 타이밍 최적화 동안 이 넷 상에 삽입될 버퍼들은 MTCMOS 설계 규칙을 위반하지 않도록 다음과 같이 제한된다.

- MTCMOS 블록 내부 넷 (IMBN): MTCMOS 셀들만을 연결하며 MTCMOS 버퍼들만 삽입할 수 있다.
- 불면성 블록 내부 넷 (ISBN): 불면성 셀들만을 연결하며 불면성 버퍼들만 삽입할 수 있다.
- MTCMOS 블록 출력 넷 (MBON): MTCMOS 셀의 출력을 불면성 셀 또는 MTCMOS 셀의 입력과 연결하며 FPC가 삽입된다. MTCMOS 버퍼가 삽입될 수 있으나 불면성 셀과 FPC 사이는 안되고 FPC와 MTCMOS 셀 사이에만 가능하다.
- 불면성 블록 출력 넷 (SBON): 불면성 셀의 출력을 MTCMOS 셀의 입력과 연결한다. MTCMOS 셀이 동작 모드에서 불면성 셀에 비해 속도가 빠르기 때문에 타이밍 최적화에는 선호하게 되지만 SC나 SCB와 같은 수면 제어 신호 및 불면성 셀들 간의 연결에는 불면성 버퍼들만을 사용할 수 있다.

최신 상용 물리적 합성 툴들은 MTCMOS 제약 조건을 만족하는 준비된 형태의 기능을 제공하지는 않지만 최소한 타이밍 최적화 과정에서 MTCMOS 설계 규칙

을 위반하지 않도록 유도할 수는 있다. 예를 들어, 셀이나 넷, 포트, 모듈 등과 같이 회로를 구성하는 요소들은 최적화 과정에서 변경되지 않도록 선택적으로 동결시킬 수 있으며 최적화 시 사용 금지할 셀 종류를 지정할 수도 있다. 원활한 설계 방법 구축을 위해 MTCMOS 설계 규칙 순응 툴킷을 개발하였으며 이는 넷 리스트 상에서 FPC 삽입 및 타이밍 최적화 시 셀 교체, 버퍼 삽입에 의한 규칙 위반을 검출하고 교정하는 기능과 타이밍 최적화 시 설계 규칙 위반을 방지하도록 유도하는 스크립트 자동 발생 기능을 제공한다. 이 툴킷은 MTCMOS 설계에도 기존 ASIC 설계 툴을 사용할 수 있도록 하는 역할을 한다. 그러나 각 단계를 순차적으로 실행하는 기본적인 특성 때문에 반복 수행을 피할 수는 없다. 결국, 궁극적인 해법을 위해서는 MTCMOS의 제약 조건을 이해하는 물리적 합성 기법의 개발이 필요하다.

### V. MTCMOS 설계 흐름

MTCMOS 관련 이슈들을 고려하기 위해서는 그림 14와 같이 기존의 설계 방식에 몇 개의 추가적인 단계가 필요하다. 먼저, RTL 코드에는 PMB를 포함시켜 SC와 SCB가 발생될 수 있어야 한다. 1 단계에서 RTL 코드를 합성한 후, 넷리스트 상의 모든 플립플롭을 CPFF로 대체한다. 또한, 불면성 IP와의 경계 영역에 FPC가 삽입된다. CCS 셀은 이 넷리스트에 아직 포함되지 않으나 추가된 2, 4, 6 단계에서 삽입된다. 2 단계에서 소모 전력을 산정한 후 그에 해당하는 평균 전류와 그 전류를 통과시킬 CCS의 총 채널 폭이 ACM을 사용하여 계산된다. 이 CCS 크기 및 3 단계에서 수행된 배치 계획 (Floorplan)을 근간으로 접지선 전위 동요의 최대 허용치를 초과하지 않도록 하는 일련의 규칙이 결정된다. 비어 있지 않은 배치 행에는 최소한 하나의 CCS가 배치되어야 하고 CCS 간의 간격은 허용된 최대치보다 떨어져서는 안 된다. 4 단계에서는 준비된 스크립트가 수행되어 이러한 규칙들을 준수하면서 자동적으로 CCS를 삽입할 최적 위치를 찾아내며 이들을 SC 제어 신호와 연결시켜 준다. 5 단계는 기존의 타이밍 최적화 과정과 거의 동일하다. SC와 SCB 제어 신호는 버퍼 트리 합성 (Buffer Tree Synthesis, BTS) 기법을 사용하여 배선되어야 한다. BTS 동안, 신호를 따라 많은 버퍼들이 삽입될 것인데 반드시 불면성 셀을 사용해야 한다. 그림 15는 레이아웃 설계 구현을 간략화 하여 보



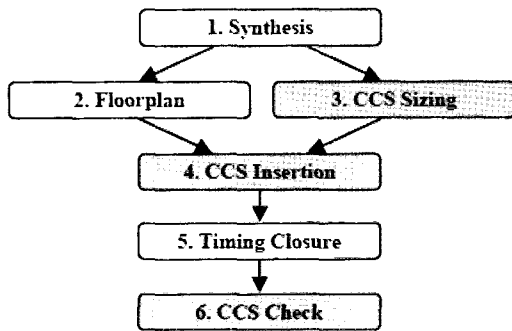


그림 14. MTCMOS 설계 흐름  
Fig. 14. MTCMOS design flow.

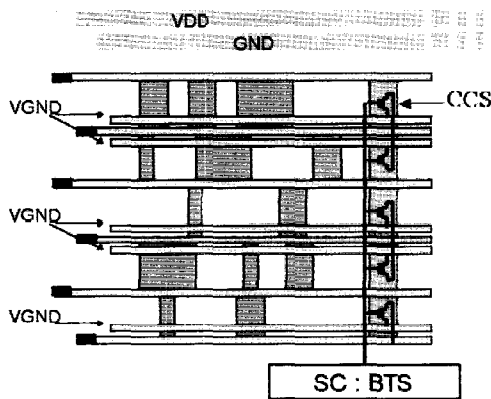


그림 15. CCS를 배치한 레이아웃 예제  
Fig. 15. A layout example with placed CCSs.

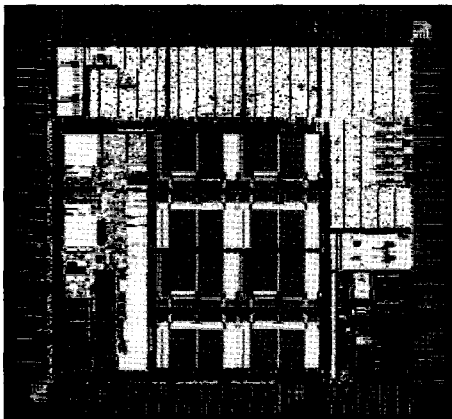


그림 16. 제작된 PDA 칩 사진  
Fig. 16. Photograph of the chip.

인 예제이다. 최종적으로 네트리스트는 수면 모드에서 유동 노드 유무가 검사되고 CCS 배치 규칙을 준수하는 지 검사된다.

VI. 실험 및 고찰

제안된 MTCMOS 설계 기법은 PDA 등과 같은 휴대용 제품 및 저 전력 고성능 사양을 가진 일반 제품을

표 2. 칩 사양

Table 2. Chip features.

Chip size	5.7mm x 5.7mm
CCS width (total)	18mm
Process	0.18um 5-metal CMOS
Gate count	1,914,895
Power dissipation	270mW

표 3. 문턱 전압 스케일링에 의한 성능 향상

Table 3. Performance enhancement due to threshold voltage scaling.

Implementation	V <sub>th</sub> (V)	Speed (MHz)	L <sub>off</sub> (uA) (CCS off)	L <sub>off</sub> (uA) (CCS on)
Non MTCMOS	0.45	270	80	
MTCMOS	0.45	262	1.0	80
	0.38	285	1.0	531
	0.3	333	1.1	6437

위한 32 비트 RISC 마이크로프로세서에 적용하여 검증하였다. 설계는 칩으로 제작되었고 완전한 검사 과정을 수행하였다. 그림 16은 칩 사진이며 표 2에 특성을 정리하였다.

마스크 제작 사후 성능 향상을 위한 MTCMOS의 누설 전류 억제 기술을 검증하기 위해 세 가지 칩을 생산하였다. 각각은 다른 농도의 채널 이온 주입을 실시하여 V<sub>th</sub>가 다르게 되도록 하였다. 다른 V<sub>th</sub> 조건에서 CCS의 누설 전류 억제 효과를 측정하기 위해 원래의 의도대로 CCS를 끈 상태 (off)에서 누설 전류를 측정하고, 추가적인 테스트 회로를 통하여 CCS를 인위적으로 켜 상태에서 측정하여 비교하였다. 차이를 통해 억제 효과를 분명히 확인할 수 있다. 이 세 가지 칩은 MTCMOS 기술을 적용하지 않은 칩을 포함하여 비교하여 표 3에 정리하였다. 첫 열은 구현 기술을 나타내고 다음 두 열은 V<sub>th</sub>와 최대 속도를 표시한다. 마지막 두 열은 CCS가 켜졌을 때 및 꺼졌을 때의 누설 전류를 각각 나타낸다. MTCMOS 기술을 사용한 경우 CCS 접지선 전위 동요 영향으로 3% 정도 성능이 떨어진다. 그러나 V<sub>th</sub>를 낮춤에 따라 누설 전류는 2uA 이하로 유지하면서도 속도는 333MHz까지 높일 수 있었다. 만약 MTCMOS 기술을 사용하지 않았다면 6mA 이상이 되었을 것임을 알 수 있다.

VII. 결 론

MTCMOS 설계 방식이 개발되었고 PDA 프로세서를 통해 검증되었다. 기존의 상용 소프트웨어를 사용하는 설계 방식에 접지선 전위 동요 억제를 위한 CCS의

크기 결정 및 삽입, 수면 모드에서 데이터를 보존하기 위한 CPFF, 단락 회로 전류를 방지하기 위한 FPC, 숨은 누설 경로 차단을 위한 셀 교체 및 버퍼 삽입, 그리고 간단화한 MTCMOS 소모 전력 관리와 같은 MTCMOS 관련 기법들이 집적되었다. 칩 제작된 PDA 프로세서는 23%의 성능 향상을 얻었으며 반면에 수면 모드에서 수천 배의 누설 전류 증가 방지 효과를 보였다. 추후 130nm 또는 90nm에서 누설 전류는 더 커질 것이며 MTCMOS 기술은 이를 효과적으로 차단함으로써 성능을 극대화할 수 있는 필수 기술이 될 것으로 전망된다.

### 참 고 문 헌

- [1] S. Mutoh, et al., "A 1V Multi-Threshold Voltage CMOS DSP with an Efficient Power Management Technique for Mobile Phone Application", ISSCC, 1996.
- [2] T. Kuroda, et al., "A 0.9V 150MHz 10mW 4mm<sup>2</sup> 2-D Discrete Cosine Transform Core Processor with Variable-Threshold Voltage Scheme" ISSCC, 1996.
- [3] S. Shigematsu, S. Mutoh, et al., "A 1-V High-Speed MTCMOS Circuit Scheme for Power-Down Application Circuits", IEEE Journal of Solid-State Circuits, 1997.
- [4] H. Makino, et al., T. Shimizu and T. Arakawa, "An Auto-Backgate-Controlled MT-CMOS Circuit", Symp. on VLSI Circuits Digest of Technical Papers, 1998.
- [5] K. Kumagai, et al., "A Novel Powering-down Scheme for Low Vt CMOS Circuits", Symp. on VLSI Circuits Digest of Technical Papers, 1998.
- [6] A. Keshavarzi, et al., "Technology scaling behavior of optimum reverse bias for standby leakage power reduction in CMOS IC's", ISLPED, 1999.
- [7] James Kao, Siva Narendra and Anantha Chandrakasan, "MTCMOS Hierarchical Sizing Based on Mutual Exclusive Discharge Patterns", DAC, 1998.
- [8] S. Mutoh, et al., "Design Method of MTCMOS Power Switch for Low-Voltage High-Speed LSIs", ASP-DAC, 1999.
- [9] J. T. Kao and A. P. Chandrakasan, "Dual-Threshold Voltage Techniques for Low-Power Digital Circuits", Journal of Solid-State Circuits, 2000.
- [10] K. T. Park, H.S. Won et al., "A New Low-Power Edge-Triggered and Logic-Embedded FF Using Complementary Pass-Transistors Circuit", ITC-CSCC, 2001.
- [11] K.T. Park, H.S. Won et al., "Low-Power Data-Preserving Complementary Pass-Transistor-Based Circuit for Power-Down Circuit Scheme", SSDM, 2001.
- [12] International Technology Roadmap for Semiconductors, 2001 Edition, System Drivers, <http://public.itrs.net>, 2001.
- [13] International Technology Roadmap for Semiconductors, 2001 Edition, Devices & Structures, <http://public.itrs.net>, 2001.
- [14] B. H. Calhoun, et. al., "Design Methodology for Fine-Grained Leakage Control in MTCMOS," ISLPED, pp104-109, August 2003.

### 저 자 소 개



김 교 선(정회원)  
1986년 연세대학교 전자공학과  
학사 졸업.  
1988년 연세대학교 전자공학과  
석사 졸업.  
1998년 Ph.D. Department of  
& Computer Engineering,  
University of Massachusetts,  
Amherst, U.S.A.

1988년~2003년 삼성전자 CAE Center 주임,  
선임, 책임, 수석연구원.  
현재 인천대학교 공과대학 전자공학과 조교수  
<주관심분야 : 상위수준합성, Reconfigurable  
Computation, Fault-Tolerance, Embedded Systems,  
Low-Power Design, Quantum-dot Cellular Automata>



원 호 식(정회원)  
1989년 아주대학교 전자공학과  
학사 졸업.  
1992년 MS. Department of  
Electrical Engineering  
University of Tohoku,  
Japan.

1997년 Ph. D. Department of Electrical  
Engineering University of Tohoku, Japan.  
현재 삼성전자 CAE Center 책임 연구원.  
<주관심분야 : 모바일 제품을 위한 고성능 저전  
력 회로 설계, VLSI Design, CAD>