

논문 2005-42SD-2-4

저전력 고속 VLSI를 위한 Fast-Relocking과 Duty-Cycle Correction 구조를 가지는 DLL 기반의 다중 클럭 발생기

(A DLL-Based Multi-Clock Generator Having Fast-Relocking and Duty-Cycle Correction Scheme for Low Power and High Speed VLSIs)

황 태 진*, 연 규 성*, 전 치 훈*, 위 재 경**

(Tae-Jin Hwang, Gyu-Sung Yeon, Chi-Hoon Jun, and Jae-Kyung Wee)

요 약

이 논문에서는 낮은 stand-by power 및 DLL의 재동작 후 fast relocking 구조를 가지는 저전력, 고속 VLSI 칩용 DLL(지연 고정 루프) 기반의 다중 클럭 발생기를 제안하였다. 제안된 구조는 주파수 곱셈기를 이용하여 주파수 체배가 가능하며 시스템 클럭의 듀티비에 상관없이 항상 50:50 듀티비를 위한 Duty-Cycle Correction 구조를 가지고 있다. 또한 DAC를 이용한 디지털 컨트롤 구조를 클럭 시스템이 standby-mode에서 operation-mode 전환 후 빠른 relocking 동작을 보장하고 아날로그 locking 정보를 레지스터에 디지털 코드로 저장하기 위해 사용하였다. 클럭 multiplication을 위한 주파수 곱셈기 구조로는 multiphase를 이용한 feed-forward duty correction 구조를 사용하여 지연 시간 없이 phase mixing으로 출력 클럭의 duty error를 보정하도록 설계하였다. 본 논문에서 제안된 DLL 기반 다중 클럭 발생기는 I/O 데이터 통신을 위한 외부 클럭의 동기 클럭과 여러 IP들을 위한 고속 및 저속 동작의 다중 클럭을 제공한다. 제안된 DLL기반의 다중 클럭 발생기는 0.35- μm CMOS 공정으로 1796 μm \times 654 μm 면적을 가지며 동작 전압 2.3v에서 75MHz~550MHz lock 범위와 800 MHz의 최대 multiplication 주파수를 가지고 20psec 이하의 static skew를 가지도록 설계되었다.

Abstract

This paper describes a DLL(delay locked loop)-based multi-clock generator having the lower active stand-by power as well as a fast relocking after re-activating the DLL for low power and high speed VLSI chip. It enables a frequency multiplication using frequency multiplier scheme and produces output clocks with 50:50 duty-ratio regardless of the duty-ratio of system clock. Also, digital control scheme using DAC enables a fast relocking operation after exiting a standby-mode of the clock system which was obtained by storing analog locking information as digital codes in a register block. Also, for a clock multiplication, it has a feed-forward duty correction scheme using multiphase and phase mixing corrects a duty-error of system clock without requiring additional time. In this paper, the proposed DLL-based multi-clock generator can provide a synchronous clock to an external clock for I/O data communications and multiple clocks of slow and high speed operations for various IPs. The proposed DLL-based multi-clock generator was designed by the area of 1796 μm \times 654 μm using 0.35- μm CMOS process and has 75MHz~550MHz lock-range and maximum multiplication frequency of 800 MHz below 20psec static skew at 2.3v supply voltage.

Keywords : Delay locked loop (DLL), fast-relocking, frequency multiplication, duty-ratio

I. 서 론

일반적으로, 클럭 발생기는 여러 분야의 아날로그 및 디지털 시스템에서 폭넓게 사용되고 있다. 클럭 발생기가 사용되는 시스템들은 칩과 칩 통신에서 필요한 동기 신호가 요구되고 서로 다른 동작 주파수를 지닌 내부 IP(Intellectual Property) 코어들로 인해 다양한 I/O 인

* 정회원, ** 정회원(교신 주저자),
 숭실대학교 공과대학 정보통신공학부
 (Department of Electronic Engineering, Soongsil University)

※ 이 논문은 2004년도 숭실대학교 교내연구비에 의하여 연구되었음.

접수일자: 2004년8월12일, 수정완료일: 2005년2월7일

터페이스로 구성되어 있으므로 이들 간의 통신에 다중 클럭을 필요로 하고 있다. 이러한 시스템들에서 고속 동작 IP와 저속 동작 IP에 따라 시스템 클럭을 분배하거나 증가시키는 것이 좋은 해결책이 될 수 있다. 하지만 이러한 시스템에서는 클럭 동기화 문제가 발생하게 된다. 이 문제를 해결하기 위한 일반적인 해결법은 높은 주파수의 로컬 클럭을 더 낮은 주파수를 가진 글로벌 클럭에 동기 시키는 방법이다^[1].

하지만 이러한 기법은 칩과 칩 사이에서의 고속 통신을 위한 해결책으로 적용하기에는 데이터와 클럭 사이에 동기가 데이터 인식 동안 수행되어야 하는 면에서 제약이 따른다. 그러므로 상대적으로 고속 시스템 클럭을 가진 외부 칩의 경우 동기화된 클럭을 발생시키는 DLL 기반의 클럭 시스템이 요구되어진다. 대부분의 고속 IP 코어들을 위해 위상 고착 루프(PLL) 시스템을 다중 클럭 발생기로 수용하고 있지만 PLL은 고차 시스템이며 또한 설계의 어려움과 jitter accumulation 단점을 가지고 있다. 이에 비해 DLL은 1차 시스템으로 구현이 가능하고 많은 클럭 사이클 동안에도 supply 또는 substrate 노이즈가 축적되지 않아 위상 에러가 적기 때문에 PLL보다 더 좋은 지터 특성을 가지며 PLL에 비해 설계가 용이한 장점을 가지고 있다^[4].

전력 소모가 중요한 요소가 되는 모바일 응용과 같은 경우 클럭 회로에서도 저전력 구조를 가져야 하며 대부분의 적용 방법은 슬립 모드 또는 비동작 모드동안 클럭 시스템을 일시적으로 잠그는 것이며 잠그는 주기 동안 파워 소모를 줄이는 방법이다. 이때 클럭 시스템은 동작 모드로 되돌아온 후에 전체 시스템의 영향을 최소화하기 위해 빠른 re-locking 이 가능해야 한다. 기존의 디지털 DLL 기반 클럭 발생기 중 일부는 고유한 lock time이 10 클럭 내로 짧아서 빠른 relock mechanism을 구현할 수 있었지만 주파수가 증가함에 따라 지터 특성이 나빠지므로 인해 성능 저하를 가지는 문제점이 있었다. 아날로그 DLL 기반 클럭 발생기는 높은 주파수에서도 좋은 지터 특성을 지녀서 이를 해결할 수 있지만, locking 정보가 아날로그 값으로 커패시터에 저장되기 때문에 비교적 오랜 locking 시간을 요구한다.

DLL 기반 주파수 곱셈기는 클럭 multiplication 수행 후 클럭 시스템의 duty-ratio에 관계없이 출력 클럭이 항상 50:50 duty-ratio를 가지도록 하는 특성이 요구되며 이를 해결위한 방법인 DLL의 피드백 duty correction 방식은 지터가 feedback을 통해 증가되는 단

점과 duty correction 수행동안 여분의 시간이 요구되는 단점을 가지고 있다^[5].

이 논문에서는 위와 같은 문제를 해결하기 위해 혼성 모드 컨트롤과 feed-forward duty correction 구조를 제안하였고 DAC(디지털-아날로그 컨버터)를 이용한 디지털 루프 컨트롤을 가진 DLL 기반 클럭 발생기를 제안하였다. 여기서 DAC는 대기 모드에서 아날로그 lock 정보를 디지털 코드로 변환하여 레지스터에 저장하므로 빠른 relocking mechanism이 가능하다.

본 절에 이어 본문에서는 간단히 DLL 기반 다중 클럭 발생기 구조에 대해 논의하고, 제안된 회로의 구성과 동작 원리를 설명한다. 제안된 회로의 시뮬레이션 결과를 보여주고 마지막으로 결론에서는 제안된 DLL 기반의 다중 클럭 발생기의 특징을 설명할 것이다.

II. Architecture of the Proposed Multi-Clock Generator

일반적으로 SoC는 IP들의 특성에 따라 다중 클럭 영역을 가지고 있다. 예를 들어, 소스와 목적지 클럭 사이에 관계에 따른 다음과 같은 다양한 상황이 발생할 수 있다. 첫 번째가, 소스와 목적지에서 임의의 위상차를 가진 동일한 클럭을 가질 경우, 다음이 하나의 클럭 주파수가 다른 클럭 주파수의 유리수배일 경우, 마지막으로 소스와 목적지에서 동일한 위상을 가진 동일한 클럭을 가질 경우이다.

그림 1은 SoC를 목적으로 하는 시스템에서 앞서 서술한 클럭 영역을 보여준다. 대부분의 칩과 칩 사이의 고속 통신에서는 고성능에서의 타당한 데이터 인식으로

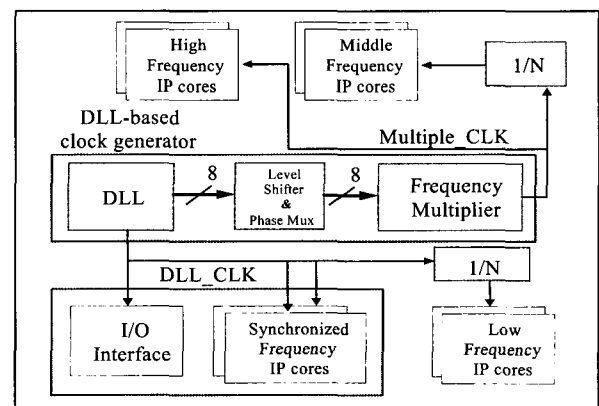


그림 1. DLL 기반 다중 클럭 발생기로 구조화한 SoC 시스템

Fig. 1. A simplified SoC system with DLL-based multi-clock generator.

인해 동기화된 클락 시스템이 사용된다. 그러므로 I/O 회로에서 동기 클락이 보장되어야 하고 버스 구조 시스템을 가진 고성능 칩은 DLL이 반드시 필요하다. DLL 기반의 다중 클락 발생기는 이 점에서 장점을 지니고 있다. 그림 1에서처럼 다중 클락은 고속 동작을 요구하는 IP 코어나 저속 동작을 요구하는 IP 코어에 대해 각각 multiplication 또는 divide를 통해 동기화된 시스템 클락을 이용해 발생한다.

1. DLL-Based Multi-Clock Generator

그림 2는 DLL 기반 클락 발생기의 구조를 나타낸다. 이것은 크게 DLL 블록, 주파수 곱셈기 블록으로 나눌 수 있으며 DLL 블록은 reference 루프, fine 루프로 구성된 계층적 구조로 이중 루프 연산을 기본으로 하고 있다. Reference 루프에서는 8단의 delay cell로 구성된 reference delay line을 통해 시스템 클락(refclk)과 루프를 지나 루프 컨트롤러에 의해 컨트롤되는 피드백 클락(fbclk) 사이의 lock 조건을 만족하도록 delay cell에 control 전압을 조정하여 fbclk을 지연시킨다.

Reference 루프가 locking이 되었을 때, VCDL의 출력 위상은 각각 $\pi/4$ 의 위상차를 가지며 이때 출력 위상들은 클락 인터페이스 및 위상 혼합기와 duty corrector(DCC 블록), Level shifter 및 phase mux에 제공된다. 클락 인터페이스와 DCC 블록을 통하여 Finite State Machine(FSM)은 시스템 클락과 가까운 다중 위상 클락을 연속적으로 선택하면서 가장 가까운 reference 루프의 출력위상 클락을 fine 루프에 전달하고 이와 동시에 duty correction을 수행한다. 이처럼 FSM은 DLL의 전체 동작흐름을 제어하는 역할을 한다. Fine 루프는 좀더 정확성을 가지고 선택된 클락의 위상 오차를 보상한다. 주파수 곱셈기는 reference 루프가 π

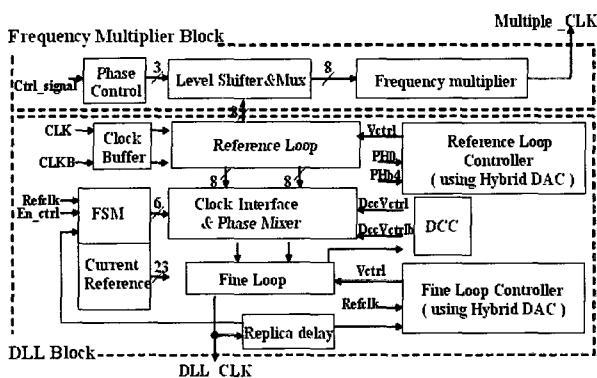


그림 2. DLL 기반 다중 클락 발생기 회로 구조
Fig. 2. Architecture of DLL based multi-clock generator.

-phase shift 관계를 가지고 locking이 되었을 때, voltage level shifter를 거친 후 phase mux를 통해 주파수 multiplication을 수행한다. 두 개의 루프는 phase mux와 phase mixer를 통해 조정되고 FSM이 DLL 전체 동작흐름을 위해 master/slave 컨트롤러 역할을 제공한다.

또한 hybrid 구조를 지닌 DAC(Digital-to-Analog Converter)는 낮은 stand-by power를 가지도록 각각의 루프에 연결되어 있으며 Current reference 회로는 DLL의 아날로그 회로를 위해 PVT(Process, Voltage, Temperature) 변화에 둔감한 바이어스를 제공한다.

Reference 루프는 일반적인 아날로그 DLL의 특성을 위해 거의 아날로그적인 구조를 지니고 있으며 reference delay line, phase detector, charge pump, loop filter, replica bias generator 및 adaptive loop bandwidth control로 구성되어 있다.

그림 3에서처럼 reference delay line은 cross-cascaded로 구성된 두 단의 delay line으로 구성되어 있으며 클락 multiplication을 위해 각각의 delay cell마다 2개의 Buffer단이 연결된 형태를 보여주고 있다. 각 delay line은 기존의 symmetric 부하에 positive feedback이 더해진 PMOS 부하 로드를 지닌 차동 입력 delay cell 4개가 직렬로 연결되어 있다. 이러한 delay cell 구조는 컨트롤 전압이 변함으로써 발생하는 공통 모드 왜곡 신호를 최소화한다. 따라서 주파수와 컨트롤 전압에 따른 선형적인 delay range를 크게 선택할 수 있으며 supply noise 변화에 따른 영향을 감소시킬 수 있다^[4]. Reference delay line에서 1st delay line과 2nd

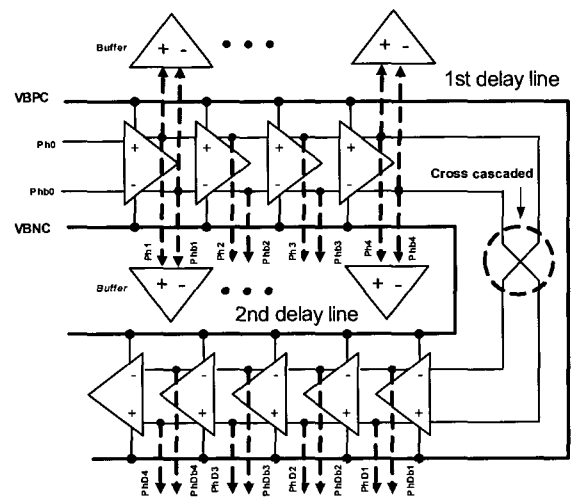


그림 3. Reference 루프의 reference 지연 라인
Fig. 3. Reference delay line of reference loop.

delay line의 두 delay line은 duty correction을 위해 교차로 연결되어 있다. 그림 3에서 볼 수 있듯이 locking이 되면 1st delay line은 ph0와 ph4 위상 사이에 π -phase shift를 가지고 따라서 서로 다른 위상 관계를 갖는 8개의 차동 클럭을 발생시킨다. 마찬가지로 2nd delay line도 같은 바이어스 전압에 의해 제어되므로 1st delay line의 위상과 동일한 위상을 갖는다.

DLL 기반 다중 클럭 발생기의 동작은 초기 위상차를 가지고 인가되는 시스템 클럭과 루프를 거쳐 feedback된 클럭을 비교하여 위상 검출기가 그 차이를 펄스열로 내보내고 전하 펌프는 위상 차이에 따라 전류를 흐르게 한다. 위상 검출기와 전하 펌프에 의해 형성된 컨트롤 전압(VBP)이 루프 필터를 거쳐 reference delay line, replica feedback bias generator와 adaptive loop bandwidth 컨트롤러에 전달된다. 이 때 Replica bias generator는 delay cell의 current sink에 컨트롤 전압에 독립적인 일정한 출력 swing을 가지도록 적절한 바이어스 전압(VBN)을 제공한다^[6]. 또한 이러한 replica feedback biasing을 사용함으로써 substrate와 supply noise를 줄이는 역할을 한다.

2. Fast Relocking Scheme using hybrid DAC

그림 4는 계층적인 구조를 지닌 reference 루프 컨트롤 블록 다이어그램을 보여준다. DAC를 이용한 reference 루프 컨트롤은 디지털 제어 회로로 아날로그 locking 정보를 디지털 코드로 저장함으로써 stand-by mode나 sleep mode에서 전류 소모를 최소화하여 DLL

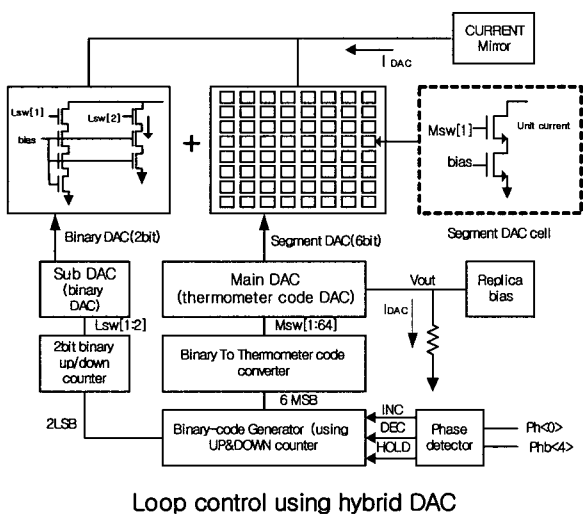


그림 4. 계층 구조를 이용한 reference 루프 컨트롤
Fig. 4. Reference loop control using for hybrid architecture.

을 비활성화가 가능하도록 할 수 있다. 이것이 가지는 또 다른 장점은 빠른 relock이 가능하도록 하는 것이다.

바이너리 DAC 대신에 thermometer 코드를 이용한 segment DAC는 입력 코드들 사이에 skew를 가지고 있지 않고 clock feed-through가 거의 발생하지 않기 때문에 컨트롤 전압에 영향을 미치지 않아 delay 제어 전압의 ripple을 최소화할 수 있는 장점을 가진다^[8]. 하지만 thermometer 코드를 사용한 segment DAC는 입력 코드 비트가 증가할수록 면적이 급격하게 증가하는 단점이 있다. 이러한 문제를 해결하기 위하여 그림 6에 보인바와 같이 hybrid DAC를 적용하였다. hybrid DAC는 segment DAC와 바이너리 DAC로 구성되어 있다.

DAC는 bang-bang type의 디지털 위상 검출기를 이용하여 ph0와 ph4 사이의 위상차에 따라 디지털 값(INC, DEC, HOLD)을 발생시킨다. 이 3가지 명령어는 8 비트 바이너리 코드 발생기를 제어한다. 바이너리 코드 발생기로부터 발생하는 8비트 바이너리 코드는 다시 2LSB와 6MSB로 나누어진다. 6 MSB는 binary-to-thermometer 코드 변환기에 의해 64비트 thermometer로 변환된다. 따라서 코드 변환기는 glitch 없이 빠른 코드 변환을 수행하게 된다.

3. Duty Cycle Correction Scheme

A/D converter와 같은 클럭 발생 응용에 있어서 50% duty-cycle을 가진 클럭 신호는 굉장히 중요하다. 왜냐하면 클럭 신호의 positive와 negative 전이 에지를 모두 중요시하고 이를 이용하기 때문이다^[7]. 일반적인 feed-loop scheme에서는 dc-offset을 더하여 차동 출력의 common mode를 변화시킴으로써 duty-error를 보정

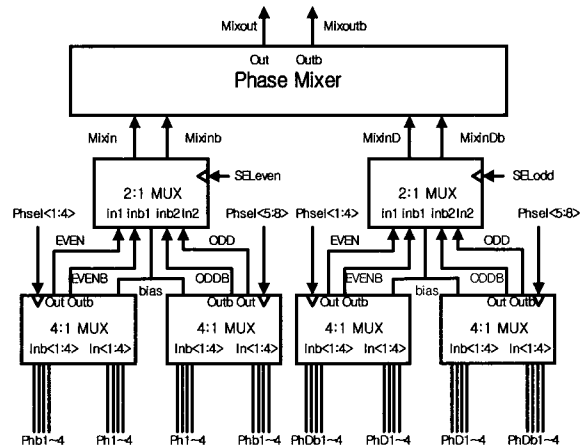


그림 5. 클럭 인터페이스와 위상 혼합기
Fig. 5. Clock Interface and Phase Mixer.

하는데 이러한 scheme은 duty-correctable error range가 제한적이고 비교적 큰 duty-error를 보정하기 위해서 긴 latency가 요구된다^[4]. 이를 해결하기 위한 방법으로 feed-forward 와 feed-loop scheme을 동시에 가지는 multiphase 클락을 이용한 duty-correction 방식을 그림 6에서 보여준다.

Reference 루프로부터 $\pi/4$ 위상차를 갖는 다중 위상 클락은 FSM에 의해 Clock Interface & Phase Mixer를 통해 fine delay line으로 전달된다. 여기서 FSM은 locking state가 reference 루프에 의해 검출되었을 때 동작되며 그림 5에 보인 바와 같이 Clock Interface & Phase Mixer 블록의 6개의 Mux를 제어하기 위한 logic을 선택한 후 위상을 고정시킨다.

CLK/CLKB가 고유의 duty-error를 갖는 경우, 그림 6에서 보인 것처럼 reference 루프의 다중 위상 관계를 가진다. 이것은 1st delay line과 2nd delay line이 서로 교차로 연결되어 있기 때문이며, 1st delay line의 출력 다중 위상의 falling 에지와 2nd delay line의 falling 에지 사이의 1/2의 위상차는 CLK의 duty-error를 의미한다. 만약 이러한 다중 위상 차동 클락이 그림 6에 보인 대로 phase mixer에 들어가면, phase mixer는

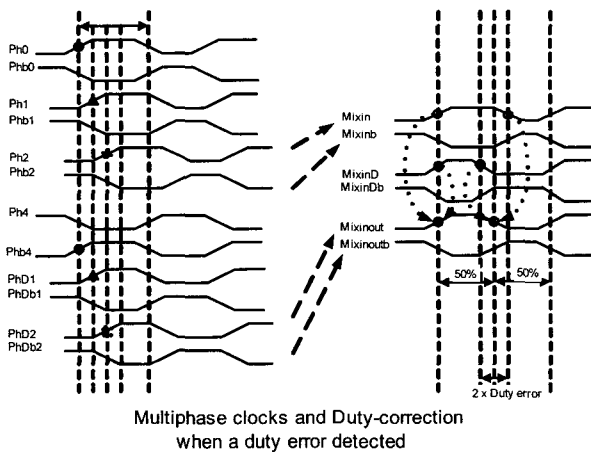


그림 6. 다중 위상 클락 발생과 duty 보정
Fig. 6. Multiphase clocks and duty-correction.

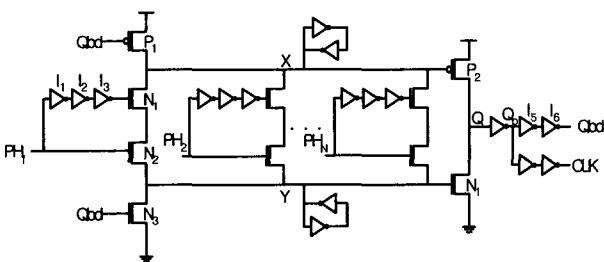


그림 7. 주파수 곱셈기 회로
Fig. 7. Frequency multiplier scheme.

CLK/CLKB의 duty ratio에 상관없이 50:50의 duty-ratio를 갖는 차동 출력 클락을 발생시킨다.

4. Frequency multiplier Scheme

주파수 곱셈기 회로는 그림 7에서 보여 지는 기존의 회로를 이용하여 DLL 기반의 클락 발생기로 사용하였다^[6]. 주파수 곱셈기 회로는 3 단의 인버터 지연 시간을 가지고 N1, N2가 도통되어 입력 클락의 rising 에지에서 출력 클락이 변함을 알 수 있다^[6]. 이 회로는 입력 클락의 duty ratio에 상관없이 출력에 50:50의 duty ratio를 갖는 장점을 가지고 있다. 주파수 곱셈기는 8단으로 구성되며 각 단에 $\pi/4$ 위상을 가진 신호가 입력된다. 입력되는 위상 신호는 4개의 phase mux를 이용하여 위상 선택을 제어한다.

III. 실험

그림 8과 9는 2.3v 공급 전압을 가지고 500MHz에서 동작하는 DLL의 시뮬레이션 결과를 보여준다. 그림 8에서 보여주는 DLL 전체 흐름은 입력 클락인 reference 클락과 reference loop를 지나 발생하는 feedback 클락의 위상차를 비교하면서 reference loop의 voltage controlled delay line을 제어하는 전압(Vctrl)이 증가하다가 정해진 phase offset을 만족하면 더 이상 증가하지

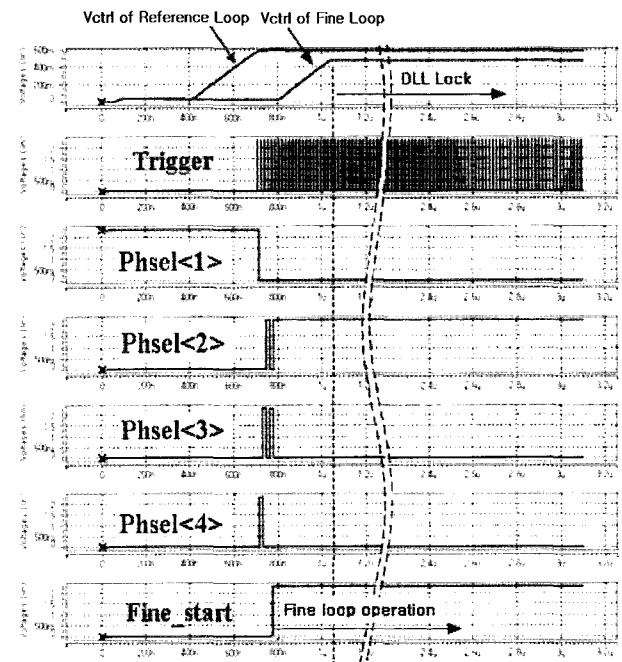


그림 8. 500MHz 주파수에서 동작하는 DLL의 전체 흐름
Fig. 8. Operation signal flow of DLL at 500MHz.

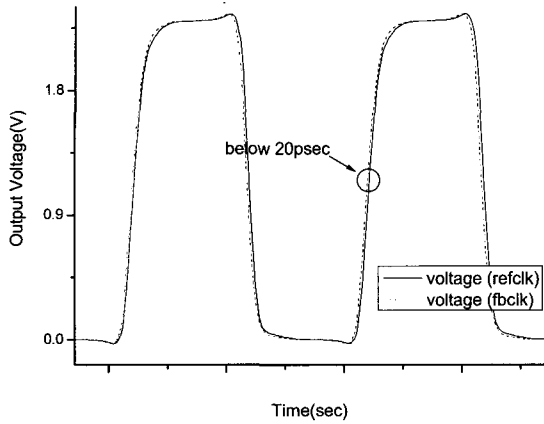


그림 9. 500MHz 주파수 영역에서의 DLL 시뮬레이션 결과 (operating frequency @ 500 MHz)

Fig. 9. Simulation result of proposed DLL (operating frequency @ 500 MHz).

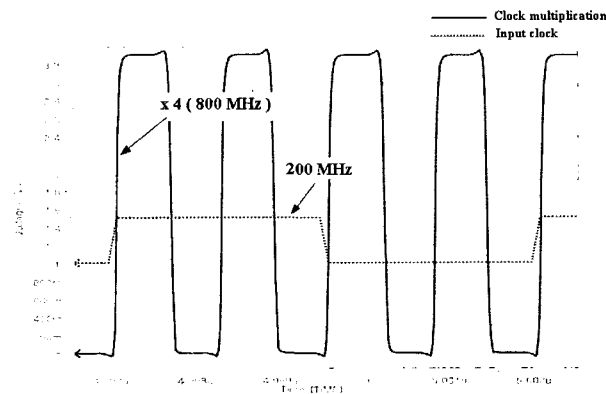


그림 10. 주파수 multiplication 시뮬레이션 결과 (M=4 : Multiplication factor)

Fig. 10. Simulation result of frequency multiplication (M=4 : Multiplication factor).

않고 안정화된다. 이때 FSM(Finite State Machine)의 enable 신호인 Trigger 신호를 발생하게 되며 multiphase 클럭과 유사한 위상을 찾기 위한 phsel 신호를 가지고 차동입력 클럭을 찾으면 fine loop start 신호가 발생된다. 이와 동시에 fine loop가 동작하며 전과 동일한 동작으로 좀더 정확한 phase error를 보상하게 된다.

주파수 곱셈기는 DLL의 Reference 루프에서 locking 되었을 때 200 MHz의 입력 클럭으로 주파수 곱셈기를 통해 800 MHz의 출력 클럭을 보이고 fine 루프에서 locking이 이루어진 후 그림 9에서처럼 500 MHz의 동작 주파수를 가진 reference 클럭과 피드백 클럭간 skew가 20 psec 이하를 가진다.

그림 10은 Multiplication factor M=4일 때, 200 MHz 입력 클럭으로 800 MHz 출력 클럭을 발생시킨 결과가

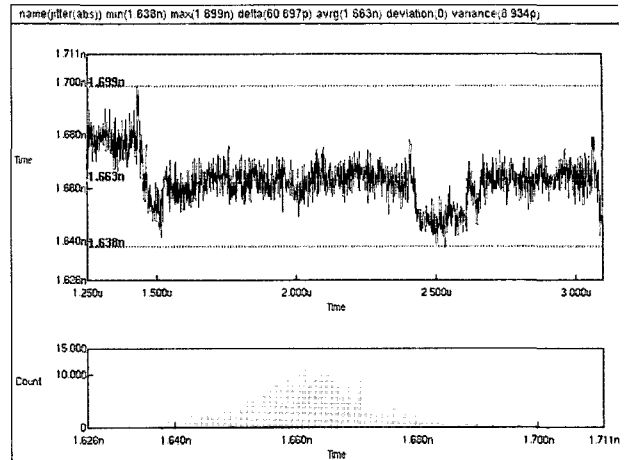


그림 11. 500MHz 동작에서 Jitter 특성 시뮬레이션 결과 Fig. 11. Jitter characteristic simulation result at 500MHz.

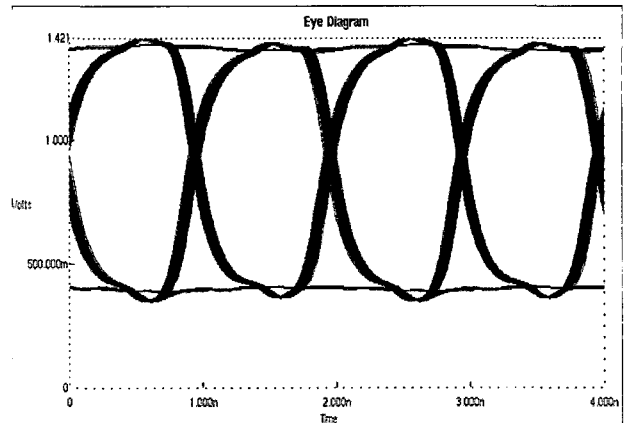


그림 12. 500MHz 동작에서의 Eye 다이어그램

Fig. 12. Eye diagram at 500MHz.

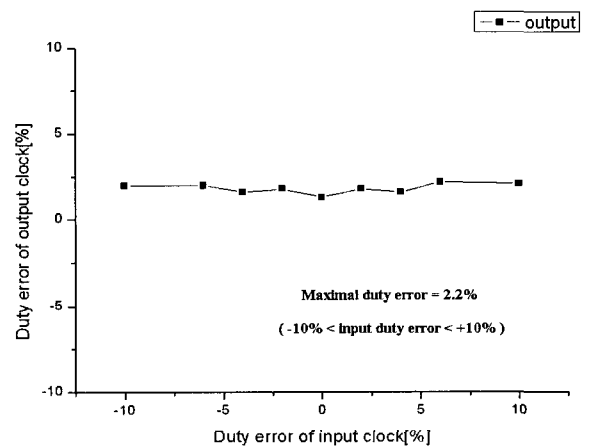


그림 13. 입력 클럭에 따른 출력 클럭의 duty 비 관계 (operating freq. @ 400 MHz)

Fig. 13. Duty ratio of output clock according to that of input clock. (operating freq. @ 400 MHz).

다. 여기서 Multiplication factor는 원하는 주파수로 가변할 수 있으며 이것은 주파수 곱셈기 구조에 따라 달라질 수 있다.

그림 11은 500 MHz 동작시 DLL의 jitter 특성을 보여준다. 그림에서 상대적으로 큰 기준 전압의 흔들림은 FSM 동작의 locking 판별이 가지는 양자화 특성에 의해 발생된다. 그림 12는 이러한 조건에서 eye-diagram을 보여주며, 그림11과 12에서 제안된 DLL 기반 다중 클락 발생기는 500 MHz 동작 주파수를 가진 60.8 psec peak-to-peak jitter가 측정되었다.

그림 13는 duty correction을 이용한 입력 클락에 따른 출력 클락의 duty ratio를 보여준다. 입력 duty error가 ±10%일 때 최대 출력 duty error는 2.2%를 가진다. DLL에서 duty ratio가 보정되기 때문에, multiplication

표 1. DLL 기반 다중 클락 발생기 결과
Table 1. Summary of DLL based multi-clock generator2.

DLL- based Multi-Clock Generator	
Technology	0.35µm 4-metal 1-poly process
Area (core)	1796µm x 654µm
Supply voltage	2.3 V
Lock range	75MHz ~ 550MHz
Skew	Less than 20 psec
Relocking cycle	20 ~ 40 cycle
Jitter (peak-to-peak)	60.8 peak-to-peak at 500MHz (power line & package model Included)
Frequency multiplication	Maximum 800 MHz

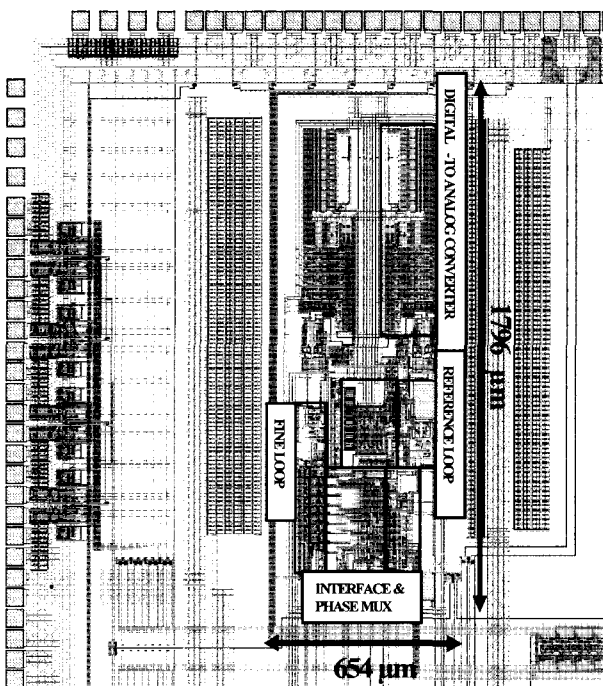


그림 14. DLL 기반 다중 클락 발생기 레이아웃
Fig. 14. Layout of DLL-based multi-clock generator.

클락의 출력 클락 사이간 duty ratio을 보장할 수 있다.

그림 14는 4-metal 1-poly 0.35µm CMOS 공정으로 설계된 제안된 구조의 클락 발생기의 레이아웃그림을 보여준다. I/O를 제외한 core 회로의 크기는 1796µm x 654µm이며 자세한 설계 사양은 표 1에 정리하였다.

IV. 결 론

이 논문에서는 저전력, 고속 SoC 시스템에 적합한 DLL 기반 다중 클락 발생기를 제안하였다. 이를 위해 주파수 곱셈기 구조를 이용해 일반적인 DLL이 가지는 주파수 multiplication의 어려움을 해결할 수 있는 방법을 제시하였다. 대기 모드에서의 DLL 전력 소모를 줄이기 위해 DLL 회로에 power-down 모드를 사용하였다. 또한, DAC를 이용해 아날로그 lock 정보를 디지털 코드로 저장하였기 때문에 stand-by 모드에서 빠른 active 모드 전환이 가능하고 feed forward duty correction 구조를 이용해 외부 클락의 duty ratio에 상관없이 50%의 duty ratio를 가진 시스템 클락을 제공한다. 제안된 DLL 기반 다중 클락 발생기는 75 MHz~550 MHz의 lock range를 가지며 2.3v 동작 전압에서 20 psec 이하의 정적 skew를 가진다. 0.35µm CMOS 공정을 사용하였고 최대 800 MHz의 multiplication 주파수를 가진다.

본 논문의 DLL 기반 다중 클락 발생기는 chip-to-chip과 module 간 고속 통신용 외부 동기 I/O 용 클락과 내부 동작용 클락을 위한 고속 multiplication 클락을 발생시킨다. 제안된 구조는 외부와 동기가 필요하고 칩내에 다중 클락을 사용하는 저전력, 고속 SoC 시스템을 위해 적용될 수 있다.

참 고 문 헌

- [1] F. Anceau, "A synchronous approach for clocking VLSI systems", *IEEE Journal of Solid-State Circuits*, vol 17, pp. 51-56, Feb 1982.
- [2] J. Rabaey, *Digital Integrated Circuits*. Prentice-Hall, 1996.
- [3] I. W. Young, J. K. Wong, "A PLL clock generator with 5 to 110MHz of lock range for microprocessors" *IEEE Journal of Solid-State Circuits*, vol. 27, pp.1599-1607, Nov 1992.
- [4] T. H. Lee, K. S. Donnelly, J. T. C. Ho, J. Zerbe, M. G. Johnson, T. Ishikawa, "A 2.5 V CMOS delay-locked loop for 18 Mbit, 500

megabyte/s DRAM", *IEEE Journal of Solid-State Circuits*, vol.29, pp. 1491-1496, Dec 1994.

[5] Mark A. Horowitz, et al. "A Semi digital Dual Delay-Locked Loop", *IEEE Journal of Solid-State Circuits*, vol. 32, NO.11, Nov 1997.

[6] C. W. Kim, et al., "A Low-Power all-Area 7.28-ps-Jitter 1-GHz DLL-Based Clock Generator" *IEEE Journal of Solid-State Circuits*, vol. 37, NO. 11, Nov 2002.

[7] T. Gawa, K. Taniguchi, ; "A 50% Duty-Cycle Correction Circuit for PLL Output", *IEEE International Symposium on Circuits and Systems*, vol. 4, pp. 26-29 May 2002.

[8] Sungjoon Kim, Kyeongho Lee, Yongsam Moon, Deog-Kyoon Jeong, Yunho Choi, Hyung Kyu Lim, "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL" *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 691-700, May 1997.

저 자 소 개



황 태 진(정회원)
2003년 한림대학교 전자공학과
학사 졸업.
2003년~현재 숭실대학교 정보
통신공학과 석사과정.

<주관심분야 : 저전력 CMOS 회로 설계, 고속 및
고성능 DLL /PLL 설계, 고속 clocking 시스템,
아날로그 설계 기법>



연 규 성(정회원)
2003년 한림대학교 전자공학과
학사 졸업.
2003년~현재 숭실대학교 정보
통신공학과 석사과정.

<주관심분야 : Mobile 시스템 설계, block-wise
shutdown 기법, 저전력 멀티미디어 시스템, 저전
력 MPEG 프로세서, motion estimation, SIP/SOC
를 위한 IP 집적화 및 on-chip 데이터 통신>



전 치 훈(정회원)
2003년 한림대학교 전자공학과
학사 졸업.
2003년~현재 숭실대학교 정보
통신공학과 석사과정.

<주관심분야 : On-chip 데이터 통신 알고리즘 및
구조, 저전력 MPEG, SIP/SOC를 위한 IP 집적화
및 on-chip 데이터 통신>



위 재 경(정회원)
1988년 연세대학교 물리학과
학사 졸업.
1990년 서울대학교 물리학과
석사 졸업.
1998년 서울대학교 전자공학과
박사 졸업.

1990년~2002년 하이닉스전자 메모리연구소
근무
2002년~2004년 한림대학교 정보통신 공학부
조교수
2004년~현재 숭실대학교 정보통신전자공학부
조교수

<주관심분야 : System-on-Package 설계, high
speed I/O interface, DLL/PLL, Mixed Mode 설
계, 저전력 고속 SoC>