

논문 2005-42SD-2-3

System-on-Glass를 구현하기 위한 저항 matching 및 poly-Si TFT 특성을 기존 아날로그 회로를 이용하여 분석

(Analysis of resistor matching and poly-Si TFT characteristics for the implementation of System-on-Glass using the existing analog circuits)

김 대 준*, 이 균 렬*, 유 창 식**

(Dae-June Kim, Kyun-Lyeol Lee, and Changsik Yoo)

요 약

System-on-Glass 아날로그 회로를 구현하기 위해 요구되는 저항 matching 및 poly-Si TFT 특성을 기존 아날로그 회로를 이용하여 조사하였다. 저항 값, poly-Si TFT의 문턱전압 및 이동도의 matching 조건을 디스플레이 시스템의 해상도에 따라 유도하였다. 또한, 소스 드라이버를 구현하기 위해 요구되는 poly-Si TFT의 유효 이동도를 다양한 패널 크기에 따라서 분석하였다.

Abstract

Using the existing analog circuits, required resistor matching and poly-Si TFT characteristics are investigated for the implementation of analog circuits to be integrated on System-on-Glass. Matching requirements on resistor values, threshold voltage and mobility of poly-Si TFT are derived as a function of the resolution of display system. Also, the effective mobility of poly-Si TFT required for the realization of source driver is analyzed for various panel sizes.

Keywords : poly-Si TFT, analog circuits, System-on-Glass

I. 서 론

현재 노트북, 컴퓨터 등에 광범위하게 사용되고 있는 a-Si TFT-LCD (amorphous-silicon thin-film transistor liquid crystal display)는 그림 1에 나타낸 것처럼 amorphous-silicon으로 제작된 화소 배열(pixel arrays)과 single-crystal silicon으로 제작된 구동 회로(driving circuits)를 TAB (tape automated bonding) 등의 방법으로 연결하여 데이터 라인(data line)을 구동한다. 이러한 구조는 화소배열과 구동회로 사이에 많은 연결이 필요하게 되고, 결국 디스플레이 시스템의 신뢰

도와 수율을 감소시키며, 비용을 증가시키는 문제점이 있다. Poly-Si TFT-LCD (poly-silicon thin film transistor)는 하나의 유리기판 위에 구동회로와 화소배열을 함께 집적시킬 수 있으므로^[1-4], PCB (printed circuit board) 없는 조립과 간단한 모듈 공정으로 신뢰도와 수율을 증가시키고, 비용을 감소시킬 수 있는 장점이 있다. 이러한 연구의 궁극적인 목적은 그림 2에 나타낸 것처럼 SoG (System-on-Glass)이다. SoG는 구동 드라이버는 물론, 메모리, 센스, 컨트롤러 등을 하나의 유리기판 위에 집적시킬 수 있는 기술이다.

SoG를 위해서는 poly-Si TFT로 구현된 다양한 종류의 아날로그 회로와 디지털 회로가 요구된다. 그러나 poly-Si TFT는 single-crystal transistor 보다 성능이 낮기 때문에 대화면에서는 구현이 어렵다. 불규칙하게 분포되어 있는 grain boundary로 인해 문턱전압

* 학생회원, 한양대학교 전자통신전파공학과
(Div. of Elec. and Computer Eng., Hanyang Univ.)

** 평생회원, 한양대학교 전자전기컴퓨터공학부
(Div. of Elec. and Computer Eng., Hanyang Univ.)
접수일자: 2004년10월12일, 수정완료일: 2005년1월18일

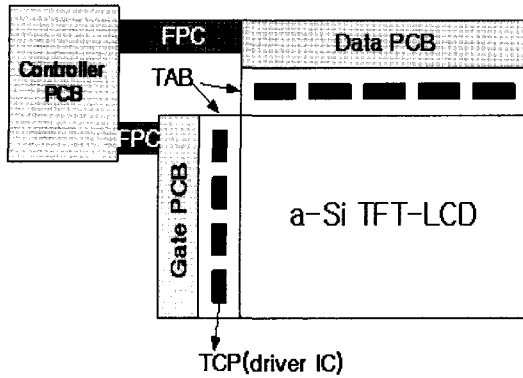


그림 1. a-Si TFT-LCD
Fig. 1. a-Si TFT LCD.

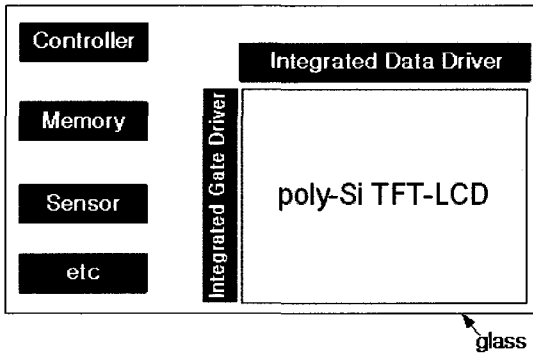


그림 2. System-on-Glass
Fig. 2. System-on-Glass.

(threshold voltage)과 이동도(mobility)가 일정하지 않으며, 아날로그 회로의 성능이 패널(panel)의 위치에 따라서 차이가 있을 수 있으므로 고해상도의 디스플레이 화면을 얻기가 어렵다. 또한, 키크 효과(kink effect)^[5]로 인해 아날로그 회로를 구현하는데 어려움이 있다.

그러므로 SoG를 구현하기 위해서는 poly-Si TFT의 공정 기술이 향상 되어야 한다. 특히, 패널의 위치에 따라 문턱전압과 이동도가 일정해야 하며, 낮은 문턱 전압과 높은 이동도가 요구된다. 그리고 필요한 회로를 하나의 유리기판 위에 집적하기 위해서는 디자인 룰 (design rule)이 개선되어야 하며, 고계조 (high gray scale)의 저항열 형태의 디지털-아날로그 변환기 (digital-to-analog converter)를 구현할 수 있도록 저항 비(ratio)의 mismatch를 줄여야 한다. 또한, 아날로그 회로의 성능이 poly-Si TFT의 파라미터(parameter) 변화에 둔감하도록 회로를 설계하여야 한다.

본 논문에서는 SoG를 구현하기 위한 여러 가지 조건 중에서 가장 기본적인 요소인 문턱전압, 이동도, 그리고 저항 matching에 대해서 필요한 특성을 분석하였다. 허용 가능한 poly-Si TFT의 mismatch 및 저항 matching

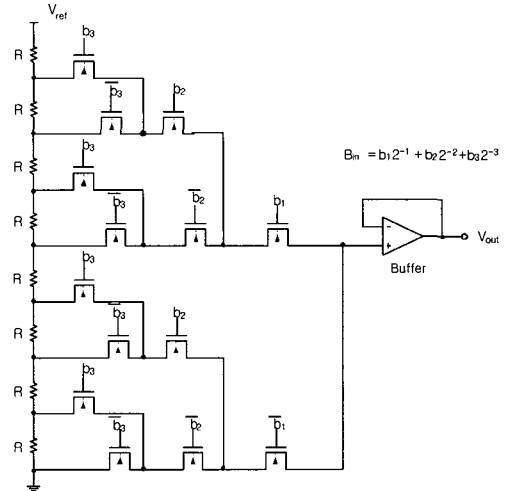


그림 3. 저항열 형태를 이용한 3-bit 디지털-아날로그 변환기
Fig. 3. Resistor-string type 3-bit digital-to-analog converter.

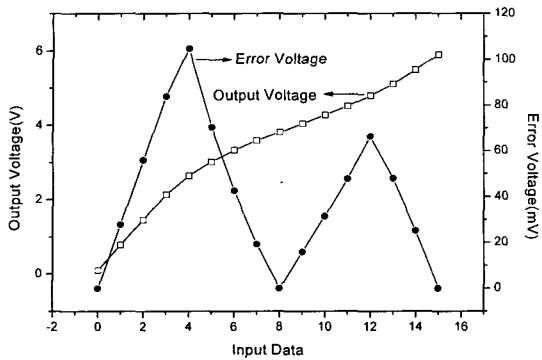
특성을 디스플레이 시스템의 해상도에 따라 유도하였으며, 소스 드라이버(source driver)를 구현하기 위해 필요한 유효 이동도(effective mobility)를 다양한 패널 크기에 따라서 분석하였다. HSPICE 시뮬레이션을 통해서 위의 결과를 검증하였다.

II. 저항열 형태의 디지털-아날로그 변환기를 구현하기 위해 요구되는 저항 matching

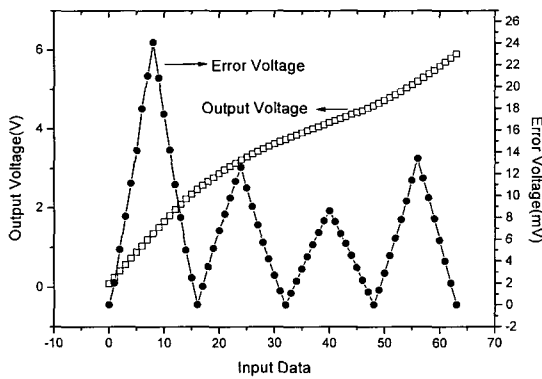
그림 3에 나타낸 저항열 형태의 디지털-아날로그 변환기는 디지털 화상 신호(digital video signal)를 아날로그 화상신호(analog video signal)로 변환하는데 널리 사용되며, 감마 보정(gamma correction) 기능이 있다.

이러한 형태의 디지털-아날로그 변환기는 저항 값의 mismatch 비에 따라서 디스플레이 시스템의 해상도가 결정된다.

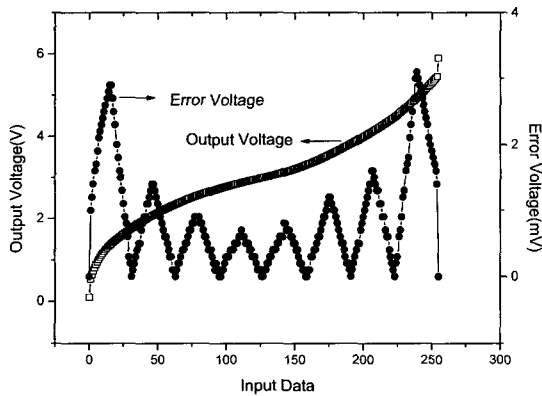
시뮬레이션에 사용된 전압 스윙(swing) 범위는 5.8V이며, 4-, 6-, 8-bit 디지털-아날로그 변환기의 감마 보정된 1/2-LSB(least significant bit)는 각각 107.3mV, 25.4mV, 3.7mV 이다. 이러한 전압 값은 해상도에 따른 디지털-아날로그 변환기의 허용 가능한 출력전압 범위이다. 그림 4의 HSPICE 시뮬레이션 결과에 의하면, 4-, 6-, 8-bit의 디스플레이 해상도를 구현하기 위해서 요구되는 저항 값의 mismatch 비는 각각 12%, 4%, 1% 이다.



(a)



(b)



(c)

그림 4. 저항열 디지털-아날로그 변환기의 시뮬레이션 결과 (a) 12%의 저항 변화일 때 4-bit, (b) 4%의 저항 변화일 때 6-bit, (c) 1% 저항 변화일 때 8-bit

Fig. 4. Simulation results of resistor-string type digital-to-analog converter for (a) 4-bit with resistor variation of 12%, (b) 6-bit with resistor variation of 4%, and (c) 8-bit with resistor variation of 1%.

III. Poly-Si TFT의 허용 가능한 문턱전압 및 이동도 변화

일반적으로 LCD 패널의 데이터 라인을 구동하기 위해서는 single-crystal transistor로 구현된 op-amp (operational amplifier)를 unity-gain 버퍼 형태로 연결하여 사용한다^[6-7]. 그림 5의 two-stage op-amp는 널리 사용되는 기본 회로이며, poly-Si TFT의 필요한 특성을 유도하기 위한 참고 회로로 선택하였다. poly-Si TFT로 구현된 op-amp는 불규칙하게 분포되어 있는 grain boundary로 인해 single-crystal transistor로 구현된 op-amp 보다 훨씬 큰 오프셋(offset)을 가지고 있다. 이러한 오프셋을 보상하기 위해서 그림 6의 오프셋

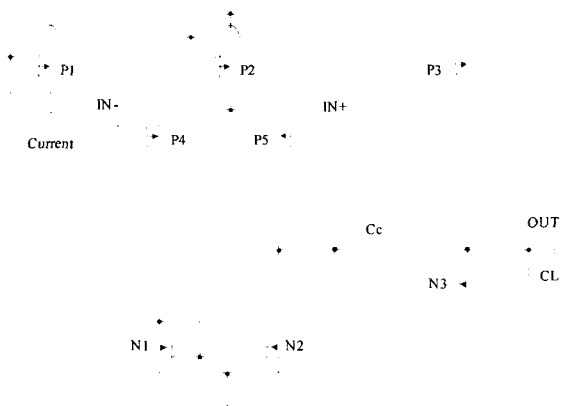
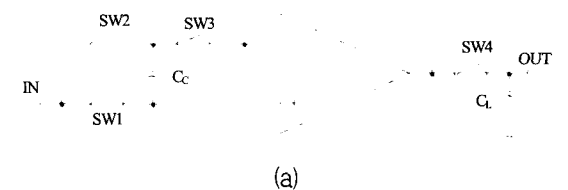
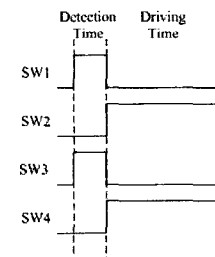


그림 5. Two-stage op-amp
Fig. 5. Two-stage op-amp.



(a)



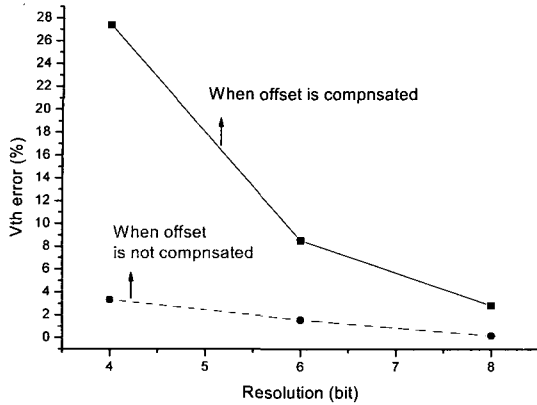
(b)

그림 6. (a) 오프셋 보상한 unity-gain 버퍼와 (b) 타이밍도

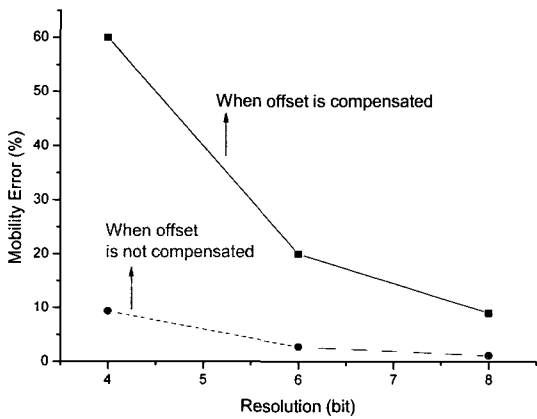
Fig. 6. (a) Offset compensated unity-gain buffer and (b) its timing diagram.

IV. 요구되는 유효 이동도

오프셋 보상한 버퍼를 이용하여 필요한 해상도를 구현할 수 있다 하더라도, 현재의 poly-Si TFT의 이동도로는 패널의 크기에 따라 데이터 라인을 구동하지 못할 수도 있다. 패널 크기와 resolution format이 커짐에 따라 출력단의 부하는 커지는데 비하여 라인 시간(line time)은 짧아지므로, poly-Si TFT로 구현된 버퍼를 사용할 경우 라인시간 안에 목표 전압에 도달하기 어려운 점이 있다. 두 가지 형태의 소스 드라이버에 대하여 poly-Si TFT의 요구되는 유효 이동도를 분석하였다. 첫 번째 회로는 그림 6에 나타난 오프셋 보상한 unity-gain 버퍼 이며, 두 번째 회로는 그림 10에 나타난 문턱 전압을 보상한 아날로그 버퍼이다.



(a)



(b)

그림 7. 오프셋을 보상 했을 때와 하지 않았을 때 허용 가능한 (a) 문턱 전압 및 (b) 이동도 변화
 Fig. 7. Allowable (a) threshold voltage and (b) mobility variation with and without offset compensation.

보상된 unity-gain 버퍼를 사용하였다. 전압 스윙 범위는 5V이며, 3.8-inch QVGA를 가정하여 데이터 라인의 커패시턴스(capacitance)를 30pF으로 정하였다. 그림 7에 오프셋 보상을 했을 때와 하지 않았을 때, 허용 가능한 문턱전압과 이동도의 변화를 디스플레이 해상도에 따라서 나타내었다. 오프셋 보상 회로를 사용하지 않았을 때 4-, 6-, 8-bit에 대한 허용 가능한 문턱 전압 및 이동도 변화는 각각 3.3%, 1.6%, 0.2%, 그리고 9.3%, 2.7%, 1.1%이다. 오프셋 보상 회로를 사용했을 경우는 4-, 6-, 8-bit에 대해서 허용 가능한 문턱전압 및 이동도 변화는 27.4%, 8.5%, 2.9%, 그리고 60%, 20%, 9%이다.

가. Unity-gain 버퍼를 소스 드라이버로 사용할 경우 그림 5에 나타난 op-amp의 슬루율(slew rate)은 출력 전압의 변화에 따라 최대 취할 수 있는 시간의 변화율로 정의할 수 있으며, 부하 커패시터를 충전하거나 방전하는데 필요한 최대 허용 가능한 전류로 나타낼 수 있다. LCD 패널의 데이터 라인을 구동하기 위해서는 op-amp의 슬루율이 최대 화상신호 범위를 라인 시간으로 나눈 값보다 커야한다. 또한 소스 드라이버로 사용된 op-amp의 바이어스 전류(bias current)는 패널이 커지고 resolution format이 향상됨에 따라 커져야 함은 자명하다. 위의 개념을 바탕으로 그림 5에 나타난 트랜지스터 P2에 흐르는 바이어스 전류는 식 (1)로 계산할 수 있다. C_c 는 보상 커패시터(Compensation capacitor)이며, 충분한 phase margin을 위해서 $0.22C_L$ 로 정하였다. γ 는 식 (2)에 의해서 결정된 상수이며, γ 값은 약 7.64이다. 그림 6에 나타난 오프셋 보상한 unity-gain 버퍼의 시뮬레이션 결과를 이용하여 settling time 과 slewing time을 구할 수 있다.

$$\left[\text{Slew Rate} = \frac{I_{\text{BIAS}}}{C_c} \right] \geq \left[\frac{\text{Gray Full Swing Range}}{\text{Line Time}} \right]$$

$$\text{Line Time} \geq \left[\frac{C_c}{I_{\text{BIAS}}} \right] \text{Gray Full Swing Range}$$

$$\text{Line Time} \approx \left[\frac{C_c}{I_{\text{BIAS}}} \right] \text{Gray Full Swing Range} \times \gamma$$

$$I_{\text{BIAS}} = \left[\frac{\text{Gray Full Swing Range}}{\text{Line Time}} \right] C_c \times \gamma \quad (1)$$

표 1. 필요한 바이어스 전류와 줄어야 할 op-amp 트랜지스터 width 비
Table 1. Required bias current and the ratio of op-amp transistor width to be decreased.

Panel size (inch)	Resolution format	Line time (μs)	Compensation capacitor Cc (pF)	Load capacitor CL (pF)	Required Bias current IBIAS (μA)	Sub-pixel pitch (μm)	Source driver area for op-amp (μm ²)	Area of op-amp (μm ²)	Ratio of op-amp transistor width to be decreased β
3.8	QVGA (320*240)	69	6.6	30	12.5	80	28,000	172320	1/6.2
5.5	QVGA (320*240)	69	8.8	40	16.6	116	58,000	172320	1/3
8.4	VGA (640*480)	34	15.4	70	62.8	88	67,760	172320	1/2.6
10.4	SVGA (800*600)	27	22	100	117	88	84,216	172320	1/2.1
14.1	XGA (1024*768)	21	33	150	237	94	122,012	172320	1/1.5
17	SXGA (1280*1024)	16	42.46	193	433	87	135,720	172320	1/1.27
21	UXGA (1600*1200)	13	61.38	279	834	88	170,210	172320	1/1.02

$$\gamma = \left[\frac{\text{Settling time of unity-gain buffer in Fig. 6}}{\text{Slewing time of unity-gain buffer in Fig. 6}} \right] \quad (2)$$

$$I_{BIAS} = \frac{1}{2} (\alpha \mu_p C_{ox}) \left(\frac{W}{L} \right)_2 \beta (V_{GS2} - V_{th})^2$$

$$\alpha = \frac{2I_{BIAS}}{\mu_p C_{ox} \left(\frac{W}{L} \right)_2 \beta (V_{GS2} - V_{th})^2} \quad (3)$$

큰 바이어스 전류는 트랜지스터의 크기를 크게 함으로써 얻을 수 있지만, 소스 드라이버를 one pixel pitch안에 맞춰야 하기 때문에 최대의 트랜지스터 크기는 제한된다. One pixel pitch안에 op-amp를 집적하기 위해서는 필요할 경우 op-amp의 트랜지스터 width를 줄여야 한다. 트랜지스터 크기가 작아지면 전류가 작아지므로 필요한 바이어스 전류를 얻기 위해서는 트랜지스터의 유효 이동도가 커져야 한다. 주어진 패널 크기와 resolution format에 대하여 트랜지스터의 크기는 one pixel pitch에 의해서 또는, 필요한 바이어스 전류를 얻을 때까지 증가된다. 만약 요구되는 바이어스 전류를 얻지 못한다면 필요한 바이어스 전류를 얻을 때까지 유효 이동도를 증가시켜야 한다. 필요한 유효 이동도는 식 (3)에 의해서 구할 수 있다. 식 (3)에서 α는 증가해야 할 유효 이동도의 비이며, β는 줄여야 할 op-amp의 트랜지스터 width의 비이다. μ_pC_{ox}는 공정 기술에 의해서 결정된 상수이며, μ_pC_{ox}

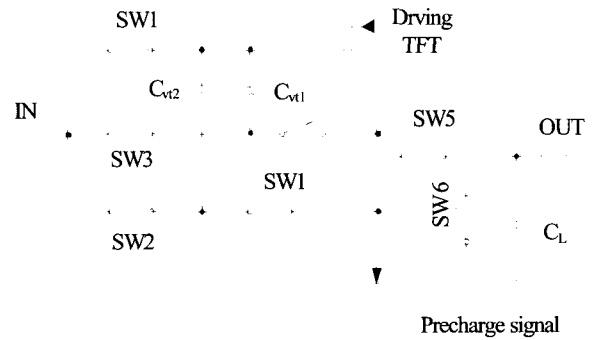


그림 9. V_{th}-mismatch 보상한 아날로그 버퍼 II
Fig. 9. V_{th}-mismatch compensated analog buffer II.

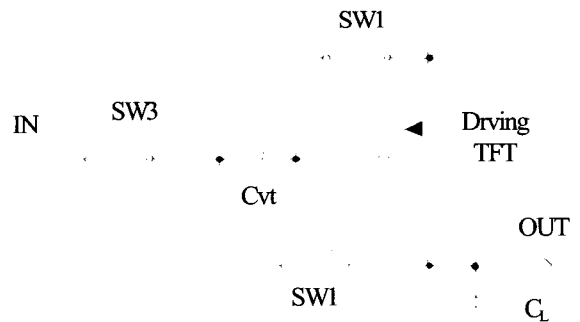


그림 8. V_{th}-mismatch 보상한 아날로그 버퍼 I
Fig. 8. V_{th}-mismatch compensated analog buffer I.

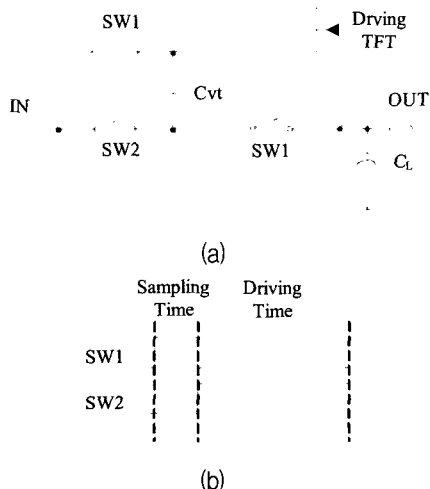


그림 10. (a) V_{th} -mismatch 보상한 아날로그 버퍼 III와 (b) 타이밍도
 Fig. 10. (a) V_{th} -mismatch compensated analog buffer III and (b) its timing diagram.

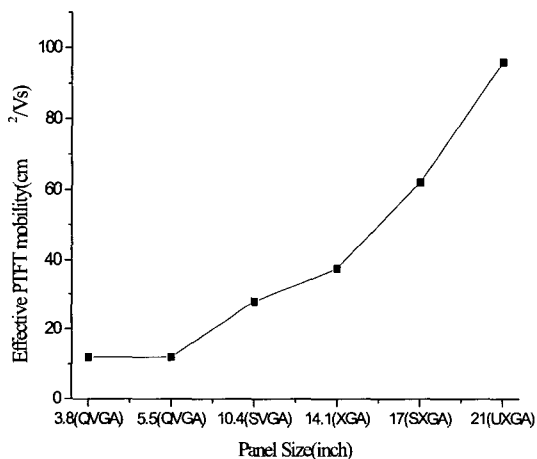


그림 11. 그림 6에 있는 unity-gain 버퍼가 소스 드라이버로 사용될 때 패널 크기에 따른 유효 이동도
 Fig. 11. Effective mobility vs. panels size when unity-gain buffer in Fig. 6 is used as source driver.

값은 $1.33 \mu A/V^2$ 이다. 그림 5에 나타난 트랜지스터 P2의 aspect ratio 와 overdrive voltage는 각각 (540/8), 1.54V 이다. 필요한 바이어스 전류와 줄여야 할 op-amp 트랜지스터의 width 비를 표 1에 나타내었으며, 식 (3)을 이용해서 α 값을 구할 수 있다. 현재의 유효 이동도 μ_p 값은 $12 \text{cm}^2/\text{Vs}$ 이며, 필요한 p-type TFT의 유효 이동도는 $\alpha \mu_p$ 로 구할 수 있다. 그림 11에 계산 결과를 도시하였다. 현재 p-type TFT 유효 이동도로 5.5-inch는 구동가능 하지만, 패널 크기와 resolution format이 향상 될수록 더

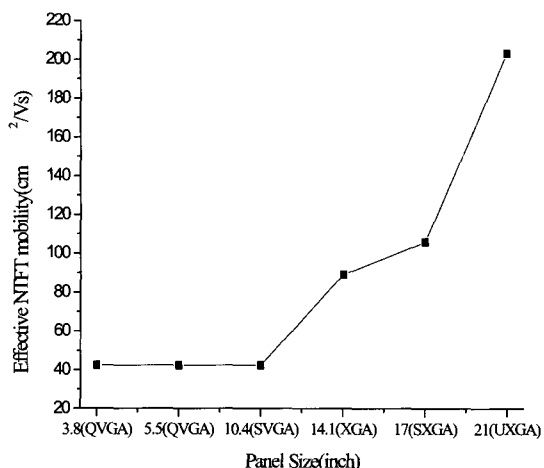


그림 12. 그림 10에 있는 아날로그 버퍼가 소스 드라이버로 사용될 때 패널 크기에 따른 유효 이동도
 Fig. 12. Effective mobility vs. panels size when analog buffer in Fig. 10 is used as source driver.

큰 유효 이동도가 요구된다.

나. 아날로그 버퍼를 소스 드라이버로 사용할 경우

Unity-gain 버퍼를 소스 드라이버로 사용한 경우의 결과에서 보듯이, poly-Si TFT를 이용하여 op-amp를 unity-gain 버퍼 형태로 사용하기는 어렵다. 소스 드라이버로 unity-gain 버퍼를 사용하는 대신 간단한 아날로그 버퍼를 사용할 수 있다. 현재까지 문턱전압 mismatch를 보상하는 다양한 종류의 아날로그 버퍼가 제안되었다^[8-10]. 그림 8의 아날로그 버퍼^[8]는 입력 전압 레벨(level)에 관계없이 일정한 문턱 전압을 보상하는 구조이다. 문턱 전압을 보상하더라도, source follower 자체의 입력 전압 레벨에 대한 출력의 불규칙적인 전압 오차가 나타나므로 시뮬레이션 결과 6-bit의 해상도를 얻기가 어려웠다. 그림 9에 나타난 회로^[9]는 입력 전압 레벨에 따른 문턱전압을 2번 보상하는 구조이다. 2번 보상을 하면서 실제 구동하는 시간이 짧아지므로 패널 크기와 resolution format이 커질수록 라인 시간 안에 목표 전압에 도달하기 어려운 단점이 있다. 그림 10에 나타난 아날로그 버퍼^[10]는 입력 전압 레벨에 따른 문턱전압을 1번 보상하는 구조이며, 라인 시간 안에 목표 전압에 도달한다. 시뮬레이션 결과 6-bit의 해상도를 만족하며, op-amp의 오프셋을 보상하는 구조와 동일한 구조로서 poly-Si TFT의 유효 이동도를 구하기 위한 참고 회로로 선택하였다. 주어진 패널 크기와 resolution format에 대해서 요구되는 유효 이동도를 HSPICE 시뮬레이션을 통해서 구하였다. 전원 전압은 15V이며, 패널 크기와 resolution format에 따

른 데이터 라인의 부하 커패시턴스를 표 1에 나타내었다. 커패시터 C_v 의 크기는 7pF이며, 6-bit을 만족하는 아날로그 버퍼의 유효 이동도를 그림 12에 나타내었다. 아날로그 버퍼를 소스 드라이버로 사용할 경우, 현재 n-type TFT 유효 이동도로 10.4-inch 까지는 구동가능 하며, 패널 크기와 resolution format이 커질수록 더 큰 유효 이동도가 요구된다.

V. 결 론

SoG 용 아날로그 회로를 구현하기 위해 요구되는 저항 matching 및 poly-Si TFT 특성을 분석하였다. 4-, 6-, 8-bit의 디스플레이 해상도를 구현하기 위해서 요구되는 저항 값의 mismatch 비는 각각 12%, 4%, 1%이며, 현재 기술로 6-bit의 해상도는 구현 가능할 것으로 예상된다. 오프셋 보상한 unity-gain 버퍼 회로를 소스 드라이버로 사용했을 경우, 4-, 6-, 8-bit에 대한 허용 가능한 문턱전압 및 이동도 변화는 27.4%, 8.5%, 2.9%, 그리고 60%, 20%, 9% 이다. 또한 현재의 유효 이동도 기준으로 볼 때, op-amp를 unity-gain buffer로 사용할 경우 5.5-inch는 구동 가능하며, 아날로그 버퍼를 사용할 경우 10.4-inch 까지는 구동 가능하다. 그러나 더 큰 패널 크기와 resolution format이 요구될 때에는 유효 이동도의 크기를 향상 시켜야 한다.

Poly-Si TFT를 이용한 SoG에 대한 연구는 구동 드라이버, 메모리, 센스, 컨트롤러 등 회로를 하나의 유리 기판위에 집적할 수 있다는 점에서 인기를 얻고 있다. 본 논문에 제시한 결과는 SoG를 목표로 poly-Si TFT 기술을 개발하는데 있어서 가이드라인(guideline)이 될 수 있다.

참 고 문 헌

- [1] Y. Matsueda et al., "A 6-bit-Color VGA Low-Temperature Poly-Si TFT-LCD with Integrated Digital Data Drivers," in SID '98, pp. 897-900, 1998.
- [2] Yojiro Matsueda et al., "Concept of a System on Panel," in IDW '00, pp.171-174, 2000.
- [3] Sang-Soo Han et al., "3.5 inch QVGA Low-TEmpérature Poly-Si TFT LCD with Integrated Driver Circuits," in SID '03, pp. 208-211, 2003.
- [4] Tohru Nishibe, "Future for Low-Temperature Polycrystalline Silicon," in EURODISPLAY 2002, pp. 269-272, 2002.
- [5] Gi-Young Yang et al., "A physical-Based Analytical Turn-On Model of Polysilicon Thin-Film Transistor for Circuit Simulation," IEEE Trans. Electron Devices, vol. 46, no. 1, pp. 165-172
- [6] Chil-Wen Lu, "A Low Power High Speed Class-AB Buffer Amplifier for Flat Panel Display Signal Driver Application," in SID '02, pp. 281-283, 2002.
- [7] Rui Itou et al., "Some analog building blocks for TFT circuits," in IEEE, pp. 417-420, 2001.
- [8] J. Jeon et al., " A new digital scheme for poly-Si TFT LCD panel," Asia Display, pp. 164-167, 1998.
- [9] Y. Kida et al., "A 3.8-inch half-VGA transfective color TFT-LCD with completely integrated 6-bit RGB parallel interface drivers," in EURODISPLAY, pp. 831-834, 2002.
- [10] Seung-Woo Lee et al., "High Performance, Low-Power Integrated 8-bit Digital Data Driver for Poly-Si TFT-LCD's," in SID '99, 1999.

저 자 소 개



김 대 준(학생회원)

2003년 한양대학교 전자공학과
학사 졸업.

2003년 3월~현재 한양대학교
전자통신전파공학과 석사
재학 중.

<주관심분야 : LCD Driver IC 설
계, 아날로그 회로 설계>



이 군 렬(학생회원)

2003년 동아대학교 전자공학과
학사 졸업.

2003년 3월~현재 한양대학교
전자통신전파공학과 석사
재학 중.

<주관심분야 : LCD Driver IC 설
계, 아날로그 회로 설계>



유 창 식(평생회원)

1992년 서울대학교 전자공학과
학사 졸업.

1994년 서울대학교 전자공학과
석사 졸업.

1998년 서울대학교 전자공학과
박사 졸업.

2002년~현재 한양대학교 전자전기컴퓨터공학부
조교수

<주관심분야 : 유무선 통신용 혼성 신호 회로 설
계>