

논문 2005-42SD-2-2

Hot Carrier 현상에 의한 Bulk DTMOS의 RF 성능 저하

(The RF performance degradation in Bulk DTMOS due to Hot Carrier effect)

박 장 우*, 이 병 진*, 유 종 근*, 박 종 태*

(Jang-Woo Park, Byoung-Jin Lee, Jong-Gun Yu, and Jong-Tae Park)

요 약

본 논문에서는 bulk dynamic threshold voltage MOSFET(B-DTMOS)와 bulk MOSFET(B-MOS)에서 hot carrier 현상으로 인한 RF 성능 저하를 비교하였다. Normal 및 moderate 모드에서 B-DTMOS의 차단주파수 및 최소잡음지수의 열화가 B-MOS 소자 보다 심하지 않음을 알 수 있었다. 실험 결과로부터 hot carrier에 의한 RF 성능 저하가 DC 특성 열화 보다 심함을 알 수 있었다. 그리고 처음으로 hot carrier 현상으로 인한 B-DTMOS 소자의 RF 전력 특성 저하를 측정하였다.

Abstract

This paper reports the hot carrier induced RF performance degradation of bulk dynamic threshold voltage MOSFET (B-DTMOS) compared with bulk MOSFET (B-MOS). In the normal and moderate mode operations, the degradations of cut-off frequency (f_T) and minimum noise figure (F_{min}) of B-DTMOS are less significant than those of B-MOS devices. Our experimental results show that the RF performance degradation is more significant than the DC performance degradation after hot carrier stressing. Also, the degradation characteristics of RF power performance of B-DTMOS due to hot carrier effects are measured for the first time.

Keywords: Dynamic Threshold Voltage MOSFET, Bulk MOSFET, Hot carrier effects, RF performance, Device degradation

I. 서 론

배터리를 사용하는 휴대용 전자기기의 증가로 CMOS 집적회로에서 소비전력을 줄이는 것은 가장 중요한 연구 과제들 중에 하나이다. 일반적으로 CMOS 회로에서 소비 전력은 공급 전압의 제곱과 부하 커패시턴스에 비례한다. 그러므로 공급 전압을 줄이면 소비 전력을 줄일 수 있게 된다. 그러나 공급 전압을 많이 줄이면 구동 전류의 감소로 회로의 동작 속도가 느려지며 또 문턱 전압을 줄이면 누설 전류가 증가하게 된다. 낮은 공급 전압을 사용하면서 subthreshold 영역의 누설

전류를 줄이며 동시에 구동 전류를 크게 하기 위하여 SOI 기술을 이용한 DTMOS(Dynamic Threshold MOSFET)와 bulk DTMOS가 제안되었으며 DC 특성 및 전류-전압 모델링, 응용 회로 설계 및 제작, RF 성능 평가, hot carrier 현상에 의한 소자 열화에 관한 연구들이 많이 진행되고 있다.^[1-7]

특히 bulk DTMOS의 동작모드를 moderate($0.6V \leq V_{GS} \leq 0.85V$)와 over-drive($V_{GS} \geq 0.85V$)로 나눌 때 채널 길이가 $0.18\mu m$ 인 소자에서 차단 주파수가 220GHz 되는 것으로 보고되었다.^[8]

Bulk 웨이퍼를 사용하므로 현 CMOS공정을 그대로 이용할 수 있다는 장점이 있지만 추가적인 well 공정이 필요하므로 면적이 커진다는 단점이 있다. CMOS의 소자 크기 축소로 고전계에 의한 hot carrier 현상이 발생하여 소자가 열화 되는 연구들이 많이 진행되었으며

* 정회원, 사립인천대학교 전자공학과
(Department of Electronic Engineering, Incheon University)
※ 본 연구는 한국고학재단 목적기초연구
(R05-2003-000-10039-0)지원으로 수행되었음.
접수일자: 2004년8월6일, 수정완료일: 2005년1월18일

SOI 기술을 이용한 DTMOS 소자가 PDSOI MOSFET 보다 낮은 문턱 전압으로 인한 작은 전계 때문에 소자 열화가 적게 된다는 연구 결과가 발표되었다.^[7] 그러나 고온에서는 DTMOS 소자가 PDSOI MOSFET보다 소자 열화가 더 많이 될 수 있다는 연구도 발표되었다.^[9]

본 연구에서는 일반 bulk MOSFET(B-MOS)와 bulk DTMOS(B-DTMOS)를 표준 CMOS 공정으로 설계 제작하고 hot carrier 현상에 의한 차단주파수(f_T) 및 최소 잡음지수(F_{min})의 열화 특성을 비교 분석하였으며 B-DTMOS의 RF 전력 특성 열화를 측정 분석하였다.

II. 소자 제작 및 측정

본 연구에 사용된 B-MOS 소자와 B-DTMOS 소자는 n-채널 MOSFET로써 0.35 μ m twin well CMOS공정으로 제작되었다. 게이트 산화층 두께는 90Å이며 게이트는 다결정 실리콘으로 만들어졌다. B-DTMOS는 Al 상호연결선을 사용하여 다결정 실리콘 게이트와 p-well을 연결하여 만들었다.

그림 1은 B-DTMOS의 평면도를 나타낸 것으로 각 소자는 게이트 길이가 L=0.35 μ m이며 finger 수가 10인 multi-finger 게이트 구조이다. 단위 finger의 폭은 Wu=10 μ m 이다.

RF 성능 분석을 위한 S 파라미터 측정은 Cascade Microtech의 on-wafer probe 시스템과 HP85010C를 사용하였으며 dummy structure를 사용하여 pad 기생 성분을 de-embedded 하였다. F_{min} 측정은 ATN setup을 이용하여 0.5 ~ 3GHz 범위에서 하였으며 RF 전력 특성 측정은 electronic tuner를 사용하는 load-pull 시스

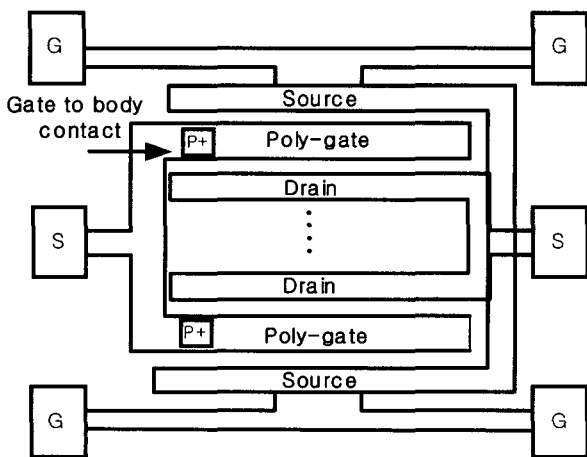


그림 1. B-DTMOS의 평면도
Fig. 1. Top view of B-DTMOS.

템을 이용하였다. Hot carrier 스트레스 조건은 $V_{GS}=0.8V$, $V_{DS}=4.0V$ 이다.

III. 결과 및 고찰

아날로그 회로에서는 소자가 포화영역에서 동작하게 바이어스 전압이 인가되므로 포화영역에서 소자 열화를 측정하였다. 그림 2는 포화영역에서 B-DTMOS와 B-MOS소자의 드레인 전류 변화를 스트레스 시간에 따라 나타낸 것이다.

스트레스 후에 B-DTMOS가 B-MOS 소자 보다 드레인 전류 감소가 적은 것을 알 수 있다. Degradation rate는 약 0.5로 B-DTMOS와 B-MOS소자에서 같으며 이런 rate 값은 두 소자에서 계면 상태 생성으로 소자가 열화된 것을 의미한다.^[10] 일반적으로 소자 열화는 드레인 전류와 최대 수평 전계의 곱에 의하여 결정되는데 B-DTMOS의 소자 열화가 B-MOS보다 작은 이유는 드레인 전류는 B-DTMOS가 크지만 최대 수평 전계가 작기 때문이다. 최대 수평 전계는 포화 드레인 전압이 크면 작게 되는데 B-DTMOS의 문턱 전압이 작으므로 B-DTMOS의 포화 드레인 전압은 크게 된다.

그림 3은 스트레스 전 후의 S_{21} 을 나타낸 것이다. 측정된 S 파라미터를 Y파라미터로 변환하여 H_{21} 을 계산하였다. f_T 는 $H_{21}=0$ 이 되는 주파수로 정의하였다.

그림 4는 스트레스 후에 차단 주파수 변화($\Delta f_T/f_T$)와 트랜스컨덕턴스 변화($\Delta g_m/g_m$)를 스트레스 시간에 따라 나타낸 것으로 B-MOS가 B-DTMOS 보다 소자 열화

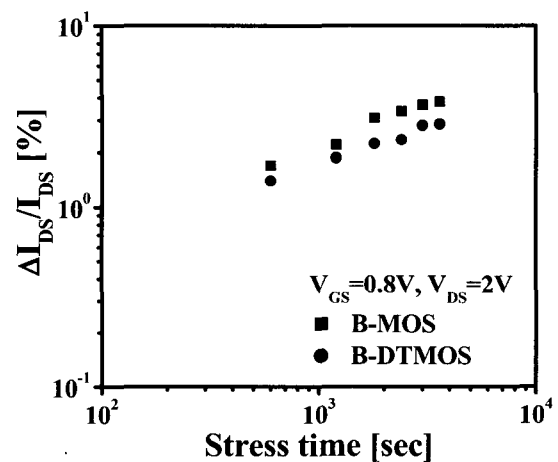
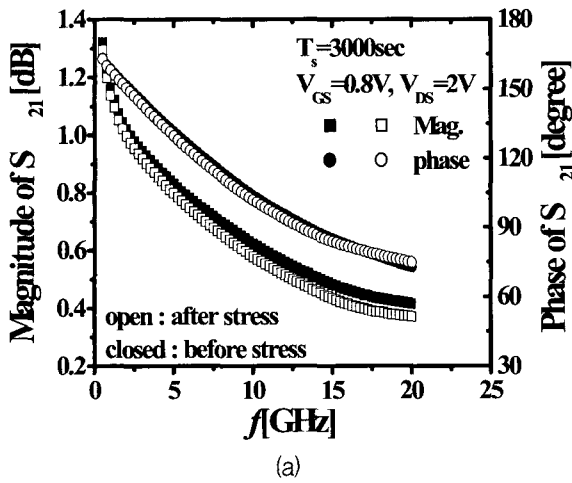
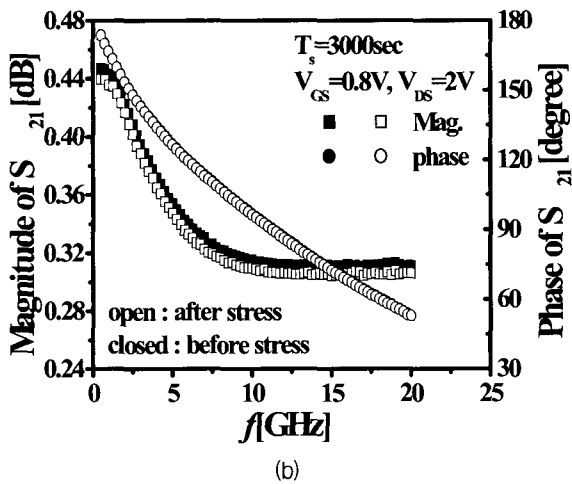


그림 2. 포화영역에서 스트레스 시간에 따른 B-DTMOS와 B-MOS소자의 드레인 전류 변화
Fig. 2. Drain current degradation versus stress time in the saturation region.



(a)



(b)

그림 3. 스트레스 전후의 (a)B-DTMOS와 (b)B-MOS의 S₂₁
 Fig. 3. S₂₁ of (a)B-DTMOS and (b)B-MOS before and after stress.

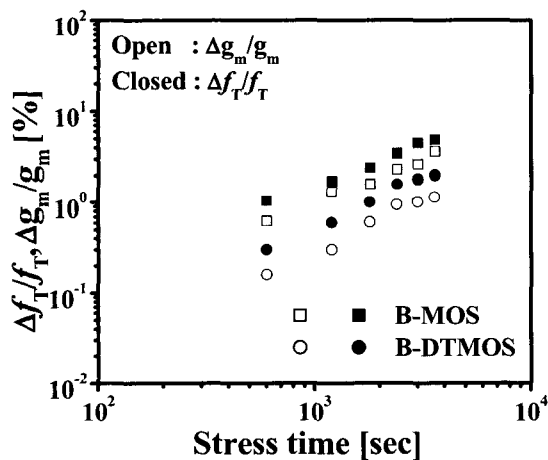


그림 4. 스트레스 시간에 따른 차단 주파수 변화(Δf_T/f_T)와 트랜스컨덕턴스 변화(Δg_m/g_m)
 Fig. 4. Degradation of cut-off frequency (Δf_T/f_T) and transconductance (Δg_m/g_m) versus stress time.

가 많이 되었음을 알 수 있다. 측정 전압 V_{GS}=0.8V, V_{DS}=2.0V 에서 B-MOS 소자는 스트레스 전에 f_T가 2.9GHz 이었으나 스트레스 후에는 2.76GHz로 감소하였고 B-DTMOS 소자는 스트레스 후에 f_T가 9.4GHz에서 9.212GHz로 감소하였다. 일반적으로 f_T와 트랜스컨덕턴스는 다음과 같은 관계가 있다.^[11]

$$f_T = g_m / 2(C_{gs} + C_{gd} + C_{gb}) \quad (1)$$

여기서 C_{gs}는 게이트-소스 커패시턴스이며, C_{gd}는 게이트-드레인 커패시턴스이고 C_{gb}는 게이트-벌크 커패시턴스이다. 식(1)에서 만일 스트레스 후에 C_{gs}, C_{gd} 및 C_{gb}의 변화가 전혀 없다면 Δf_T/f_T와 Δg_m/g_m의 기울기가 같아야 되나 실제로는 스트레스 후에 C_{gs}가 약간 증가하게 되므로 Δf_T/f_T의 기울기가 Δg_m/g_m의 기울기 보다 약간 커지게 된다. 스트레스 후에 C_{gs}는 증가하고 C_{gd}는 약간 증가하거나 감소하는 것으로 보고된 연구 결과를 인용하면 Δf_T/f_T의 기울기가 Δg_m/g_m 기울기 보다 약간 크게 된다.^[12-13]

그림 5는 스트레스 전후의 게이트 전압에 따른 B-DTMOS와 B-MOS소자의 F_{min}을 나타낸 것이다. 측정 전압 V_{GS}=0.8V, V_{DS}=2.0V 에서 B-MOS 소자는 스트레스 전에 F_{min}이 1.46dB 이었으나 스트레스 후에는 1.63dB로 증가하였고 B-DTMOS 소자는 스트레스 후에 F_{min}이 5.08dB에서 5.21dB로 증가하였다.

스트레스 후에 F_{min}의 증가는 B-DTMOS 보다 B-MOS소자 큰 것을 알 수 있다. 또한 B-MOS소자는

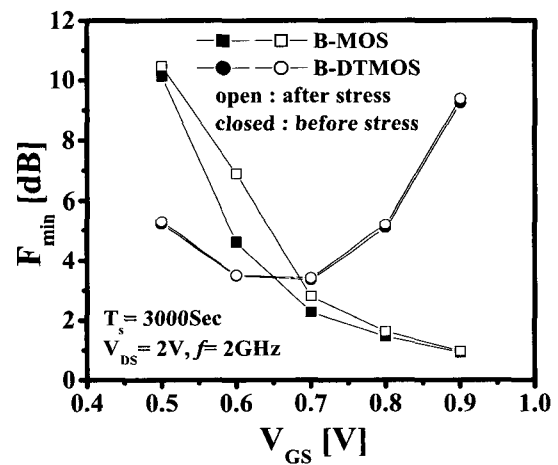


그림 5. 스트레스 전후의 게이트 전압에 따른 B-DTMOS 와 B-MOS소자의 F_{min} 특성
 Fig. 5. Minimum noise figures of B-DTMOS and B-MOS as a function of V_{GS} before and after hot carrier stressing.

게이트 전압이 증가 할 때 F_{min} 이 감소하나 B-DTMOS 소자는 게이트 전압이 0.7V이상에서는 F_{min} 이 증가 하는 것을 알 수 있다. B-DTMOS 소자의 F_{min} 이 B-MOS 소자 보다 큰 것은 B-DTMOS 소자에서는 게이트가 Al 상호연결선을 통하여 p-well과 연결되어 있으므로 게이트 저항이 클 수밖에 없는 구조이기 때문이다. B-DTMOS 소자를 사용하여 LNA를 설계할 때는 큰 F_{min} 를 줄이기 위하여 게이트를 실리사이드를 사용해야 하며 게이트와 well을 연결하는 상호연결선의 길이 및 저항을 치대로 줄이는 연구가 필요하다. B-MOS 소자는 게이트 전압이 증가하면 트랜스컨덕턴스가 증가하므로 F_{min} 이 감소하고 B-DTMOS에서는 게이트 전압이 0.8V이상에서는 기판과 드레인, 기판과 소스 접합이 순방향이 되므로 트랜스컨덕턴스가 감소하여 F_{min} 이 감소하게 된다.

그림 6은 스트레스 시간에 따른 최소잡음지수의 변화($\Delta F_{min}/F_{min}$)와 $\Delta g_m/g_m$ 을 나타낸 것이다. 두 소자 모두에서 $\Delta g_m/g_m$ 보다 $\Delta F_{min}/F_{min}$ 이 큰 것을 알 수 있다. 일반적으로 F_{min} 과 g_m 과의 관계는 다음과 같다.^[14]

$$F_{min} = 1 + KfC_{gs}\sqrt{(R_g + R_s)/g_m} \quad (2)$$

여기서 K는 상수 이며, R_g 및 R_s 는 게이트 및 소스 저항이며 f 는 측정 주파수 이다. 식(2)로부터 만일 스트레스 후에 g_m 변화만 있다면 $\Delta F_{min}/F_{min}$ 의 기울기는 $\Delta g_m/g_m$ 기울기보다 작아야 한다. 그림 5로부터 $\Delta F_{min}/F_{min}$ 의 기울기가 $\Delta g_m/g_m$ 기울기보다 큰 것은 스

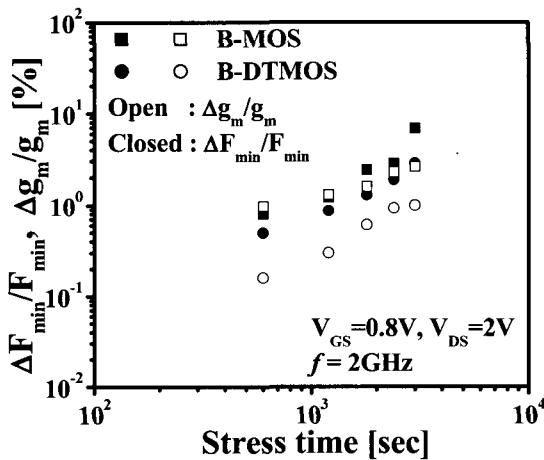


그림 6. 스트레스 시간에 따른 최소잡음지수 변화 ($\Delta F_{min}/F_{min}$)와 트랜스컨덕턴스 변화($\Delta g_m/g_m$)
Fig. 6. Degradation of minimum noise figures ($\Delta F_{min}/F_{min}$) and transconductance ($\Delta g_m/g_m$) versus stress time.

트레스 후에 C_{gs} 가 증가하기 때문이다.

그림 6으로부터 B-MOS의 degradation rate가 B-DTMOS보다 큰 것을 알 수 있는데 이는 스트레스 시간이 증가 할수록 B-MOS의 열화가 더 심하다는 점을 의미한다.

일반적으로 전력 증폭기에서 신호의 크기가 공급전압의 2-3배 정도 되므로 전력 증폭기의 출력은 hot carrier 현상에 의한 소자 열화 영향을 더 많이 받는다.^[15] 그림7은 스트레스 전후의 B-DTMOS의 출력(P_{out}), 이득(G) 및 Power Added Efficiency(PAE)를 입력(P_{in})에 따라 나타낸 것이며 측정 주파수는 2GHz이며 스트레스 시간은 1080초 이다. $P_{in} = -4dBm$ 에서 P_{out} 은 1.2dB에서 0.3dB로 G는 5.6dB에서 4.4dB로 감소하였다. 스트레스 후에 최대 PAE는 13.23%에서 10.68%로 감소하였다. 스트레스 후의 P_{out} 및 G 감소의 주된 원인은 g_m 과 C_{gs} 의 감소에 의한 것이다.

그림 8은 스트레스 시간에 따른 출력 변화($\Delta P_{out}/P_{out}$), 이득 변화 ($\Delta G/G$), PAE 변화 및 $\Delta g_m/g_m$ 을 나타낸 것이다. 일반적으로 MOSFET소자에서 G와 g_m 의 관계는 다음과 같다.^[16]

$$G = \frac{g_m}{2\pi f R_s R_g} R_L \quad (3)$$

여기서 R_L 은 부하저항이다. 그림 7로부터 스트레스 시간에 따른 g_m 변화 보다 G의 변화가 더 큰 것은 앞에서 언급하였던 것과 같이 스트레스 후의 C_{gs} 의 증가

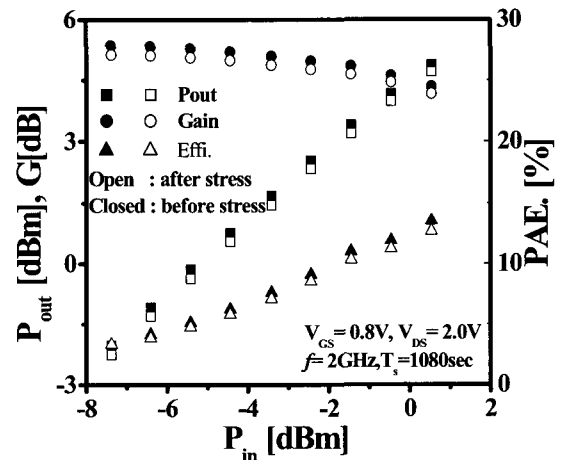


그림 7. 입력(P_{in})에 따라 스트레스 전후의 B-DTMOS의 출력 (P_{out}), 이득(G) 및 Power Added Efficiency (PAE) 특성
Fig. 7. Output power (P_{out}), gain (G) and Power Added Efficiency (PAE) as a function of the input power before and after stress.

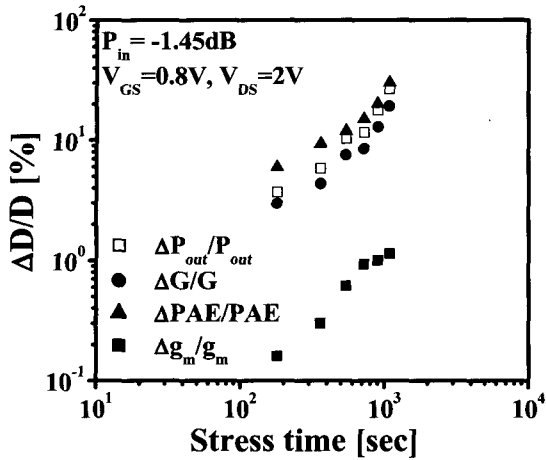


그림 8. 스트레스 시간에 따른 출력 변화($\Delta P_{out}/P_{out}$), 이득변화 ($\Delta G/G$), PAE 변화 및 트랜스컨덕턴스 변화($\Delta g_m/g_m$)

Fig. 8. Degradation of output power ($\Delta P_{out}/P_{out}$), gain ($\Delta G/G$), PAE and transconductance ($\Delta g_m/g_m$) versus stress time.

때문으로 사료된다. 그림 8로부터 소자 열화로 인한 DC 특성 변화 보다 RF 전력 특성이 훨씬 더 많이 변함을 알 수 있다. 또한 degradation rate도 RF 전력 특성이 더 큰 것을 알 수 있다. RF 전력 특성 중에서 PAE 변화가 가장 큰 것을 알 수 있으므로 DTMOS 소자를 이용하여 저전압용 RF 전력 증폭기를 설계할 때 hot carrier 현상에 의한 소자 열화를 고려하여야 함을 알 수 있다.

IV. 결 론

DC 스트레스 후의 DC특성 및 RF 성능 저하 특성으로부터 B-MOS 소자 보다 B-DTMOS 소자 열화가 적게 됨을 알 수 있었다. DC 특성 열화 보다 RF 성능 저하가 더 심했으며 degradation rate도 큰 것을 알 수 있다. 특히 소자 열화로 인하여 최소잡음지수의 증가 및 RF 전력 특성이 많이 저하되므로 저전압용 LNA 및 RF 전력 증폭기 설계 시 hot carrier 현상에 의한 소자 열화는 심각히 고려해야 함을 알 수 있다.

참 고 문 헌

[1] F. Assaderaghi, D. Sinitsky, S. Parke, J. Bokor, P. Ko, and C. Hu, "A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation," Tech. of Digest IEDM, pp. 809-813, 1994.

[2] A.Yagishita, T. Saito, S. Inumiya, K. Matsuo, Y. Tsunashima, K. Suguro, and T. Arikado, "Dynamic Threshold Voltage Damascene Metal Gate MOSFET (DT-DMG-MOS) with Low Threshold Voltage, High Drive Current, and Uniform Electrical Characteristics," Tech. of Digest IEDM, pp. 663-667, 2000.

[3] Y. Momiyama, T. Hirose, H. Kurata, K. Goto, Y. Watanabe, and T. Sugii, "A 140GHz f_T and 60 GHz f_{max} DTMOS Integrated with High-Performance SOI Logic Technology," Tech. Digest of IEDM, pp. 451-453, 2000.

[4] S. S. Rofail, and Y. K. Seng, "Experimentally-Based Analytical Model of Deep-Submicron LDD pMOSFET's in a Bi-MOS Hybrid-Mode Environment," IEEE Trans. Electron Devices, vol. 44, no. 9, pp. 1473-1482, 1997.

[5] R. Hung, Y. Y. Wang, and R. Han, "Analytical Model for the Collector Current in SOI Gated-Controlled Hybrid Transistor," Solid-State Electronics, vol. 39, no. 12, pp.1816-1818, 1998.

[6] T. Douseki, S. Shigematsu, J. Yamada, M. Harada, H. Inokawa, and T. Tsuchiya, "A 0.5-V MTCMOS/SIMOX logic gate", IEEE Journal of Solid-State Circuits, vol. 32, no. 10, pp. 1604-1609, 1997.

[7] R. Huang, J. Wang, X. Zhang, and Y. Wang, "Hot-carrier induced degradation in mesa-isolated n-channel SOI MOSFETs operating in a bi-MOS mode," IEEE Trans. Electron Devices, vol. 48, no. 8, pp. 1594-1598, 2001.

[8] C.Y. Chang, J.G. Su, H.M. Hsu, S.C. Wong, T.Y. Huang, and Y.C. Sun, "Investigation of Dynamic Threshold-Voltage MOSFET with 65GHz Normal Mode f_T and 220GHz Over-Drive Mode f_T for RF Applications," Symp. on VLSI Technology, pp. 89-90, 2001.

[9] J.K. Lee, N.J. Choi, C.G. Yu, J.P. Colinge, and J.T. Park, "Temperature Dependence of Hot-Carrier Degradation in Silicon-on-Insulator Dynamic Threshold Voltage MOS Transistors," IEEE Electron Dev Letters, vol. 23, no. 11, pp. 673-675, 2002.

[10] S. H. Renn, J.L. Pelloie, and F. Balestra, Hot-Carrier Effects and Reliable Lifetime Prediction in Deep Submicron N- and P-Channel SOI MOSFET's, IEEE Trans. Electron Device, vol. 45, no. 11, pp. 2335-2342, 1998.

[11] C. C. Enz and Y. Cheng, "MOS Transistor Modeling for RF IC Design," IEEE Trans. Solid-State Circuits, vol. 35, no. 2, pp. 186-201, 2000.

- [12] Y. T. Yew, C.H. Ling, and D.S. Ang, "Observation of MOSFET Degradation Due to Electrical Stressing Through Gate-to-Drain Capacitance," IEEE Electron Device Letters, vol. 12, no. 7, pp. 366-368, 1991.
- [13] S. Naseh, M.J. Deen, and O. Marinov, "Effects of Hot-Carrier Stress on the RF Performance of 0.18 μm Technology NMOSFETs and Circuits," Proc. of International Reliability Physics Sym., pp. 98-104, 2002.
- [14] H. Fukui, "Optimal noise figure of microwave GaAs MESFETs," IEEE Trans. Electron Devices, vol. 26, no. 7, pp. 1032-1037, 1979.
- [15] T. Sowlati, D.M. Leenaerts, "A 2.4GHz 0.18 μm CMOS Self-Biased Cascade Power Amplifier," IEEE J. Solid-State Circuits, vol. 38, no. 8, pp. 1318-1324, 2000.
- [16] W. Li, Q. Li, J.S. Yuan, J. Mcconkey, Hot-carrier-Induced Circuit Degradation for 0.18 μm CMOS Technology," Quality Electronic Design Int. Symp. pp. 284-289, 2001.

 저 자 소 개



박 장 우(정회원)
 2003년 인천대학교
 전자공학과 학사 졸업.
 2003년 인천대학교
 전자공학과 석사 입학.
 2005년 인천대학교
 전자공학과 석사 졸업예정

<주관심분야 : RF-DEVICE 신뢰도 분석 & modeling>

이 병 진(정회원)
 전자공학회논문지 제35권 SD편 제11호 참조

유 종 근(정회원)
 전자공학회논문지 제40권 SD편 제10호 참조

박 종 태(정회원)
 전자공학회논문지 제40권 SD편 제10호 참조