

논문 2005-42TC-2-11

적응형 바이어스와 PBG를 이용한 전력증폭기 전력효율과 선형성 개선에 관한 연구

(Research on PAE and Linearity of Power Amplifier Using Adaptive Bias and PBG Structure)

조 성 희*, 서 철 현**

(Sunghee Cho and Chulhun Seo)

요 약

본 논문에서는 증폭기의 구동 전력을 조절하는 회로와 PBG 구조를 이용하여 전력 증폭기의 전력효율의 증가와 혼변조 왜곡 성분을 감소하게 하였다. 입력 RF 신호의 크기에 따라서 게이트의 DC 전압을 조절하였고, 전력 증폭기의 출력 정합회로에 PBG를 추가하였다. 본 논문에서 제안한 전력 증폭기의 경우 기존의 전력 증폭기와 비교 하였을 때 혼변조 왜곡성분은 3dBc 개선되었고, 평균 전력효율은 35.54% 개선되었다.

Abstract

In this paper, adaptive bias circuit and PBG structure have been employed to suppress IMD and improve PAE (Power Added Efficiency) of the power amplifier. It is controlling the gate "dc" bias voltage with the envelope of the input RF signal. and The PBG structure has been employed on the output port of power amplifier. The proposed power amplifier using adaptive bias circuit and PBG has been improved the IMD by 3 dBc, and the average PAE by 35.54 %, respectively.

Keywords : PBG, Envelope detector, PAE, IMD

I. 서 론

이동 통신 시스템 기술의 발전에 따라 통신시스템에서 대부분의 전력을 소모하는 전력 증폭기의 효율이 중요시 되고 있다. 하지만 현재의 사용중인 CDMA 방식에서와 같이 넓은 대역에서 많은 양의 정보를 전송하기 위해 multi-carrier 이용하기 때문에 선형성도 전력 증폭기의 중요한 설계 사양이 되었다. 선형성을 증가시키는 방법으로는 Feedforward 방식이나 Predistortion 방식처럼 구조적인 해결방법이 있다^[1]. 이러한 방법들은 최대 선형화 출력 전력 지점에서의 선형성을 개선시키

는데 초점이 맞추어 졌다. 하지만, 전력 증폭기에서 최대전력을 출력하도록 요구되는 시간이 전체 동작 시간 중 극히 일부분이므로 평균 작동 전력 효율은 나쁜 단점이 있다. 다른 방법으로, 최대 출력에서 2~3 dB 낮은 전력에서 class A 나 class AB 로 작동하도록 전력 증폭기를 설계 하도록 하는 것이다(Back-off 방식). 높은 선형성은 보장 되지만 효율이 크게 낮아지는 단점이 있다. 특히, CDMA처럼 첨두치 전력과 평균 전력의 차이가 큰 경우 첨두치 전력에서 back-off 시켜야 하므로 효율의 감소는 더 크게 된다.^[2]

전력 증폭기의 동작 전력 범위가 광대해짐에 따라서 최대 전력에서 효율 수치의 의미는 중요성이 줄어들고, 전체 전력 영역에서 유효한 효율 상승 방안이 중요시 되고 있다. 따라서, 저 전력 영역에서 효율을 증대하는 연구의 필요성 증대되고 있는 실정이다.

* 학생회원, ** 정회원, 송실대학교 정보통신공학부
(School of Electronic Engineering Soongsil University)

접수일자: 2005년1월25일, 수정완료일: 2005년2월12일

본 논문에서는 포락선 검파기를 이용하여 입력신호의 크기에 따라 게이트 전압을 조정하여 전력 효율을 개선시키고, PBG (Photonic Band Gap)구조는 광대역 저역통과 필터의 특성을 가지고 있다^[6-8]. 이 특성을 이용하여 전력 증폭기의 출력 정합회로에 추가시킴으로서 비선형 성분의 원인이 되는 고조파 성분을 제거하여 선형성을 증가시키는 방법을 구현하였다^[9-10].

II. 본 론

1. Adaptive bias control circuit 이론 및 설계
PAE(전력부가효율)은 다음 식과 같이 표현된다.

$$PAE = \frac{(RF\text{outputpower}) - (RF\text{inputpower})}{(V_{gs} * I_{gs}) + (V_{ds} * I_{ds})} \quad (1)$$

바이어스의 전압을 입력 RF 신호의 크기에 비례하여 조절하는 것이 PAE를 개선시키기 위한 방법이다.

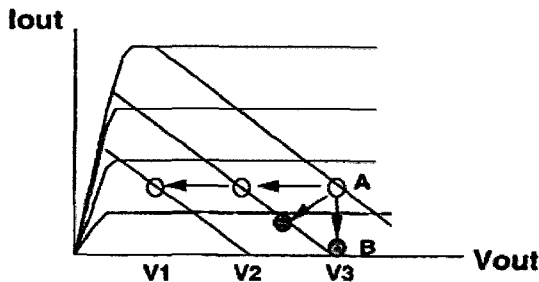


그림 1. RF 부하선과 적응형 DC-바이어스 점
Fig. 1. RF load line and Various DC-bias point.

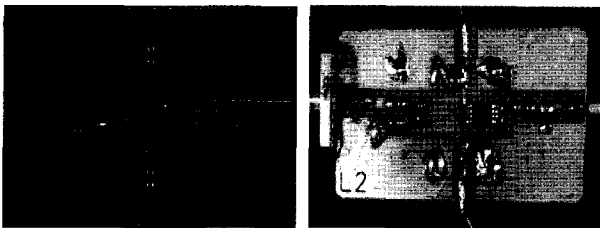


그림 2. AD8313을 이용한 포락선 검파기의 회로
Fig. 2. Envelope detector circuit using AD8313.

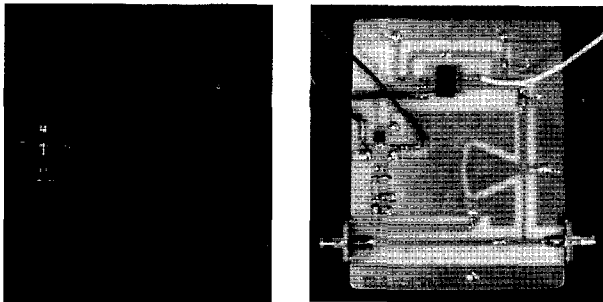


그림 3. 전체 적응형 바이어스 조절 회로
Fig. 3. Adaptive bias control circuit. 5.

전압을 조절하는 방법은 세 가지가 있다. [그림 1]에서 보는 것과 같이 드레인 전압 또는 게이트 전압을 조절하거나, 양쪽의 전압을 조절하는 방법이 있다^[5].

하지만, 실질적으로는 양쪽의 전압을 동시에 조절하기는 어렵기 때문에 보통은 드레인이나 게이트 전압중에 하나만 조절하는 방법을 많이 사용한다.

기존의 쇼트키 다이오드를 이용한 포락선 검파기를 많이 사용하는데 온도에 의한 비선형 성분이 강하게 발생한다는 단점이 있다. 특히 전력증폭기는 많은 열이 발생하므로 사용하기에는 적합하지 않다. 이에 선형성도 좋고, 온도변화에도 둔감한 장점이 있는 Analog Device 사의 AD8313을 이용한 포락선 검파기를 사용하였다.

포락선 검파기를 통해서 입력신호(RF)의 크기에 따라서 출력전압(DC)이 나오지만 0~2V사이의 값이 나오기 때문에 전력증폭기의 게이트 전압으로는 알맞지 않으므로 OP-Amp을 거쳐서 전압의 크기를 키워야 한다.

[그림 3]의 전체 회로에서 알 수 있듯이 방향성 결합기는 한 번 제작을 하면 튜닝이 거의 불가능하므로 π 형 감쇄기에서 포락선 검파기로 들어가는 RF신호의 크기를 조절할 수 있게 했으며, OP-Amp 회로의 저항을 가변 저항을 이용하여 포락선 검파기에서 나오는 DC 전압의 크기의 증폭률을 조절할 수 있게 하였다.

2. PBG 이론 및 설계

PBG 구조는 Bragg 격자 원리로부터 2Λ 에 해당하는 주파수를 중심으로 저지대역이 형성되는 것을 예상할 수 있다. 이러한 PBG 구조의 원리를 이용하여 원하는 부분에서의 저지대역 형성할수 있다. 격자의 주기 Λ 는

$$\Lambda = \lambda_g / 2 \quad (2)$$

여기서 λ_g 는 마이크로스트립 라인 구조에서 유효되는 전파의 파장으로 다음과 같이 유효 유전률과 원하는 저지대역의 중심주파수에 의해 구해진다.

$$\lambda_g(f) = \frac{v_p(f)}{f} = \frac{c}{f\sqrt{\mu_r \epsilon_{r,eff}(f)}} \quad (3)$$

여기서 f 는 원하는 저지대역의 중심 주파수를 $\epsilon_{r,eff}(f)$ 는 마이크로스트립 구조에서 저지대역의 중심 주파수가 갖는 유효 굴절률을 말한다.

PBG 설계를 위하여 시뮬레이션 툴로 Ansoft사의 HFSS8.0를 사용하였으며, 유전율 3.2를 갖는 테프론기

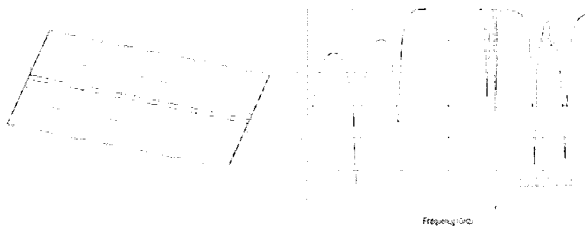


그림 4. HFSS를 이용한 PBG 모양과 S-parameter 특성
Fig. 4. PBG structure using HFSS and characteristic of S-parameter.

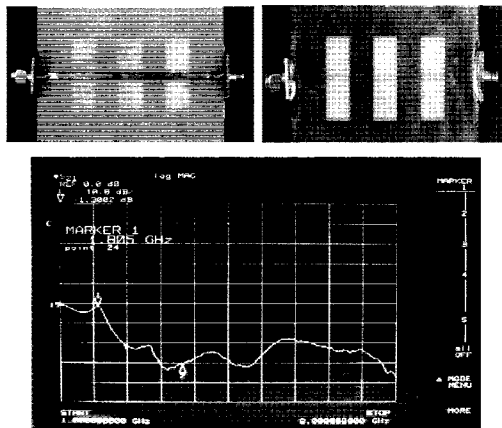


그림 5. 실제 제작한 PBG 모양과 측정
Fig. 5. Manufacture of PBG and measurement.

판을 사용하여 제작하였다.

중심 주파수인 1.8GHz 에서의 신호의 감쇠가 최소가 되도록 설계하여 $S_{21} = -0.377$ dB, 2차 고조파 대역인 3.6GHz 에서는 $S_{21} = -28.2$ dB가 되도록 만들어서 고조파 성분의 감쇠가 많이 되도록 만들었다.

PBG의 주기 Λ 를 고정시킨 채 폭 W 를 증가시키에 따라 저지대역이 낮은 주파수로 이동하며 저지특성 또한 향상됨을 알 수 있다. 그러나 폭을 지나치게 증가시키면 통과대역의 리플이 증가하고 손실이 발생할 수 있으므로 이에 주의하여 설계하여야 한다. 또한 증폭기가 사용하고자 하는 대역폭이 PBG의 통과 대역에 비하여 리플을 무시할 수 있을 정도로 작기 때문에 큰 문제가 되지는 않으나 S_{11} 특성이 좋은 곳에 증폭기의 대역이 위치하도록 PBG를 설계하는 것이 바람직하다. 전력 증폭기의 출력단에 연결될 PBG는 전체 회로의 크기에 미치는 영향을 작게 하기위해 크기를 작게 하고, PBG개수를 적게 하여 그 성능이 열악하다 할 수 있다. 하지만 PBG 개수를 늘리면 성능 향상을 기대할 수 있다.

3. Load-Pull Power Amplifier 설계

전력 증폭기용 소자로는 Motorola사 MRF281ZR1의 1.8GHz대역의 트랜지스터를 사용하였고, 전력증폭기 설

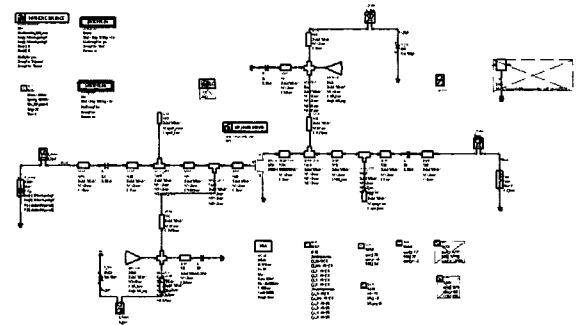


그림 6. 1.8GHz 전력증폭기 Load-Pull 전체 회로
Fig. 6. Schematic of 1.8GHz Load-pull power amplifier.

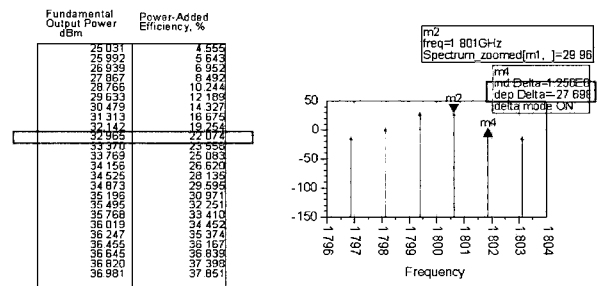


그림 7. 1.8GHz 전력증폭기 로드풀 전체 회로의 결과
Fig. 7. Output characteristic of 1.8GHz power amplifier.

계를 위하여 ADS2003A 시뮬레이션 툴을 사용하였다.

1.8GHz 전력 증폭기 설계는 최대 출력을 얻기위해서 Load-Pull 정합기법을 사용하여 최대 선형구간을 시뮬레이션하여 설계하였다.

1.8GHz 중심 주파수에서 MRF281SR/ZR1의 DC 바이어스의 조건은 $V_{ds} = 26$ V, $I_{ds} = 250$ mA의 동작점에서 시뮬레이션 및 설계를 하였다.

또한 1dB-Compression 시뮬레이션을 통해서 최대 입력 크기인 입력 P1_dB값이 19 dBm이라는 것을 알게 되었다. 이때의 입력크기에 따른 최대 출력크기를 얻기 위해서 Load-Pull 시뮬레이션을 통해서 최대 전력 임피던스점을 얻었다. 이후의 설계 과정에서는 먼저 PBG가 없는 일반적인 스트립 라인을 이용한 정합회로의 구현을 하였고, 정합회로 구현시 PBG구조를 출력 정합회로에 추가하여 IMD의 개선 여부를 확인하였다.

전체 시뮬레이션 되어진 로드풀 전력 증폭기의 회로도은 [그림 6]이며, [그림 7]은 결과 값이다.

설계된 증폭기의 전력 이득은 13.965 dB이며, 전력 효율은 22.074 % 가 나왔다. 또한, 선형성 판단의 기준이 되는 IMD는 27.698 dBc가 나왔다.

4. 전력증폭기 제작 및 측정

[그림 8]은 로드풀 시뮬레이션을 통해 설계한 전력

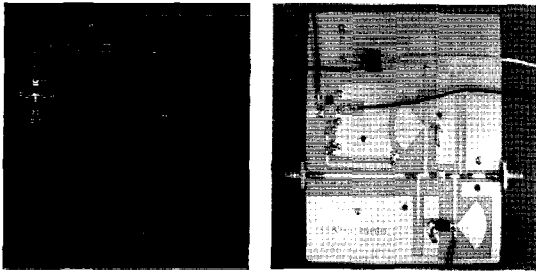


그림 8. 적응형 바이어스 회로가 추가된 전력증폭기의 레이아웃과 실제 제작된 회로

Fig. 8. Layout of power amplifier with Adaptive bias circuit and manufacture of schematic.

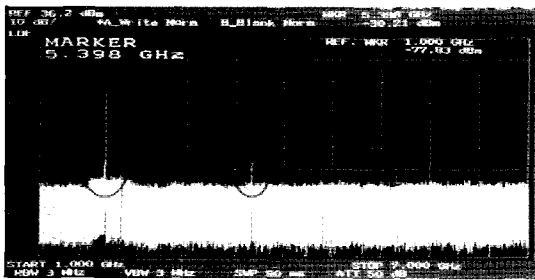


그림 9. 적응형 바이어스 회로가 추가된 전력증폭기 고조파 성분

Fig. 9. Harmonics of power amplifier with adaptive bias.

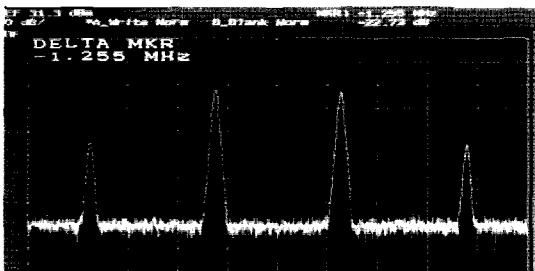


그림 10. 적응형 바이어스 회로가 추가된 전력증폭기 IMD 성분

Fig. 10. IMD of power amplifier with adaptive bias.

증폭기의 입력부분에 적응형 바이어스 회로를 더하여 증폭기의 입력신호에 따라 V_{gs} 의 크기를 자동적으로 변화하게 하였다.

[그림 9]는 입력 신호가 1톤일 경우에 스펙트럼 분석기로 측정된 것으로 입력 신호를 20 dBm으로 했을때 출력 전력은 중심 주파수에서는 35.56 dBm, 2차 고조파 (3.6GHz)에서는 -21.29 dBm, 3차 고조파(5.4GHz)에서는 -30.21 dBm 이 측정 되었다.

[그림 10]은 입력 신호가 2톤일 경우에 스펙트럼 분석기로 측정된 것으로 입력 신호를 1800.625MHz와 1799.325MHz의 주파수에서 17 dBm으로 했을때, 출력 신호의 크기는 29.6 dBm, 3rd IMD는 -22.73 dBc로 측정 되었다.

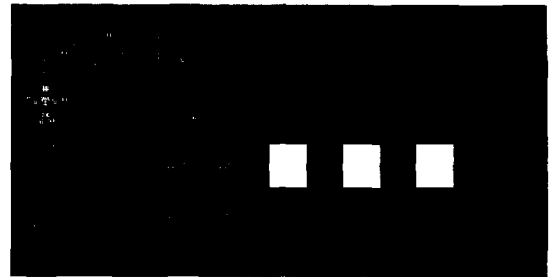


그림 11. 적응형 바이어스 회로와 PBG가 추가된 전력증폭기의 레이아웃

Fig. 11. Layout of power amplifier with Adaptive bias circuit and PBG.

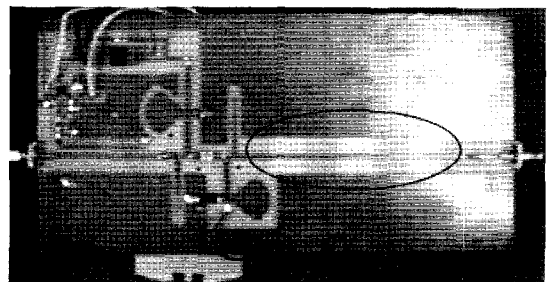


그림 12. 적응형 바이어스 회로와 PBG가 추가된 전력증폭기의 실제 제작된 모습

Fig. 12. Manufacture of power amplifier with Adaptive bias circuit and PBG.

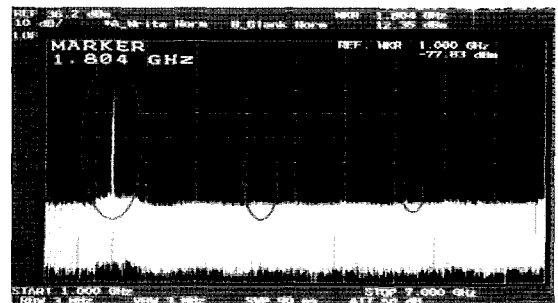


그림 13. 적응형 바이어스회로와 PBG가 추가된 전력증폭기 고조파 성분

Fig. 13. Harmonics of power amplifier with adaptive bias and PBG.

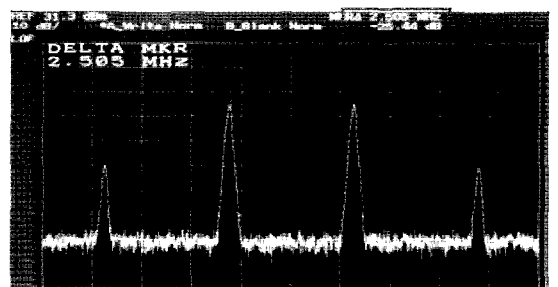


그림 14. 적응형 바이어스 회로와 PBG가 추가된 전력증폭기 IMD 성분

Fig. 14. IMD of power amplifier with adaptive bias and PBG.

적응형 바이어스 회로의 출력단에 광대역 저역 여파기 역할을 하는 PBG를 추가하므로 3rd IMD를 개선시키고자 했다.

[그림 13]은 입력 신호가 1톤일 경우, 입력 신호를 20 dBm으로 했을때 출력 전력은 중심 주파수에서는 32.35 dBm, 2차 고조파에서는 -41.5 dBm, 3차 고조파에서는 -50.16 dBm이 측정 되었다.

[그림 14]는 입력 신호가 2tone일 경우에 스펙트럼 분석기로 측정된 것으로 입력 신호를 1800.625MHz와 1799.325MHz의 주파수에서 17 dBm으로 했을때, 출력 신호의 크기는 29.35 dBm, 3rd IMD는 -25.44 dBc로 측정 되었다.

5. 전력증폭기 측정결과 비교 및 분석

전력효율은 (1)식에서 표현한다.

위 식에서 V_{gs} 를 조절하면 증폭기의 특성상 I_{ds} 가 변화 된다.

[그림 15]에서 볼 수 있듯이 적응형 바이어스 회로를 추가한 전력증폭기의 경우 입력 신호의 크기가 적을수

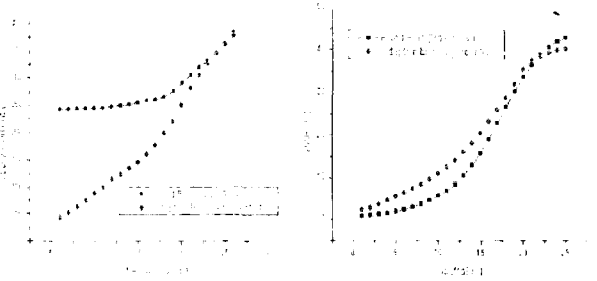


그림 15. 고정 바이어스와 적응형 바이어스의 I_{ds} 와 전력효율(PAE) 비교

Fig. 15. I_{ds} and PAE of Fixed Bias와 Adaptive Bias.

표 1. 적응형 바이어스 조절 회로의 有·無에 따른 평균 전력효율 비교

Table 1. Average PAE of power amplifier. not used adaptive bias.

	Power Amplifier (η_F)	Adaptive Bias Amplifier(η_A)
평균 전력효율(η)	10.55 %	14.30 %

표 2. PBG의 有·無에 따른 선형성(IMD) 비교

Table 2. IMD of power amplifier. not used PBG.

선형성(IMD)	Amplifier(PBG:無)	Amplifier (PBG:有)
입력: P_1 dB (20dBm)	22.73 dBc	25.44 dBc

록 소비되는 DC 전류가 적어지는 것을 알 수 있다. 또한, 전력 효율의 값도 DC 전류값의 변화에 따라 증가하는 것을 알 수 있다.

평균 전력 효율(입력 범위: 1~20dBm)의 개선 정도는 $(\eta_A - \eta_F)/\eta_F = 35.54\%$ 이면, 특히, 저 전력 영역인 5~15dBm에서의 개선 정도는 50% 정도이다.

IMD 값을 보면 알 수 있듯이 PBG를 적응형 바이어스 증폭기에 적용 하므로 최대 입력레벨에서 IMD특성이 2.7dBc 개선 될 수 있음을 보였다.

III. 결 론

본 논문은 전력 효율을 증대시키는 방법으로 적응형 바이어스를 조절하는 방식으로 입력신호의 크기에 따라서 입력 전압을 조절하여 증폭기의 구동 전력을 조절하는 방식과 전력 증폭기의 출력부에 광대역 저대역 여파기의 역할을 하는 PBG (Photonic Band Gap)을 추가함으로써 선형성을 개선시키는 구조를 제안 하였다.

본 논문에서 제안한 구조로 증폭기를 설계하여 측정 한 결과 기존의 고정 바이어스 전력증폭기보다 평균 전력 효율은 35.54 % 개선되었다. 그리고 IMD는 2.7dBc 개선됨을 알 수 있었다.

참 고 문 헌

- [1] P. B. Kenington, "High-linearity RF amplifier design," Artech House, 2000.
- [2] 박현민, 김덕환, 홍성철 "휴대 단말기용 전력 증폭기 기술," 대한전자공학회지 29권 9호, pp. 31-38, Sep. 2002.
- [3] M. Iwamoto, "An extended Doherty amplifier with high efficiency over a wide power range," *IEEE Trans. Microwave Theory Tech.*, vol. 49, pp. 2472-2479, Dec. 2001.
- [4] J. Staudinger, "Applying switched gain stage concepts to improve efficiency and linearity for mobile CDMA power amplification," *Microwave Journal*, pp. 152-162, Sep. 2000.
- [5] G. Hanington, " High-Efficiency Power Amplifier Using Dynamic Power-Supply Voltage for CDMA Applications," *IEEE Trans. Microwave Theory Tech.*, vol. 47, pp. 1471-1476, Aug. 1999.
- [6] T.S. Kim, and C. H. Seo, " A Novel Photonic Bandgap Structure for Lowpass Filter of Wide Stopband," *IEEE Microwave Guided Wave Lett.*, January, 2000.
- [7] I. Rumsey, P. M. Melinda and P. K. Kelly,

- "Photonic Bandgap Structures Used as Filter in Microstrip Circuits," *IEEE Microwave Guided Wave Lett.*, vol.8, pp. 336-338, 1998.
- [8] C. Y. Hang, "High Efficiency Power Amplifier With Novel PBG Ground Plane For Harmonic Tuning," *IEEE Int'l, Symp.*, vol.2, pp.807-810, 1999.
- [9] 전익태, 서철현, "PBG 구조를 이용한 Dual Band 전력증폭기 연구," *한국 전자파 학회*, 2004춘계전자파학회지, pp. 35-38, May, 2004.
- [10] S. C. Cripps, "*RF Power Amplifiers for Wireless Communications*," Artech House, 1999.

 저 자 소 개



조 성 희(학생회원)
 2003년 숭실대학교 정보통신
 전자공학부 졸업.(공학사)
 2003년 3월~숭실대학교 정보
 통신공학과 석사과정
 <주관심분야: 초고주파 회로설
 계, RF 부품 개발>

서 철 현(정회원)

대한전자공학회논문지 vol. 31, no. 6 참조