

# 새로운 구조의 나노급 ESD 보호소자 설계 및 제작에 관한 연구

## A Study on the Novel SCR NANO ESD Protection Device Design and fabrication

김 귀 동\*, 이 조 운\*\*, 박 상 조\*\*\*, 이 윤 식\*\*\*, 구 용 서\*\*

Kui-Dong Kim\*, Jo-Woon Lee\*\*, Sang-Jo Park\*\*\*, Yoon-Sik Lee\*\*\*, Yong-Seo Koo\*\*

### 요 약

본 연구에서는 보다 낮은 트리거 전압을 갖는 새로운 구조의 LVTSCR과 Triple-well SCR ESD 보호회로를 제안 및 설계하여 나노급 회로에 적용하고자 하였다. 제안된 LVTSCR은 약 9V, 약 7mA의 트리거 전압과 전류 및 약 7mA의 홀딩전압 특성을 가지며, 0.8KV(150mA/um) 정도의 ESD 감내 특성을 나타낸다. 한편 Triple-well SCR은 6V, 40mA의 트리거 전압을 가지며, substrate 및 gate 바이어스에 의해 트리거 전압이 4~5.5V 까지 감소하였다.

### Abstract

This paper presents the new structural Low voltage LVTSCR and TWSCR ESD protection circuit. The proposed ESD protection circuit has lower triggering voltage than conventional circuits. And the LVTSCR has the triggering voltage of 9V, current of 7mA and can pass below 0.8KV (150mA/um). The triggering voltage of the Triple-well SCR measured to 6V and the current is 40mA. By the substrate and gate bias, the triggering voltage is lowered down to 4~5.5V.

Key Words : ESD, yield(수율), LVTSCR, TWSCR, trigger voltage

## 1. 서 론

전자부품 및 전자제품들의 생산과정이나 사용 중에 발생하는 정전기가 매우 짧은 시간에 순간적으로 방전되어 집적회로 칩 내부의 소자를 파괴하는 정전기 방전(ESD : Electro-Static Discharge) 현상은 집적회로 설계분야에 있어 매우 중요한 고려 대상이 되고 있다 [1].

또한 현재 반도체 제조 공정기술이 Sub-Micron급

에서 Deep Sub-Micron(DSM)급으로 발전함에 따라 gate oxide 두께의 감소 및 반도체 칩의 소형화가 이루어지면서, 이러한 칩에 인가될 수 있는 ESD 펄스

한국전자통신연구원(Electronics and Telecommunications Research Institute)

서경대학교 전자공학과(Dep. of. EE, SeoKyeong Univ.)

호서대학교 컴퓨터공학부(School of Computer Science and Eng., HoSeo Univ.)

接受日:2005年 10月 18日, 修正完了日: 2005年 12月 17日

의 전기적 level이 수 kV, 수 A 정도로 매우 크기 때문에 ESD에 의한 소자 파괴 현상은 더욱 심각해지고 있다. 즉 Deep Sub-Micron 기술을 기반으로 고속 동작하는 반도체 칩에서 ESD 현상은 내부회로소자의 파괴 및 칩의 동작과 수율(yield)에 매우 큰 Damage를 주는 요인이 된다 [2]. 따라서 본 연구에서는 ESD 보호회로를 구현하기 위한 방법으로 SCR 구조를 채택하였으며, LVTSCR과 Triple-Well SCR 구조의 새로운 ESD 보호소자 고안과 보호회로 설계 및 제작을 통하여 그 신뢰성을 확인하고 나노소자기반 반도체 칩에 적용하고자 한다.

첫째로, 제안된 LVTSCR은 기존의 것이 ggNMOS의 gate length로 lateral npn의 base 영역을 줄임으로써 triggering voltage를 낮출 수 있는 scheme임에 착안하여 [3], lateral pnp의 base 영역 길이 또한 SCR의 triggering voltage에 큰 영향을 미친다고 사료되어, 이를 0.4 $\mu$ m ~ 4 $\mu$ m로 변화하여 그에 따른 triggering voltage를 도출하였다.

둘째로, 본 연구에서는 Triple-well CMOS process를 이용하여 새로운 구조의 Triple-well SCR ESD 보호소자를 고안하였다. 이는 p-sub 기판에 단순히 n-well과 p-well 공정을 하는 것이 아니라 추가적인 Deep n-well 공정을 추가함으로써 구현될 수 있다. 이러한 공정상의 지원은 회로구현에 있어 많은 유용성과 확장성을 제공할 수 있으며, 이를 ESD 보호회로에 적용하면 고성능의 보호소자를 제작할 수 있게 된다. 또한 ggNMOS triggered SCR 구조를 형성하여 보호소자의 보다 낮은 triggering voltage를 유도하였다.

## II. SCR

### 2.1 SCR의 특성

사이리스터로 널리 알려진 SCR은 high impedance 상태에서 low impedance 상태로 바뀌는 성질을 가지고 있기 때문에 파워 소자 응용분야에 쓰이고 있다. 이와 같은 특성을 이용하여 적은 면적의 소모로 원하는 ESD 보호능력을 얻을 수 있으며, 적은 면적을 가지고 있기 때문에 ESD 보호회로의 parasitic capacitance 성분을 최소화하여, RF 및 아날로그 회로에 널리 적용할 수 있다. 그러므로 SCR 구조의 보호소자는 ggNMOS 보다 훨씬 큰 ESD protection 능력을 가지고 있으며, 다시 말해서 robustness-effective 한 보호소자라 할 수 있다. 이렇듯 SCR을 나노 회로에 ESD 보호소자로 적용하면 많은 이점을 얻을 수 있으나, conventional한 SCR의 경우

Triggering voltage가 약 20V 정도로 매우 높아 ESD 보호회로에 적용이 어려운 큰 단점이 있다. 따라서 이러한 Triggering voltage를 낮추려는 노력이 계속되고 있다.

### 2.2 SCR의 동작원리

그림 1은 간단한 lateral SCR 구조를 나타내고 있으며, PNP 구조를 가지고 있다. n-well 영역에 존재하는 SCR의 P+ 확산영역은 anode를 형성하고, p-well 안의 n+ 확산영역은 SCR의 cathode를 형성하고 있다. 또한 n-well은 n+ 확산영역을 통해 연결되며, p-well은 p+ 확산영역을 통해 연결되어 있다. 이러한 SCR은 두 개의 바이폴라가 연결되어 있는 구조라 할 수 있다. 즉, pnp 트랜지스터의 emitter는 SCR의 anode, base는 n-well, 그리고 collector는 p-well로 구성되며, npn 트랜지스터의 emitter는 cathode, base는 p-well, 그리고 collector는 n-well로 구성되어 있다.

여기에서 n-well은 고정된 전압인  $V_c$ 가 인가되며, cathode 영역과 p-well 영역은 ground에 연결되고, anode 영역에는 전압  $V$ 가 인가되어 있다. 따라서 anode voltage의 변화에 따른 SCR 특성 곡선을 그림 2에 나타내었으며, 동작 원리는 다음과 같다. Anode 전압이  $V_c$  보다 커지게 되면 pnp 트랜지스터의 emitter-base 접합이 순방향 바이어스 상태가 되고, pnp가 turn on 된다. pnp를 통해 흐르는 전류는 p-well로 흐르게 되며, 이 전류에 의해 npn 트랜지스터의 emitter-base 접합이 순방향 바이어스 상태로 바뀌어서 turn-on이 된다. n-well에서 cathode로 흐르는 npn 트랜지스터의 전류는 pnp 트랜지스터에 forward bias를 잡아주고, 이를 통해 pnp에 더 이상 bias를 잡아 줄 필요가 없게 되어 Anode 전압은 최소로 감소하게 되는데 이를 holding voltage라 한다. 이러한 holding voltage는 lateral npn과 pnp의 순방향 바이어스를 잡아주는데 필요한 pnp 트랜지스터의 전류에 의해 결정된다.

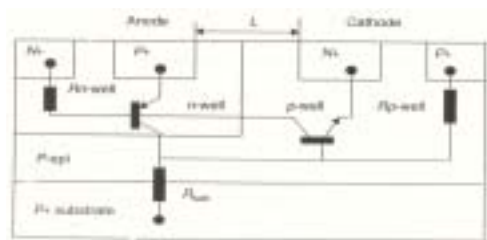


그림 1. 기본적인 Lateral SCR 단면도  
Fig. 1. The Device Structure of Conventional

Lateral SCR

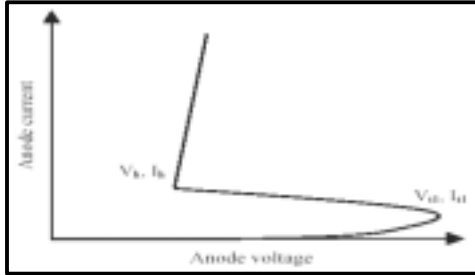


그림 2. 기본적인 Lateral SCR의 I-V 특성  
Fig. 2. The I-V Curve of Conventional Lateral SCR

두개의 단자를 가지고 있는 SCR은 그림 3의 회로로 간략화 될 수 있다. 여기에서 Rn-well과 Rp-well은 n-well과 p-well의 저항 값이며, 이들은 각각 npn과 npn에 바이어스를 제공한다. SCR이 latch 모드에 있을 때 상태 유지를 위해서는 식(1)과 같은 조건을 만족해야 한다.

$$\beta_{npn} \cdot \beta_{pnp} \geq 1 \tag{1}$$

$\beta_{npn}$  과  $\beta_{pnp}$  는 npn과 pnp의 전류이득이다.

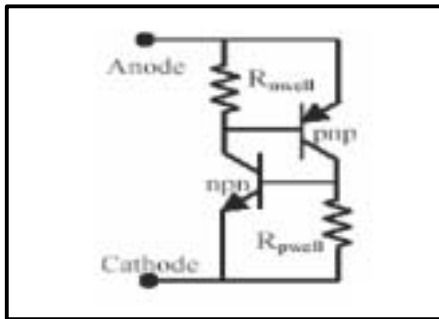


그림 3. SCR 등가회로  
Fig. 3. SCR Circuit Schematic

SCR에서 중요한 두 개의 parameter는  $I_{trig}$ 와  $V_h$ 를 들 수 있고,  $I_{trig}$ 는 p-well의 저항에 의해 결정되며, p-well의 저항은 epi의 두께와 농도로 결정된다.  $V_h$ 는 L값과 n-well의 저항에 의해 큰 영향을 받고 일반적으로 Advanced CMOS 공정에서는 2~5V 정도의 값을 갖는다.

ESD 보호회로로 쓰일 때 SCR은 n-well 안쪽에 위치한 p+와 n-well이 anode를 형성하고, p-well 영역에 있는 n+와 p-well이 Cathode를 형성, 두 단자 소자로 쓰인다. 이렇게 구성된 SCR이 trigger하기 위해서는 n-well 과 p-well의 junction에서 avalanche Breakdown이 필요하다. 즉 SCR의 triggering voltage는 n-well과 p-well의 breakdown voltage로 정의되며, 이는 Advanced CMOS 공정에서 약 20V 정도를 가지고 있다.

### III. 새로운 구조의 LVTSCR

앞서 설명하였듯이 SCR은 triggering voltage가 매우 높은 이유로 ESD 보호회로에 적용이 어려운 단점이 있다. 따라서 본 연구에서는 낮은 triggering voltage를 갖는 LVTSCR(Low Voltage Triggered SCR)을 설계하여 ESD 보호회로에 적용코자 하였다.

#### 3.1 LVTSCR의 구성

LVTSCR은 ggNMOS 구조를 SCR에 삽입한 구조로 gate를 형성한 후 n-well과 p-sub 사이에 n+ 영역이 형성된다. 이 구조는 lateral npn의 base width를 gate의 channel 폭으로 최소화함으로써 전류이득을 높여 낮은 Triggering voltage를 유도하게 되며, 그 구조는 그림 4에 나타내었다.

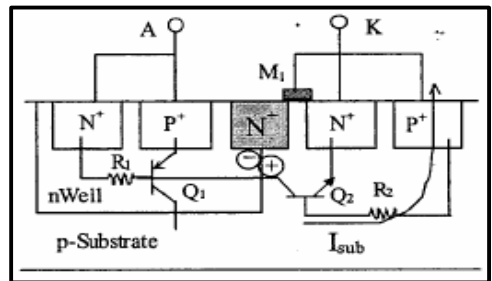
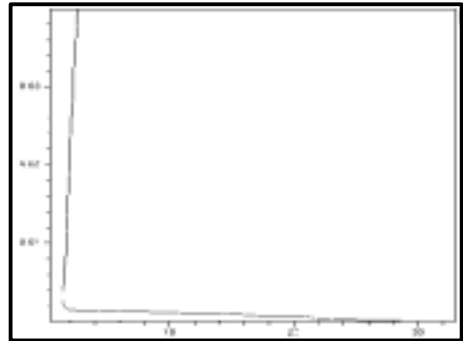
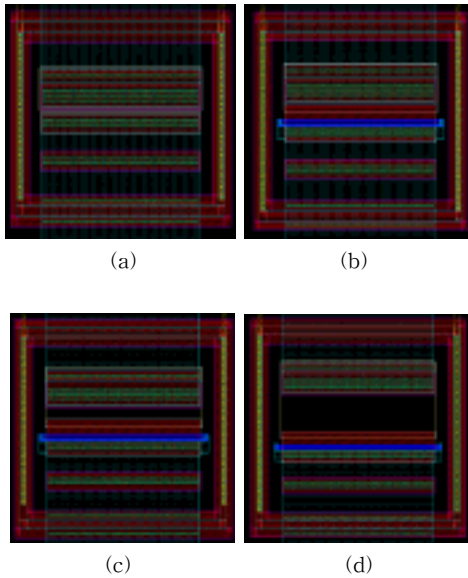


그림 4. LVTSCR의 단면도  
Fig. 4. The device structure of LVTSCR

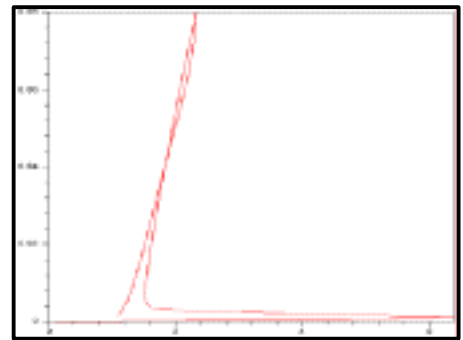
본 연구에서는 SCR의 critical parameter로 작용하는 L (n-well 영역의 p+ edge 부분부터 gNMOS의 source 영역까지의 거리)값의 변화에 따른 영향을 알아보기 위해, n-well과 p-sub 사이에 삽입된 n+와 n-well 안의 p+의 간격(lateral npn의 base width)을 0.4um, 1.5um, 4um로 변화하여 시뮬레이션을 수행하고, 그에 따른 triggering voltage의 변화를 확인하였다.

3.2 제안된 LVTSCR의 시뮬레이션

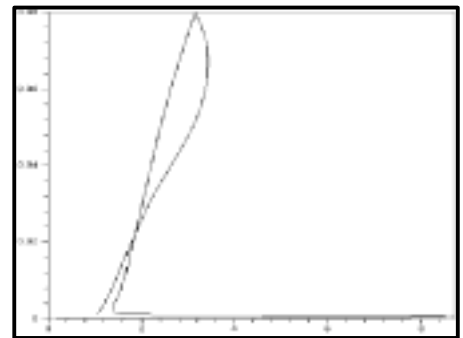
본 연구에서 LVTSCR의 ggNMOS gate length는 0.33um로 설정하였으며, 시뮬레이션은 lateral pnp의 base 폭을 0.4um, 1.5um, 4um로 변화시켜가며 수행하였다. 또한 conventional한 SCR의 설계 및 시뮬레이션을 통하여 제안된 LVTSCR과의 비교대상으로 삼았다.



(a)



(b)



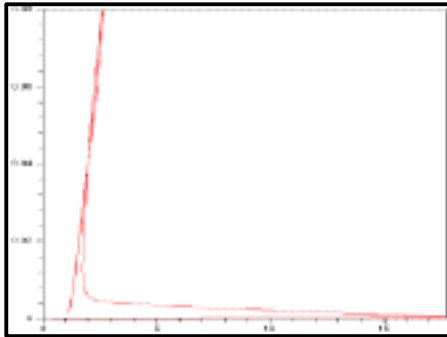
(c)

그림 5. Conventional SCR과 LVTSCR의 레이아웃

Fig. 5. The Layout of

- (a) the conventional SCR
- (b) the lateral pnp base width=0.4um LVTSCR
- (c) the lateral pnp base width=1.5um LVTSCR
- (d) the lateral pnp base width=4.0um LVTSCR

그림 5는 conventional SCR과 lateral pnp base width를 변화시킨 Layout 도면의 완성된 모습이다. 여기에서 LVTSCR의 lateral pnp base width의 변화를 눈으로 확인 할 수 있으며, 이를 바탕으로 TCAD tool을 통해 시뮬레이션을 수행하였다.



(d)

그림 6. Conventional SCR과 LVTSCR의 I-V 특성 곡선

Fig. 6. The I-V Curve of (a) the Conventional SCR

- (b) the lateral pnp base width=0.4um LVTSCR
- (c) the lateral pnp base width=1.5um LVTSCR
- (d) the lateral pnp base width=4.0um LVTSCR

그림 6은 conventional SCR과 3가지 LVTSCR의 I-V Curve 시뮬레이션 결과이다. 그림 6(a)에서 보듯이 conventional SCR의 Triggering voltage는 약 30V 정도로 매우 높음을 알 수 있으며, 그림 6(b)~(d)를 통하여 lateral pnp base width가 0.4um, 1.5um, 4.0um로 길어질수록 triggering voltage 또한 6V, 8V, 17V의 큰 폭으로 높아짐을 확인 할 수 있다. 이러한 현상은 base width가 증가함에 따라 lateral pnp의 전류이득이 감소하기 때문에 발생한다. 즉 전류이득이 avalanche breakdown이 일어난 후 증식 계수인 M factor와 비례관계를 가지고 있기 때문이다.

### 3.3 제안된 LVTSCR의 ESD 보호특성

LVTSCR은 그림 7과 같이 pnpn SCR 구조의 primary ESD 보호 단과 보호 저항, 그리고 secondary 보호 단으로 구성되어 있다. 이는 ESD 펄스가 인가 될 시 SCR 보다 낮은 trigger voltage를 갖는 ggNMOS가 트리거 동작을 하게 되고, 즉 ESD 보호회로의 트리거 전압으로 작용한다. 이를 확인하기 위해 Curve tracer를 이용하여 48um의 소자 폭을 갖는 LVTSCR의 I-V Curve를 측정하였으며, Triggering voltage와 current는 약 9V, 7mA 정도로 측정되었다. 이는 그림 8에 나타내었다.

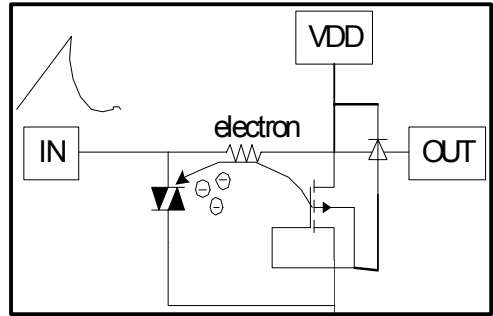


그림 7. LVTSCR 구조의 ESD 보호회로

Fig. 7. The ESD Protection Design with LVTSCR Device.

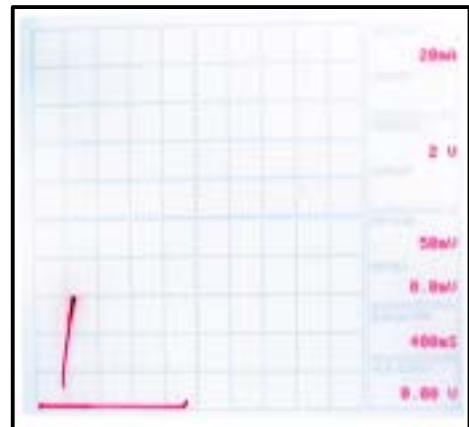
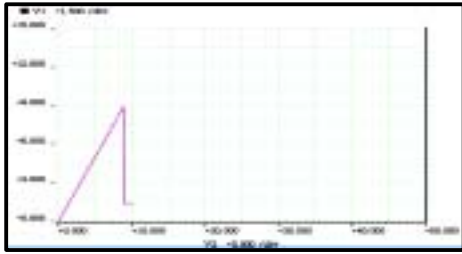


그림 8. LVTSCR의 I-V 특성곡선

Fig. 8. I-V Curve of LVTSCR

LVTSCR의 ESD 감내 특성은 ESD 파형이 인가되기 전 DC 특성과 ESD 파형이 인가되었을 경우의 DC 특성을 비교하여, ESD에 의한 파괴 여부를 감지하였다.

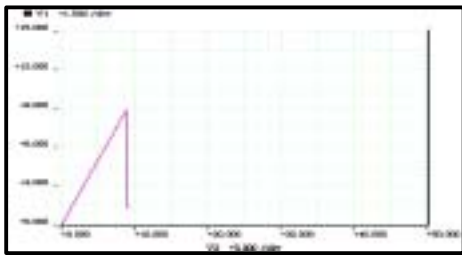
그림 9(a)에 ESD 파형이 인가되기 전의 DC 특성을 보여주고 있다. 측정을 통해 트리거 동작 후 2V 정도로 스넵백 동작을 하는 것을 알 수 있다. 또한 그림 9(b)~(f)에 .02KV 간격으로 0.4KV에서 1.2KV까지 ESD 파형을 인가하였을 때의 DC 측정 결과를 나타내었다.



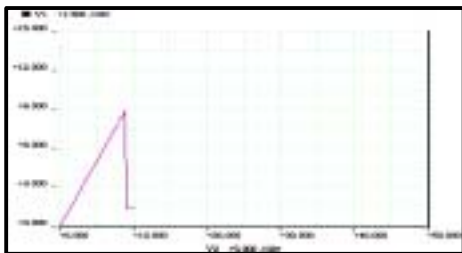
(a)



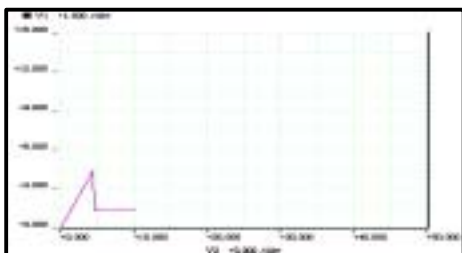
(b)



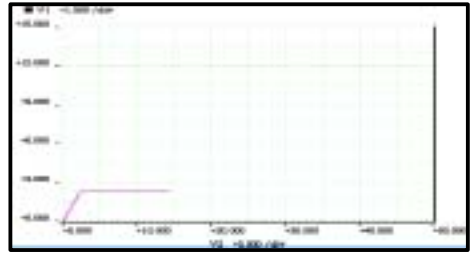
(c)



(d)



(e)



(f)

그림 9. DC 특성

Fig. 9. DC Characteristic with

- (a) no ESD Pulse
- (b) ESD Pulse of 0.4KV
- (c) ESD Pulse of 0.6KV
- (d) ESD Pulse of 0.8KV
- (e) ESD Pulse of 1.0KV
- (f) ESD Pulse of 1.2KV

이러한 측정 결과를 통해 LVTSCR의 경우 IEC-1000-4-2 규격의 0.8KV 정도의 ESD를 감내할 수 있다는 것을 알 수 있다. 또한 48um의 폭을 가지고 있음을 고려하여 단위 폭 당 흐르는 전류를 계산하면 62.5mA/um 이상의 높은 전류 구동능력을 갖고 있음을 확인 할 수 있다. Triggering voltage가 9V 정도로 예상보다 높게 나왔지만, ESD 펄스가 인가될 때 트리거 동작까지 걸리는 시간이 ns 단위로 짧고, 트리거링 이후에는 일정하게 입력 단에 스냅백 전압이 인가된다는 점을 감안하면, effective한 ESD 보호소자의 특성을 지니고 있다고 말할 수 있다.

표 1. LVTSCR의 ESD 보호 특성

Table. 1. ESD Protection Property of LVTSCR

소자 폭	48 um
트리거 전압, 전류	9V, 7mA
전류 구동 능력	62.5 mA/um
ESD 보호 능력	0.8KV (IEC-1000-4-2)

#### IV. Triple-well 구조의 새로운 TWSCR

##### 4.1 TWSCR의 구성

Triple-well SCR은 p-sub위에 Deep n-well이 형성되고, 그 안에 p-well과 n-well의 twin-well이 define되고 이 영역에 LVTSCR 구조와 같은 공정으로서 ggNMOS triggered SCR이 형성되게 된다. 이 경우

n-well 쪽의 n+와 p+는 Anode로서 pad에 연결되고, p-well 영역의 triggered device인 NMOS의 source 영역과 SCR의 Cathode인 n+ 영역이 ground로 연결되어 ESD path를 제공한다.

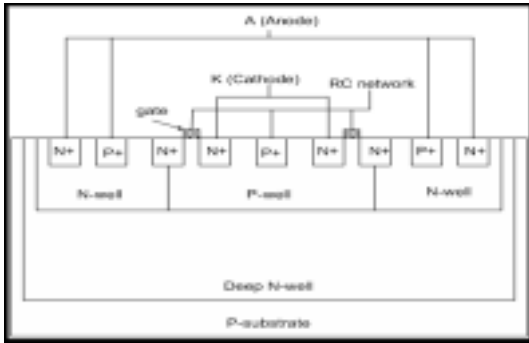


그림 10. TWSCR의 단면도  
Fig. 10. The Device Structure of TWSCR

일반적으로 ESD 보호 소자에 적용되는 ggNMOS의 경우 substrate의 forward biasing이 기판 포텐셜을 증가시킴으로써, 스넵백이 일어나는 전압인  $V_{t1}$ 을 낮추는 것으로 알려져 있다. 그러나 이러한 substrate biasing은 common substrate의 일반적인 구조에서는 사용하기 어렵다. 반면 제한되어진 triple-well을 사용하면, 구조적으로 Deep n-well로 인해 triggering Device인 ggNMOS의 substrate에 해당하는 p-well 영역에 직접적인 biasing을 해주는 것이 가능하게 되어, LVTSCR보다 더욱 낮은 전압에서 triggering 하는 것이 가능하게 된다. 또한 p-well과 gate단에 RC coupling network을 연결하여 더욱 effective한 ESD 보호회로를 구현할 수 있다.

4.2 제안된 TWSCR의 시뮬레이션

TWSCR의 두 ggNMOS gate length는 0.33 $\mu$ m로 설정하였으며, bias가 인가되지 않은 상태와 gate 및 p-well에 각각 1V의 bias를 인가한 상태에서 시뮬레이션을 수행하여 I-V Curve를 측정하였다. 그 결과 그림 12에서 보는 바와 같이 bias가 인가되지 않은 상태에서 triggering voltage는 약 6.5V 정도에서 triggered 되며, gate와 p-well에 각각 1V의 bias 인가 시에는 2.5V 정도 낮은 4V에서 trigger 동작함을 확인하였다.

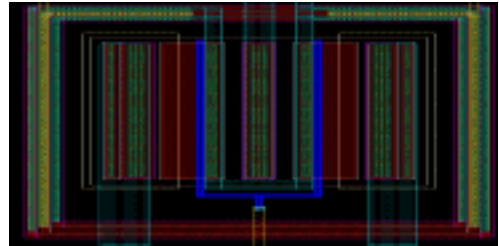
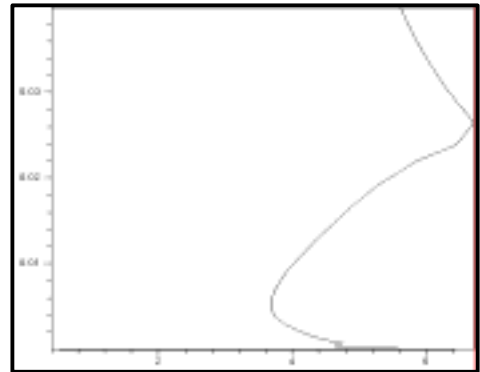
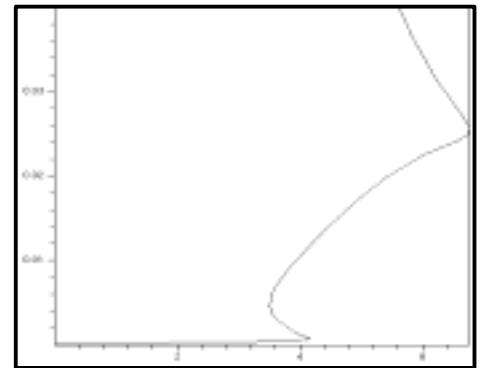


그림 11. TWSCR의 레이아웃  
Fig. 11. The Layout of TWSCR



(a)



(b)

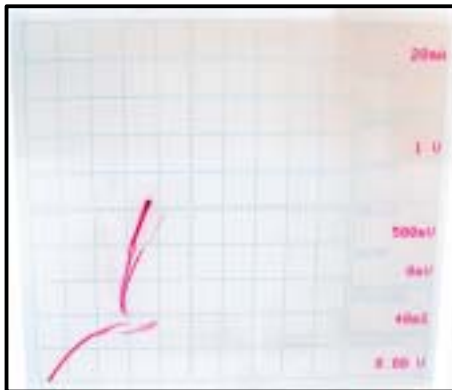
그림 12. TWSCR의 I-V 특성 곡선

Fig. 12. The I-V Curve with  
(a) No Bias  
(b) 1V to the gate and the p-well

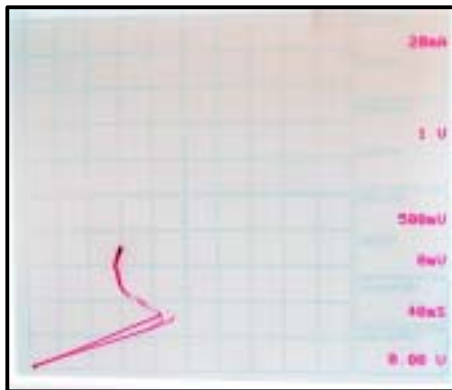
4.3 제안된 TWSCR의 ESD 보호특성

제안된 TWSCR의 ESD 보호특성을 확인하기 위해 앞의 LVTSCR과 마찬가지로 Curve Tracer를 이용하여 측정하였다. 그 결과 bias가 인가되지 않은 상태의

트리거 전압은 앞에서의 시뮬레이션 결과와 같은 6.5V로 측정되었다. 또한 그림 13.에서 보는 바와 같이 p-well에 1V의 bias를 인가했을 경우의 트리거 전압은 약 4V, 그리고 gate에 1V의 bias를 인가 시 트리거 전압은 약 4.5V로 낮아짐을 확인하였다.



(a)



(b)

그림 13. TWSCR의 I-V 특성 곡선  
Fig. 13. The I-V Curve of TWSCR  
(a) 1V bias voltage to the p-well  
(b) Bias Voltage of 1V to the gate

**V. 결론**

본 연구에서는 새로운 구조의 SCR, Advanced PAD 으로 구성된 Test Pattern 을 설계하였고, fab. Out 하여 ESD Parameter인 트리거 전압, 전류 그리고 ESD 감내 특성을 측정하였다. 그 결과 LVTSCR 은 9V, 7mA의 트리거 전압 및 전류를 갖고 있었고,



그림 14. ESD 보호회로의 테스트 패턴  
Fig. 14. The Test Pattern of ESD Protection Circuit

0.8KV (150mA/um) 정도의 ESD 감내 특성을 가지고 있었다.

한편 TWSCR 구조에서는 6V 의 트리거 전압과 40mA의 트리거 전압을 가지고 있음을 실험 결과를 통해 확인하였다. 또한, 기판 및 게이트 바이어스에 의해 트리거 전압이 4~5.5V까지 감소하는 것을 확인할 수 있었다. 따라서 본 연구에서 제안한 LVTSCR 과 TWSCR은 effectiveness와 robustness하며, 나노급 반도체 칩에 적합한 ESD 보호소자임을 확인하였다.

**참고 문헌**

[1] K. Bock, et. al., "Influence of Gate Length on ESD Performance for Deep Submicron CMOS Technology", Proc. EOS/ESD Symp., pp.95-104, 1999.  
 [2] R.G. Wagner, J. Soden and C.F. Hawkins, "Extend and Cost of EOS/ ESD Damage in an IC Manufacturing Process", in Proc. of the 15th EOS/ESD Symp., pp.49-55, 1993.  
 [3] M.D.Ker, "Complementary-LVTSCR ESD protection scheme for submicron CMOS ICs", Proc. IEEE Int. Symp. Circuits and Systems. pp.833-836, 1995.



저 자 소 개

**김 귀 동** (정회원)



1985년 경북대학교 전자공학과 석사  
 1987년 ~ 현재 한국전자통신연구원  
 관심분야 : 아날로그 혼성신호처리 및 PLL/IO 회로 설계

**이 윤 식** (정회원)



1981년 서강대 전자공학과 학사  
 1983년 한국과학기술원 전산학석사  
 1994년 美 남 플로리다 주립대 컴퓨터공학 박사  
 1983년 ~ 1989년 LG전자 정보기기연구소 선임  
 1994년 ~ 1998년 LG반도체 책임  
 1998년 ~ 2005년 (주)파이손테크 대표, 호서대학교 산학 협동 교수  
 2005년 ~ 현재 전자부품연구원 디지털 컨버전스 연구본부장  
 관심분야 : 설계자동화, SoC설계

**이 조 윤** (학생회원)



2005년 서경대학교 전자공학과 학사  
 2005년~현재: 서경대학교 석사과정  
 주관심분야 : Smart Power IC, ESD Protection Circuit

**구 용 서** (정회원)

전기전자학회논문지 (Journal of IKEEE) Vol. 8, No.1 참조.

**박 상 조** (정회원)



1983년 ~ 1986년 전자통신연구원  
 1986년 ~ 1988년 Hewlett Packard  
 1989년 ~ 1991년 벨리드한국지사  
 1985년 호서대 (학사)  
 1991년 아주대 (석사)

1994년 ~ 1996년 시놉시스 한국지사  
 1997년 ~ 현재 (주)다반테크 사장/대표이사  
 2004년 ~ 현재 호서대 컴퓨터공학과 박사과정  
 관심분야 : SoC 설계방법 및 자동화, DFM/DFY, 저전력설계