

# 새로운 고속 저전력 TSPC D-플립플롭을 사용한 CMOS Dual-Modulus 프리스케일러 설계

## Design of a CMOS Dual-Modulus Prescaler Using New High-Speed Low-Power TSPC D-Flip Flops

吳根昌\*, 李在鏡\*, 康基燮\*, 朴鍾泰\*, 劉宗根\*

Kun-Chang Oh\*, Jae-Kyong Lee\*, Ki-Sub Kang\*, Jong-Tae Park\*, Chong-Gun Yu\*

### 요 약

프리스케일러는 PLL을 이용한 주파수합성기의 동작속도를 좌우하는 중요한 구성블록으로써, 고속 동작 특성과 저전력 소모 특성을 동시에 만족해야 한다. 따라서 프리스케일러에 사용되는 D-플립플롭의 설계가 중요하다. 기존의 TSPC D-플립플롭은 출력단의 글리치나 비대칭적인 전과지연시간, 클럭의 프리차지구간에서 내부노드의 불필요한 충·방전으로 인해 소비전력이 증가하는 단점이 있다. 본 논문에서는 이러한 단점을 개선한 새로운 동적 플립플롭을 제안하였다. 제안한 플립플롭은 방전억제방식을 사용하여 글리치를 최소화하였고, 대칭적 전과지연시간을 만들어줌으로써 속도를 향상시켰으며, 불필요한 방전을 제거하여 저전력 특성을 얻을 수 있었다. 제안된 플립플롭의 성능평가를 위해 0.18 $\mu$ m CMOS 공정변수를 이용하여 128/129 분주 프리스케일러를 구성한 결과 최대 5GHz까지 동작 하였으며, 이는 같은 조건에서 4.5GHz까지 동작하는 기존의 회로에 비해 향상된 결과이다. 또한 4GHz에서 전력소모가 0.394mW로 기존구조에 비해 약 34%의 전력소모를 줄일 수 있다.

### Abstract

A prescaler is an essential building block for PLL-based frequency synthesizers and must satisfy high-speed and low-power characteristics. The design of D-flip flops used in the prescaler implementation is thus critical. Conventional TSPC D-flip flops suffer from glitches, unbalanced propagation delay, and unnecessary charge/discharge at internal nodes in precharge phase, which results in increased power consumption. In this paper a new dynamic D-flip flop is proposed to overcome these problems. Glitches are minimized using discharge suppression scheme, speed is improved by making balanced propagation delay, and low power consumption is achieved by removing unnecessary discharge. The proposed D-flip flop is employed in designing a 128/129 dual-modulus prescaler using 0.18 $\mu$ m CMOS process parameters. The designed prescaler operates up to 5GHz while conventional one can operate up to 4.5GHz under same conditions. It consumes 0.394mW at 4GHz that is a 34% improved result compared with conventional one.

Keyword: Prescaler, TSPC D-flip flop, discharge suppression, PLL, frequency synthesizer

\*인천대학교 전자공학과

(Dept. of Electronics Engr., Univ. of Incheon)

接受日:2005年 10月 14日, 修正完了日: 2005年 12月 15日

※ 본 연구는 2005년도 인천대학교 자체연구비 지원과 IDEC 지원에 의하여 수행되었음.

### I. 서론

이동통신 단말기와 같은 무선통신 응용분야에서 주파수합성기(frequency synthesizer)는 채널의 선택에 사용되는 중요한 구성 블록으로써, 주파수 합성은 일반적으로 위상고정루프(PLL) 방식을 이용하여 구현된다. 프리스케일러(prescaler)는 PLL의 동작속도를 좌우하는 중요한 구성블록으로써, 고속 동작 특성과 저전력 소모 특성을 동시에 만족해야 한다. 프리스케일러를 구성하는 플립플롭의 특성이 프리스케일러의 성능을 좌우하기 때문에 플립플롭 자체의 설계가 중요하다 [1].

그림 1은 일반적인 주파수합성기의 구조를 나타낸다. 'Divide by N' 블록은 VCO의 고주파 출력을 N분주 하여 위상 검출기(phase detector)로 보내주는 역할을 한다. 프리스케일러는 'Divide by N' 블록내에 위치하며 VCO의 출력을 지정된 값으로 분주하여, 일차적으로 주파수를 낮추는 역할을 한다. 따라서, 프리스케일러는 고속 동작이 필수이며, 고속 동작에 따른 소비전력의 증가를 최소화하기 위한 저전력 특성이 요구된다.

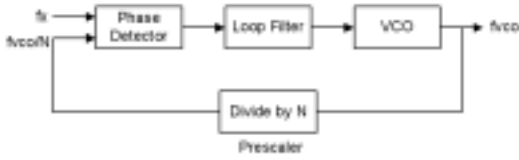


그림 1. 일반적인 주파수합성기 구조

Fig. 1. Block diagram of a general frequency synthesizer

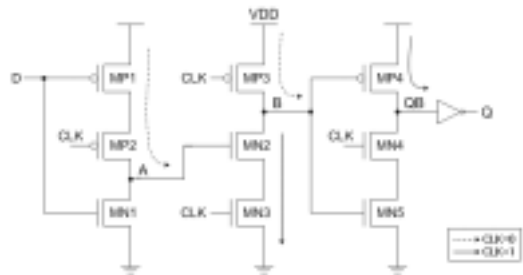
고속 동작과 저전력 특성을 만족하기 위한 회로는 동적(dynamic) 또는 클럭 입력이 있는 로직 게이트(clocked logic gate)기술이 이용된다[2]. 여러 가지 형태의 동적 CMOS 회로 기술 중에서 TSPC(True Single Phase Clock) 기술을 이용한 D-플립플롭은 한 종류의 클럭만을 사용함으로써 클럭 지연 이외에 어떠한 클럭스큐(clock skew)도 존재하지 않고, 플립플롭 구조도 간단하기 때문에 고속 동작에 적합한 특성을 가진다[3]. 본 논문에서는 기존의 TSPC D-플립플롭들에서 발생하는 문제점들을 연구하고 보완하여 새로운 D-플립플롭을 제안하였다. 그리고 제안한 플립플롭을 프리스케일러에 적용하여 기존 회로와 동일한 입력 파

라미터 조건 하에서 동작특성을 비교하였다.

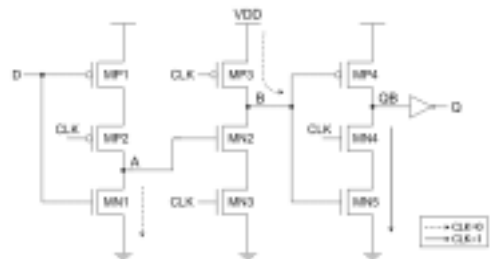
본 논문의 구성은 다음과 같다. 제II장은 기존에 제안되었던 TSPC D-플립플롭의 구조와 동작을 살펴보고 장단점을 알아본다. 제III장에서는 기존 구조의 문제점을 개선한 새로운 TSPC D-플립플롭을 제안하였으며, 제IV장에서는 모의실험 결과를 제시하여 성능을 평가한다. 마지막으로 제V장에서는 결론을 맺는다.

### II. 기존의 TSPC D-플립플롭

그림 2는 Yuan에 의해 제안된 TSPC D-플립플롭의 대표적인 회로이다[3]. 이 플립플롭은 9개의 트랜지스터로 구성되어 있으며, 플립플롭의 상태변화는 클럭의 상승 에지(rising edge)에서 발생한다. 서론에서 설명한 바와 같이 한 종류의 클럭만을 사용함으로써 클럭스큐가 존재하지 않아 레이스 문제를 완전히 제거할 수 있으며, 회로 자체도 간단하기 때문에 고속 동작에 매우 적합한 구조이다.



(a) D=0, CLK=0→1 : QB→1



(b) D=1, CLK=0→1 : QB→0

그림 2. Yuan이 제안한 TSPC D-플립플롭의 동작

Fig. 2. Operation of Yuan's TSPC D-flip flop

## 2-1. TSPC D-플립플롭의 동작

그림 2(a)는 입력 D가 'low'일 때 클럭이 'low'에서 'high'로 천이함에 따라 QB가 'high'로 결정되는 과정을 나타내며 동작은 다음과 같다. 클럭이 'low'이고 입력 D도 'low'이면 A노드와 B노드는 프리차지(precharge) 되고 이에 따라 MN2와 MN5를 구동시킨다. 하지만 이 상태에서는 B노드가 'high'이고 클럭은 'low'이기 때문에 MN4와 MP4가 off상태가 됨에 따라 출력단에 충·방전 경로가 형성되지 않아 QB는 이전 값을 유지한다. 이때 클럭이 'high'로 천이하면 MN3가 켜져 B노드가 방전됨과 동시에 MN5를 off시키고 MP4를 구동시켜 출력 QB노드를 충전시킴으로써 QB는 'high'로 결정된다.

그림2(b)는 입력 D가 'high'일 때 클럭이 'low'에서 'high'로 천이함에 따라 QB가 'low'로 결정되는 과정을 나타내며 동작은 다음과 같다. 클럭이 'low'이고 입력이 'high'면 A노드가 방전되어 MN2는 off상태가 된다. 그에 따라 B노드는 'high'상태를 유지하게 되고 MN5를 구동시킨다. 이때 클럭이 'high'로 천이하게 되면, MN4가 on이 되어 MN4와 MN5로 연결된 방전경로가 형성이 되고, 그 경로를 통해 출력 QB노드의 전하가 방전됨에 따라 QB의 값은 'low'로 결정된다. 이와 같이 비교적 간단하고 빠른 결정 동작을 통하여 고속의 입력 조건에서 정확한 출력을 낼 수 있는 성능을 보인다. 하지만 여러 문제점들이 고속 동작을 제한하는 원인이 되는데 그 문제점들은 다음과 같다.

### 1) 글리치

출력단의 글리치(glitch) 문제에 대해 살펴보자. 앞서 그림 2(a)의 경우 B노드가 방전되어 MP4가 켜짐으로써 출력 QB노드가 'high'로 결정되었다. 그러나 이때 클럭이 'high'로 천이하는 순간 B노드의 전하가 곧바로 MN3를 통하여 방전되는데 얼마간의 시간이 소요된다. 결과적으로 B노드의 전압과 클럭 신호가 'high'값으로 중복되는 경우가 발생하게 되고, 따라서 MN3와 MN4가 동시에 켜지는 구간이 발생하게 된다. 이러한 현상으로 인해 QB노드가 순간적으로 방전되었다가 다시 충전되는 글리치 현상이 발생하게 된다. 글리치 현상은 플립플롭 자체의 불필요한 전력소모를 발생시킬 뿐만 아니라 다음 단의 로직 블록을 잘못된 상태(wrong state)에 들어가도록 만들 수 있다. 이러한 글리치 현상을 모의실험을 통하여 확인하였으며 그림 3에 나타내었다.

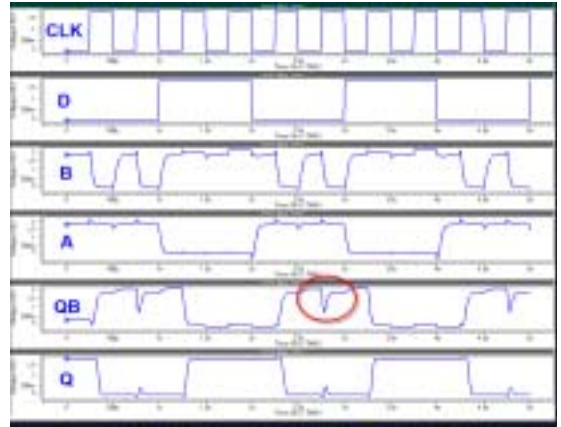


그림 3. Yuan의 D-플립플롭에 대한 출력단 글리치 모의실험 결과

Fig. 3. Simulation results of Yuan's D-flip flop for output glitch

### 2) 클럭 경사 민감도

그림 4는 100MHz 클럭 주파수에 클럭 경사(slope)를 0.6nsec로 유지했을 때의 출력 파형을 나타낸다. 여기서 출력 QB신호가 일부 구간동안 잘못된 값을 갖는 것을 알 수 있다. 이러한 원인은 TSPC D-플립플롭이 클럭 경사에 민감하기 때문인데, 그 원인을 살펴보면 다음과 같다. 입력이 'low'인 상태에서 클럭 신호가 'low'에서 'high'로 천이하는 순간 QB노드는 'high'값으로 결정된다. 이후 클럭이 'high'에서 'low'로 천이할 때 MP3에 의해서 B노드가 'high' 값으로 결정되게 되는데 이와 같은 결정시간은 매우 빠른 반면 클럭 신호의 경사가 완만하다면 MN4가 어느 정도 켜져 있는 상태가 된다. 따라서 MN4와 MN5의 게이트 전압이 'high'로 중복되는 구간이 발생하게 되고 이때 QB노드는 순간적으로 방전하게 된다. 이 잘못된 QB 값은 다음 충전까지 계속 그 값을 유지하게 되고 다음 단의 로직 블록에 잘못된 값을 전달하게 된다. 그림 4는 이와 같은 현상을 보여준 모의실험 결과이다.



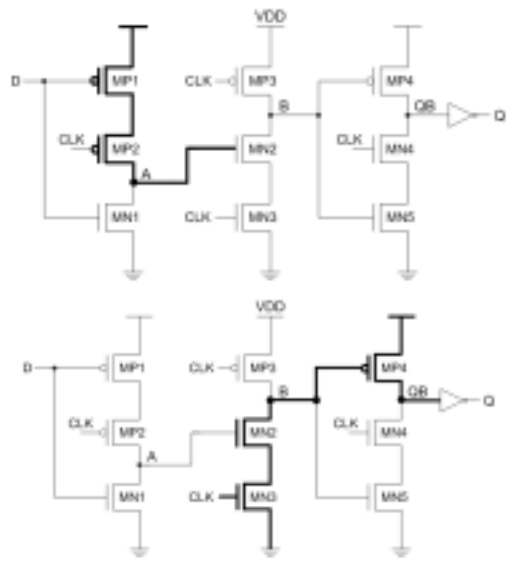
그림 4. Yuan의 D-플립플롭에 대한 클럭 경사 민감도 모의실험 결과  
 Fig. 4. Simulation results of Yuan's D-flip flop for clock-slope sensitivity

3) 비대칭적인 전파 지연 시간

플립플롭의 동작속도를 분석하기 위해 천이경로 (transition path)를 알아본다. 그림 5의 (a),(b)는 입력이 'low'일 때 클럭이 'low'에서 'high'로 천이함에 따라 QB가 'high' 값으로 결정되는 경로를 나타내고 있고, 그림 6의 (a),(b)는 입력이 'high'일 때 클럭이 'low'에서 'high'로 천이함에 따라 QB가 'low' 값으로 결정되는 경로를 나타낸다. 그림에 나타난 바와 같이 출력 QB의 low-to-high 천이 경로와 high-to-low 천이 경로가 구조적으로 다른 것을 알 수 있다. QB가 high-to-low로 천이하는 경우에는 클럭의 상승시점이전에 B노드가 원하는 값을 갖고 있으나, low-to-high의 경우에는 클럭이 상승해야만 B노드의 상태가 결정되고 그 후 비로소 출력에 영향을 주므로 high-to-low에 비해 비교적 긴 전파 지연 시간을 갖게 된다. 이런 비대칭적인 전파 지연 시간은 플립플롭의 고속 동작을 제한하는 원인이 된다.

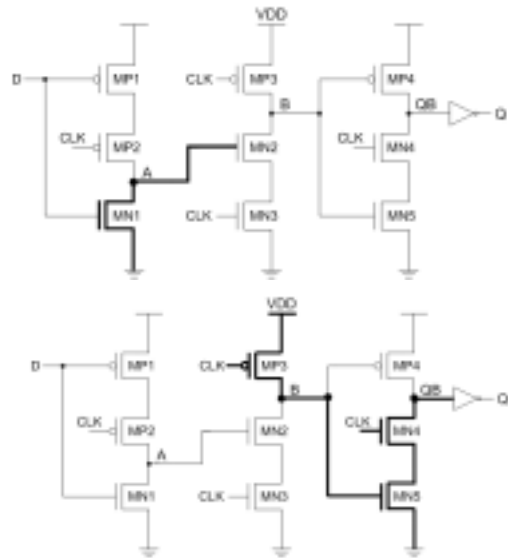
2-2. 글리치와 속도 개선을 위한 방법

위에서 언급한 문제들을 해결하기 위해 몇 개의 트랜지스터를 추가 또는 회로구조 변경을 통해, 오동작하는 노드를 안정화시키고, 좀 더 고속, 저전력 특성을 만족하도록 하는 D-플립플롭에 대한 연구가 진행되어 왔다[4-10]. 그 중에서 출력단 글리치 문제와 속도면에서 우수한 특성을 보이는 D-플립플롭이 그림 7에 보인 Song에 의해 제안된 구조이다[9].



(a) CLK = 'low' (b) CLK = 'high'  
 그림 5. Yuan의 D-플립플롭의 천이경로 (D = 'low', QB: low-to-high)

Fig. 5. Transition path of Yuan's D-flip flop (D = 'low', QB: low-to-high)



(a) CLK = 'low' (b) CLK = 'high'  
 그림 6. Yuan의 D-플립플롭의 천이경로 (D = 'high', QB: high-to-low)

Fig. 6. Transition path of Yuan's D-flip flop (D = 'high', QB: high-to-low)

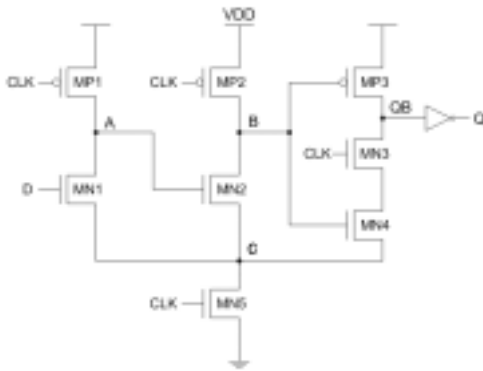


그림 7. Song이 제안한 TSPC 래치를 이용한 D-플립플롭[9]

Fig. 7. Song's D-flip-flop using TSPC latch

이 플립플롭은 TSPC 래치(latch) 구조를 이용한 것으로, C노드에 일정한 전하를 프리차지 시켜서 출력단이 불필요하게 방전 될 때마다 C노드가 이러한 잘못된 방전을 막아주고, C노드의 전하가 방전된 후에야 출력단의 전하가 방전이 되는 방전억제방식(discharge suppression scheme)을 사용하였다. 이러한 방전억제 방식은 글리치 문제를 해결할 뿐더러 속도측면에서는 장점을 갖는데, 이는 출력이 'low'에서 'high'로 천이하는 순간 출력이 순간적으로 방전하는 것을 C노드가 막아주는 역할을 하기 때문이다. Yuan의 D-플립플롭에서 다소 길었던 출력의 low-to-high 지연시간을 줄여 줌으로써 기존 구조에 비해 좀 더 고속 동작에 적합한 성능을 보인다. 그러나 이 구조는 속도 측면에서 좋은 특성을 보이는 반면, 전력소비 측면에선 좋지 않은 특성을 보이는데, 그 문제점들을 살펴보면 다음과 같다.

클럭이 'low'이고 입력이 'high'일 때 A노드와 B노드는 'high'로 프리차지 된다. 이때 클럭이 'high'로 천이하게 되면 MN5가 on이 되어 A노드가 방전됨에 따라 MN2가 off가 되어 B노드는 'high' 상태를 유지해야 한다. 그러나 A노드가 방전하는 데는 어느 정도의 시간이 요구되고 이 순간에 MN2와 MN5로 이루어진 경로를 통해 B노드가 순간 방전되는 현상이 발생하게 되며, 클럭이 'low'로 천이할 때까지 그 값을 유지하게 된다. 또한 입력이 'high' 구간일 때 클럭에 의해 A노드가 충전되었다가 방전되는 것을 볼 수 있는데 이는 A노드의 충전이 입력과는 무관하게 이루어지는 구조에서 비롯된 동작으로 기존 구조에선 보여지지 않았던 불필요한 동작이다. 이와 같은 내부노드의 불필요한

방전들은 소비전력을 증가시키는 원인이 되며, 그림 8에서 이와 같은 문제점을 확인할 수 있다.

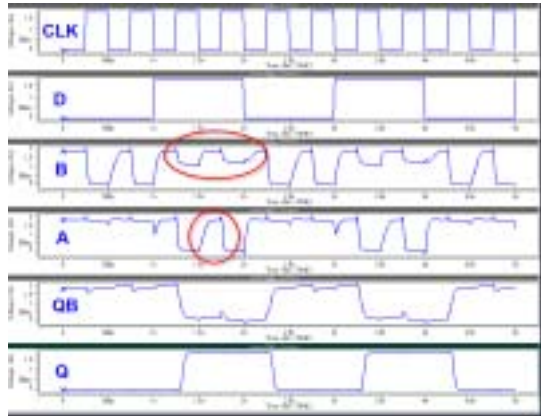


그림 8. Song의 D-플립플롭에 대한 모의실험 결과

Fig. 8. Simulation results of Song's D-flip flop

### III. 제안된 TSPC D-플립플롭

그림 9는 앞 절에서 언급된 문제들을 해결하기 위해 본 논문에서 제안된 TSPC D-플립플롭을 나타낸다. 외형적으로 Yuan의 D-플립플롭과 동일한 9개의 트랜지스터로 구성되어 있으며, 글리치 방지를 위해 앞서 살펴보았던 Song의 D-플립플롭과 동일한 방전억제 방식을 사용하였다. 그러나 Song의 구조에서는 PMOS 트랜지스터 하나로 A노드를 충전하던 것에 반해, PMOS 트랜지스터 두개로 A노드를 충전시키고, 방전은 하나의 NMOS 트랜지스터를 통해 이뤄지도록 첫째단과 둘째단의 방전 트랜지스터를 분리하여 구성하였다. 이와 같이 구성함으로써 앞서 제기되었던 내부 노드의 불필요한 방전현상을 줄일 수 있으며, 따라서 소비전력을 개선할 수 있다.

그림 10은 기존구조와 동일한 조건하에서 모의실험한 결과이다. Song의 회로에서 언급되었던 B노드의 불필요한 방전은 A노드의 방전이 입력 D값과 클럭값에 영향을 받는 두 개의 NMOS 트랜지스터를 통하여 이루어지기 때문에 발생했다. 그러나 제안된 구조에서는 A노드의 방전이 클럭값과는 무관하게 입력 D값에만 영향을 받는 하나의 NMOS 트랜지스터를 통하여 이루어지기 때문에 그와 같은 순간에서 B노드의 방전 현상은 발생하지 않는다. 또한, 입력이 'high'일 때 클럭에 의해 A노드가 불필요하게 충·방전되는 현상은,

A노드의 충전을 클럭값과 입력 D값 모두에 의존하도록 구성한 결과 발생하지 않는 것을 그림 10에서 확인할 수 있다.

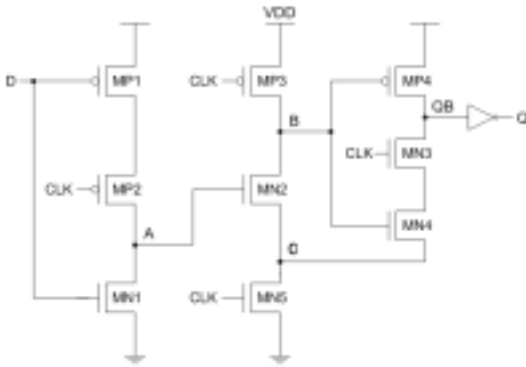


그림 9. 제안된 TSPC D-플립플롭  
Fig. 9. Proposed TSPC D-flip flop

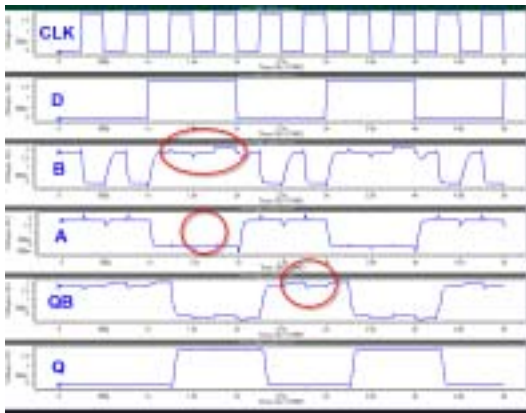


그림 10. 제안된 D-플립플롭에 대한 모의실험 결과  
Fig. 10. Simulation results of proposed D-flip flop

전과 지연 측면에서도 제안된 구조는 좋은 특성을 보인다. Song의 회로에선 출력의 low-to-high 지연시간이 다소 빨라지긴 하나, high-to-low 지연시간은 다소 길어지는데, 이는 A노드와 출력노드의 방전경로를 이루는 트랜지스터의 개수가 늘어났기 때문이다. 반면, 제안된 구조는 A노드 방전경로를 짧게 함으로써 high-to-low 지연시간 또한 줄일 수 있다. 결과적으로 Yuan의 회로와 비교를 한다면, C노드의 역할로 인해 low-to-high 지연시간을 대폭 줄였으며, high-to-low 지연시간은 약간 길어지게 됨으로서 대칭적이며 좀 더

빨라진 전과 지연 시간을 갖게 된다.

그림 11은 그림 4와 동일한 조건하에 클럭 경사 민감도를 실험한 결과이다. Yuan 구조에서는 0.5nsec의 기울기까지 동작할 수 있었던 반면, 제안된 구조에서는 약 0.8nsec의 기울기에서도 동작할 수 있는 것을 확인할 수 있다. 이러한 클럭 경사 민감도 문제는 트랜지스터의 집적도가 높아지면서 클럭 부하(load)가 증가함에 따라 원하는 조건에 맞는 클럭의 공급이 점점 더 어려워지게 되면서, 클럭 경사가 완만해지더라도 올바르게 동작하는 회로 설계를 위해 고려되어야 할 부분이다.

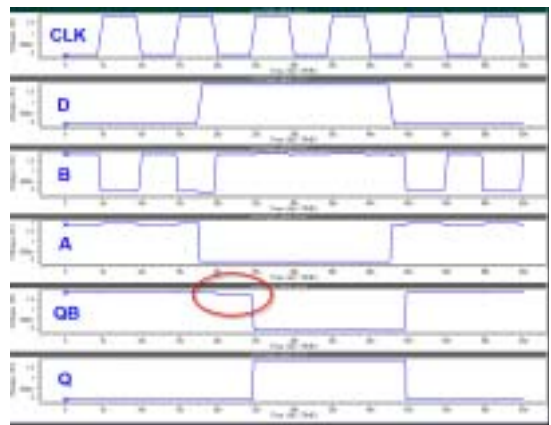


그림 11. 제안된 D-플립플롭에 대한 클럭 경사 민감도 모의실험 결과 (0.8nsec 클럭 경사)  
Fig. 11. Simulation results of proposed D-flip flop for clock-slope sensitivity (0.8nsec 클럭 경사)

#### IV. 모의 실험 결과

##### 4-1. TSPC D-플립플롭

표 1은 기존의 회로들과 제안된 회로에 대해 클럭 주파수 2GHz(slope 0.01nsec)일 때 임의의 입력패턴을 인가하여 동일한 조건하에 HSPICE로 모의실험 한 결과이다. 모의실험은 0.18 $\mu$ m CMOS 공정변수를 사용하였다. Song의 회로와 제안된 회로 모두 Yuan의 회로와 비교했을 때, low-to-high 지연시간은 빨라진 반면, high-to-low 지연시간은 다소 길어진 것을 확인할 수 있다. 이는 앞서 언급했듯이 출력단의 글리치 방지를 위한 NMOS 삽입의 결과로써, 이로 인해 어느 정도 대칭적인 전과 지연시간을 갖게 됨을 알 수 있다. 더불어 제안한 회로는 A노드의 방전경로를 짧게 구성

함에 따라 high-to-low 지연시간이 Song의 회로에 비해 줄었으며, 전체적으로 지연시간이 짧아져 좀 더 고속 동작에 적합한 성능을 보인다. 또한 소비전력 측면에서 제안된 회로는 내부노드의 불필요한 충·방전이 일어나지 않기 때문에 전력소비가 Song의 회로에 비해 약 28% 감소한다.

표 1. D-플립플롭 성능비교

Table 1. Performance comparison of D-flip flops

	Conventional D-F/F[3]	Song's D-F/F[9]	Proposed D-F/F
The number of transistors	9	8	9
low-to-high delay ( Clock-QB delay ) (nsec)	0.0652	0.0513	0.0450
high-to-low delay ( Clock-QB delay ) (nsec)	0.0238	0.0473	0.0313
Power consumption (mW)	0.0641	0.0794	0.0574

4-2. 프리스케일러

그림 12는 본 논문에서 설계한 128/129 분주 프리스케일러의 블록도이다. 프리스케일러는 고속 동작이 요구되는 동기식 4/5 분주회로와 비동기식 32 분주회로로 구성된다. 클럭이 동기식 카운터에 입력되어 4/5 분주된 신호가 출력되고, 이 신호는 다시 32분주 카운터의 입력이 된다. 따라서 프리스케일러는 클럭 신호를 128 또는 129로 분주하여 최종 출력으로 내보내게 된다. 그림에서 Select(S)신호에 의해 동기식 4/5분주 카운터의 분주비가 선택된다.

고속의 VCO 출력을 일차적으로 분주하는 4/5분주 동기식 카운터의 최대 동작 주파수가 프리스케일러의 최대 동작 주파수를 결정 하게 된다[4]. 또한, 프리스케일러에서 D-플립플롭 외에 추가되는 로직 게이트들에 의해 발생하는 전달 지연 시간이 프리스케일러의 동작 속도를 제한하는 원인이 된다.

0.18 $\mu$ m CMOS 공정변수를 이용하여 Song의 플롭 플롭과 제안된 플립플롭으로 구성된 프리스케일러를 각각 설계하였으며, 동일한 조건하에서 모의실험을 수행하였다. 그림 13은 제안된 플립플롭으로 구성된 프리스케일러의 최대동작주파수에서 128분주된 파형이다. 클럭 주기 0.199nsec(약 5GHz)에 대해 0.199nsec□128=25.5nsec로 128분주를 확인할 수 있다. 표 2는

Song의 회로와 제안한 회로로 구성된 프리스케일러에 대한 성능비교를 나타낸다. Song의 회로는 최대 4.4GHz까지 동작이 가능하나 제안된 회로는 최대 5GHz에서도 동작이 가능하며, 클럭주파수 4GHz에서 측정된 소비전력 또한 제안된 회로가 약 34% 정도 개선되어 고속, 저 전력 특성이 보임을 확인할 수 있다.

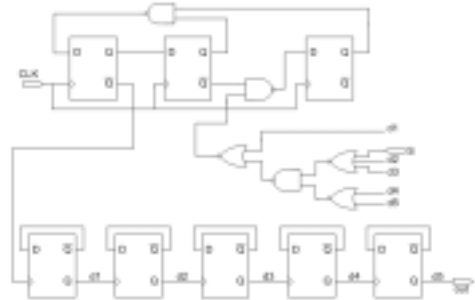


그림 12. 128/129 분주 프리스케일러의 구조  
Fig. 12. Block diagram of 128/129 prescaler

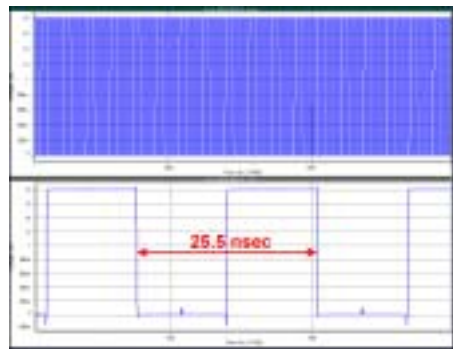


그림 13. 제안된 프리스케일러의 모의실험 결과  
Fig. 13. Simulation result of proposed prescaler

표 2. 프리스케일러 성능비교

Table 2. Performance comparison of prescalers

	Prescaler ( using Song's D-F/F )	Prescaler (using proposed D-F/F)
Supply voltage	1.8 V	1.8 V
Maximum operating freq.	4484 MHz	5025 MHz
Power consumption (4GHz clock freq.)	0.599 mW	0.394 mW

### V. 결론

본 논문에서는 128/129 dual-modulus 프리스케일러를 0.18 $\mu$ m CMOS 공정변수를 이용하여 설계하였다. 고속동작과 저전력 소모를 위한 D-플립플롭을 제안하였고, 이를 프리스케일러에 적용하여 동작을 검증하였다. 제안된 플립플롭은 방전억제방식을 사용하여 글리치 문제를 해결하였으며, 전파지연시간을 대칭적으로 만들어줌으로써 속도를 향상시켰다. 또한, 첫째단의 충전 경로 트랜지스터를 입력에도 의존하도록 구성하고, 방전 경로 트랜지스터를 입력에만 의존하는 하나의 NMOS 트랜지스터로 구성하여, 내부노드에서 발생하는 불필요한 충·방전으로 인한 전력소모를 줄였다.

설계된 프리스케일러를 HSPICE로 검증한 결과, 1.8V 공급전압에서 최대 5GHz의 주파수까지 동작함을 확인하였으며, 이는 기존의 D-플립플롭을 사용한 프리스케일러가 같은 조건에서 최대 4.5GHz까지 동작하는 것에 비해 향상된 수치이다. 또한, 4GHz에서 전력소모가 0.394mW로 기존의 회로에 비해 약 34%의 전력소모 감소를 얻을 수 있었다. 본 논문에서 설계된 D-플립플롭과 프리스케일러는 고속동작 및 소비전력 측면에서 좋은 성능을 보인다.

### 참고문헌

[1] B. Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.  
 [2] R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, IEEE PRESS, 1998.  
 [3] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 62-70, Feb. 1989.  
 [4] R. Rogenmoser, Q. Huang, F. Piazza, "1.57GHz asynchronous and 1.4GHz dual-modulus 1.2- $\mu$ m CMOS prescalers," in *Proc. IEEE 1994 CICC*, San Diego, CA, pp. 387-390, May 1994.  
 [5] Q. Huang, R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks," *IEEE J. Solid-State Circuit*, vol.31, pp.456-465, Mar. 1996.  
 [6] B-S. Chang, J-B. Park, W-C. Kim, "A 1.2GHz CMOS dual-modulus prescaler using new dynamic D-type flip-flops," *IEEE J.*

*Solid-State Circuit*, vol.31, pp.749-752, May. 1996.

[7] C-Y. Yang, G-K. Dehng, J-M. Hsu, S-I. Liu, "New dynamic flip-flops for high-speed dual-modulus prescaler," *IEEE J. Solid-State Circuit*, vol.33, pp.1568-1571, Oct. 1998.  
 [8] S-H. Yang, C-H. Lee, K-R. Cho, "A CMOS dual-modulus prescaler based on a new charge sharing free D-flip-flop," in *Proc. IEEE 2001 ASIC/SOC Conf.*, pp.276-280, Sep. 2001.  
 [9] 송 명수, 허 준호, 김 수원, "안정적인 고속동작을 위한 다이내믹 D Flip-Flop," 대한전자공학회 논문지 SD편, pp.1055-1061, Dec. 2002.  
 [10] C-L. Hsu, W-H. Lu, "Glitch-free single phase D-FFs for dual-modulus prescaler," in *Proc. IEEE 2003 ASIC*, vol.2, pp.711-714, Oct. 2003.

### 저 자 소 개

#### 오 근 창 (학생회원)



1999. 3 ~ 현재 : 인천대학교 전자공학과 학사과정  
 <주관심분야> 고성능 PLL 및 주파수 합성기 설계

#### 이 재 경 (학생회원)



2005. 2 : 인천대학교 전자공학과 학사  
 2005. 3 ~ 현재 : 인천대학교 대학원 전자공학과 석사과정  
 <주관심분야> 고성능 PLL 및 주파수 합성기 설계, RFIC 설계

#### 강 기 섭 (학생회원)



2005. 2 : 인천대학교 전자공학과 학사  
 2005. 3 ~ 현재 : 인천대학교 대학원 전자공학과 석사과정  
 <주관심분야> 고성능 PLL 및 주파수 합성기 설계



**박 종 태** (정회원)

1981. 2 : 경북대학교 전자공학과 학사  
 1983. 8 : 연세대학교 대학원 전자공학과 석사  
 1987. 2 : 연세대학교 대학원 전자공학과 박사  
 1983. 8 ~ 1985. 8 : 금성반도체(주) 연구소 연구원

1991. 1 ~ 1991. 12 : MIT Post Doc.

2000. 7 ~ 2001. 8 : UC Davis 방문교수

1987. 3 ~ 현재 : 인천대학교 전자공학과 교수

<주관심분야> CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

**유 종 근** (정회원)

1985. 2 : 연세대학교 전자공학과 학사  
 1987. 2 : 연세대학교 대학원 전자공학과 석사  
 1993. 12 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.  
 1989. 9 ~ 1991. 8 : Texas A&M University 전기공학과 연구조교  
 1994. 3 ~ 현재 : 인천대학교 전자

공학과 교수

<주관심분야> CMOS Analog/Mixed-mode IC 설계, RFIC 설계