

비트 확장을 이용한 전하재분배 방식 ADC의 설계

Design of a Charge-Redistribution ADC Using Bit Extension

김규철*, 도형욱*

Kyu-Chull Kim*, Hyung-Wook Doh*

요약

실세계에서 발생하는 물리적인 신호는 센서를 통하여 전기적 신호로 바뀌어 전자회로에 입력된다. 입력된 전기적 신호는 아날로그 형태인데 디지털 신호처리를 위해서 아날로그-디지털 변환기(ADC: Analog-Digital Converter)를 사용하여 디지털 신호로 변환시켜야 한다. 실리콘 마이크로 센서와 결합되어 사용되는 신호처리 회로 및 ADC는 단일칩에 구현되기 용이하도록 저전력 및 소면적으로 설계되어야 한다. 본 논문에서는 실리콘 마이크로센서와 단일칩에 구현하기 적합하도록 실리콘 사용 면적을 대폭 줄인 전하재분배 방식의 ADC를 설계하였다. 설계된 방식은 4비트 변환을 두 차례 수행하여 8비트 변환을 하는 방식으로 기존 방식에 비해 커패시터 어레이의 면적을 1/16로 줄였다. 면적을 줄인 대신 변환에 사용된 클럭의 수는 2배 정도 증가되었으나 압력센서의 신호는 고속 변환이 요구되지 않으므로 압력센서에 적합하다고 할 수 있다.

Abstract

Physical signals generated in the real world are transformed into electrical signals through sensors and fed into electronic circuits. The electrical signals input to electronic circuits are in analog form, thus they must be converted to digital signals using an ADC(Analog-Digital Converter) for digital processing. Signal processing circuits and ADCs that are to be integrated on a single chip together with silicon micro sensors should be designed to have less silicon area and less power consumption. This paper proposed a charge redistribution ADC which reduces silicon area considerably. The proposed method achieves 8 bit conversion by performing 4-bit conversion twice. It reduced the area of capacitor array, which takes most of the ADC area, by 1/16 when compared to a conventional method. Though it uses twice the number of clocks as a conventional method, it would be appropriate to be integrated with a silicon pressure sensor on a single chip since it does not demand high conversion rate.

Key words : silicon micro-sensor, ADC, charge-redistribution, capacitor array

1. 서론

실리콘 압력센서는 작은 부피 때문에 여러 분야에 많이 사용되고 있다. 최근에는 MEMS 기술과 집적회

로기술의 발달로 실리콘 센서와 신호처리 회로의 단일 칩 구현이 많이 시도되고 있다[1]. 실리콘 센서에서 나오는 미세한 신호는 적절한 크기로 증폭이 된 다음 디지털 신호 처리를 위해 ADC를 통하여 디지털로 변환된다. 압력센서와 단일칩으로 구현되는 ADC는 작은 면적을 가지고 있어야 하며 동시에 전력 소비도 적어야 한다. 그리고 압력센서용 ADC는 응용에 따라 중간

* 단국대학교 대학원 전자컴퓨터공학과
(Dept. of Electronic & Computer Engineering,
Graduate School, Dankook University)

接受日:2005年 3月 16日, 修正完了日:2005年 7月 21日

본 연구는 2004년도 단국대학교 연구비 지원과 IDEC의 CAD 툴 지원으로 수행되었습니다.

정도의 변환 속도를 가지고 있으면 된다. 전하재분배 방식 ADC[2,3]는 중간정도의 변환속도를 가지고 있으며 CMOS로 구현하기 쉽고 낮은 소비전력을 가지고 있어서 압력센서와 함께 단일칩으로 구현하기 위한 속도 및 전력 소비 조건을 갖추고 있다. 그러나 전하재분배 방식 ADC는 이진 가중치를 갖는 커패시터 어레이를 사용하여 AD 변환을 수행하는데 비트수가 증가할수록 커패시터 어레이가 차지하는 면적이 지속적으로 증가하게 된다. 따라서 ADC의 많은 면적을 커패시터 어레이가 차지하게 된다[4].

본 논문에서는 압력센서와 단일칩에 집적하기 적합하도록 중간 정도의 변환 속도를 갖는 전하재분배 방식 ADC의 면적을 축소시키는 방법을 제안하였다. 이 방법은 상위 4비트 변환을 전하재분배 방식으로 수행한 다음 동일한 커패시터 어레이를 사용하여 같은 방법으로 하위 4비트 변환을 수행하는 방법으로 모두 8비트의 변환을 얻는다. 따라서 이 방식은 기존 전하재분배 방식이 사용하는 커패시터 어레이의 1/16 면적을 사용하게 된다. 3비트 단위로 3회 변환을 반복하여 9비트 디지털 출력을 얻거나 5비트 단위로 2회 변환을 수행하여 10비트의 디지털 출력을 얻을 수 있으나, 3비트로 3회 변환을 하는 방식은 기준전압이 3종류가 필요하고 5비트로 2회 변환하는 방식은 아주 작은 기준 전압을 발생시켜야 하는 제약 때문에 4비트 단위로 2회 변환하여 8비트 변환을 얻는 방식을 택하였다.

본 논문의 구성은 다음과 같다. 2절에서는 기존의 전하 재분배 방식 ADC의 동작을 설명하고 3절에서는 실리콘 면적 축소에 중점을 둔 압력센서용 전하재분배 방식의 ADC의 구조 및 동작을 설명한다. 4절에서는 실험 결과를 설명하고 5절에서는 실험 결과에 대한 고찰 및 결론을 논한다.

II. 전하재분배 방식 ADC

그림 1은 4비트 전하재분배 방식 ADC의 개략적인 구조를 보이고 있다. 이 방식의 ADC는 이진 가중치를 갖는 커패시터들로 구성된 커패시터 어레이를 사용하여 입력 전압에 의해 충전된 전하가 얼마인가를 찾아내는 방법으로 디지털 출력을 얻는다. 커패시터 어레이의 맨 오른쪽 커패시터 C_t 는 중단 커패시터로서 커패시터 어레이의 총 용량이 $2C$ 가 되도록 하기 위한 것이다. 이 회로는 다음과 같이 동작한다.

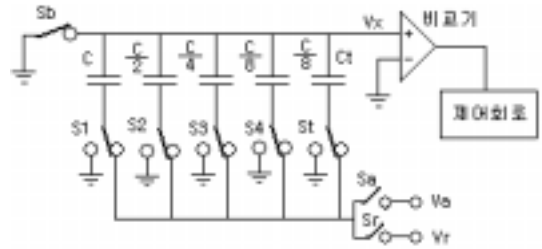


그림 1. 전하재분배 방식의 ADC 회로

Fig. 1. Charge Redistribution ADC Circuit

(1) 샘플링 단계

샘플링 단계에서는 스위치 S_a 는 아날로그 입력 V_a 로 연결하고 스위치 S_b 는 접지로 연결한다. 그리고 커패시터 스위치 S_1, \dots, S_4 와 S_t 는 스위치 S_a 쪽으로 연결한다. 이렇게 하면 용량 $2C$ 의 커패시터 어레이는 V_a 로 충전된다. 따라서 커패시터 어레이에 저장된 전하는 $Q = 2C V_a$ 가 된다.

(2) 홀드 단계

이 단계에서는 스위치 S_b 를 개방시키고 모든 커패시터 스위치 S_1, \dots, S_4, S_t 를 접지로 연결한다. 이렇게 하면 커패시터 어레이의 상판은 방전 경로가 없으므로 여기에 충전된 전하는 그대로 보존이 된다. 커패시터 어레이의 모든 스위치가 접지에 연결되면 커패시터 어레이 상판의 전압은 $V_x = -V_a$ 가 된다. 스위치 S_r 은 홀드 단계에서 V_r 에 연결하여 다음의 전압재분배 단계를 준비한다.

(3) 전하재분배 단계

이 단계에서는 커패시터 스위치 S_1 을 V_r 로 연결한다. 이렇게 하면 커패시터 어레이 상판의 전압은 $V_r/2$ 만큼 상승한다. 즉, 상판의 전압이 $V_x = -V_a + V_r/2$ 가 된다. 만일 V_a 가 $V_r/2$ 보다 크면 상판의 전압은 음이 될 것이고 $V_r/2$ 보다 작으면 양이 될 것이다. 그리고 V_a 가 $V_r/2$ 와 같으면 상판의 전압은 $0V$ 가 될 것이다. 그러므로 만일 상판의 전압이 $0V$ 보다 작으면 S_1 을 그대로 두고, 크면 접지로 되돌린다.

이 작업을 두 번째 커패시터 스위치 S_2 에 대해서 반복하면 상판의 전압 V_x 가 $V_r/4$ 만큼 상승하게 되는데, 마찬가지로 비교기 입력 전압이 $0V$ 보다 작으면 그대로 두고 크면 접지로 되돌린다. 이 과정을 남은 스위치 S_3, S_4 에 대해서도 반복하면 V_x 의 값은 $0V$ 에 가

깝게 접근한다. 변환이 완료되었을 때 커패시터 어레이 상판의 전압을 0V라고 하면 접지에 연결된 커패시터는 방전이 되어 있고 V_r 에 연결된 커패시터는 충전이 되어 있게 된다. 따라서 i -번째 커패시터의 연결 상태를 변수 b_i 로 나타내면 즉, V_r 에 연결되어 있으면 $b_i = 1$, 접지에 연결되어 있으면 $b_i = 0$ 이라고 하면, 변환이 완료된 후 커패시터 어레이에 저장된 전하는 $Q = V_r(C b_1 + C/2 b_2 + C/4 b_3 + C/8 b_4)$ 가 될 것이며 이는 변환 시작 전에 충전된 전하 $2C V_a$ 와 같아야 한다. 그러므로 $V_a = V_r (b_1/2 + b_2/4 + b_3/8 + b_4/16)$ 의 관계가 성립하여 커패시터 스위치의 상태를 나타내는 변수 b_1, b_2, b_3, b_4 가 아날로그 입력 V_a 에 대한 디지털 출력이 된다. 이때의 디지털 출력 위드는 $b_1 b_2 b_3 b_4$ 이다. 여기에서 b_1 이 MSB이고 b_4 가 LSB이다.

CMOS 회로는 낮은 전력 소모, 높은 내잡음성 등 여러 가지 장점이 많아 최근에는 디지털 회로뿐만 아니라 아날로그 회로도 CMOS로 많이 구현되고 있다 [2],[7],[8]. 이 절에서 설명한 전하 재분배 방식의 ADC는 CMOS로 구현하기 적합하다. 이 방식은 커패시터 어레이의 부유 용량의 영향을 덜 받으므로 10비트까지의 ADC 구현에 적합하다.

N 비트 ADC의 경우 MSB에 해당하는 커패시터의 크기는 LSB에 해당하는 커패시터 크기의 2^N 배가 된다. 즉, 10 비트 ADC의 경우 제일 큰 커패시터의 용량은 제일 작은 커패시터 용량의 1,024배가 되어야 한다. 따라서 비트 수가 증가할수록 커패시터 면적이 지수적으로 증가하게 되어 많은 실리콘 면적이 소요된다 [4],[5],[6],[7]. 또한 커패시터 어레이의 정확한 용량비가 이 방식의 ADC의 정확도를 좌우하게 된다.

III. 센서용 전하재분배 방식 ADC의 설계

센서용 ADC는 센서와 단일칩으로 구현할 경우 많은 면적을 차지하여서는 안 된다. 본 논문에서는 단일 칩 센서에 적합하도록 면적을 줄인 전하 재분배 방식의 ADC를 제안한다. 제안된 ADC는 4비트의 전하재분배 방식의 ADC를 다시 사용하는 방법으로 8비트의 해상도를 얻으면서 커패시터 어레이의 면적은 기존 방식의 1/16로 줄인다.

3.1 제안된 ADC 회로의 구조

그림 2는 제안된 ADC의 개략적인 회로를 보이고

있다[7].

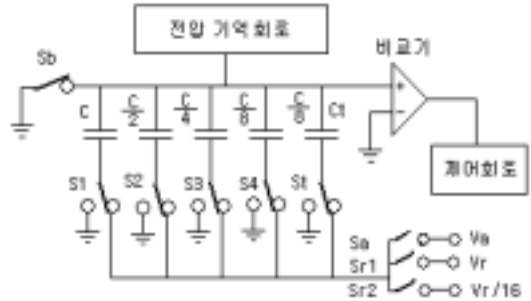


그림 2. 제안된 ADC 회로
Fig. 2. The Proposed ADC Circuit

이 회로는 기존의 전하재분배 방식의 ADC와 비슷한 구조에 전압 기억 회로와 두 번째 기준 전압 $V_r/16$ 을 더 가지고 있다. 그리고 커패시터 어레이는 5개의 커패시터만을 가지고 있다. 전압 기억 회로는 상위 4비트의 변환이 끝난 후 커패시터 어레이 상판의 전압을 기억한다. 기억된 전압은 하위 4비트의 변환에 사용된다.

하위 4비트에 대한 변환은 다음과 같이 수행된다. 스위치 S_b 는 여전히 열린 상태로 두고 스위치 S_1, S_2, S_3, S_4, S_t 를 접지에 연결한 다음 전압기억회로에 기억된 전압으로 커패시터 어레이를 충전한다. 그 다음 스위치를 S_1, S_2, S_3, S_4 순서대로 $V_r/16$ 에 연결하면서 비트 변환을 수행하면 하위 4비트 변환이 완료된다.

3.2 비교기 회로

그림 3은 비교기 회로를 보이고 있다. 비교기는 CMOS 인버터 3개를 직렬하여 충분한 이득을 얻는다. 첫 인버터의 출력과 입력에 연결된 스위치는 비교기의 오프셋의 영향을 없애기 위한 것으로서 커패시터 어레이 상판의 전압을 V_m 으로 초기화 시킨다. 여기에서 V_m 은 첫 인버터의 입력과 출력의 연결하였을 때의 전압이다. 즉, $V_x = V_m$ 이 되면 $V_y = V_m$ 이 되므로 입력과 출력을 스위치 S_c 로 연결하면 V_m 을 얻는다. 이 스위치 S_c 를 접지에 상판을 연결하는 스위치 S_b 대신에 사용하여 샘플링을 한다.

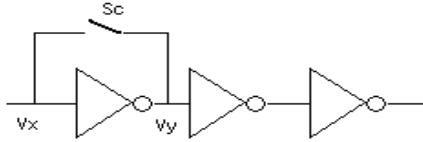


그림 3. 비교기의 회로
Fig. 3. Comparator Circuit

그리고 전하재분배 단계에서는 V_x 가 V_m 보다 큰지 작은지를 비교하게 되어 V_x 가 V_m 보다 크면 비교기의 출력은 0V(논리 '0')이 되고 작으면 V_{DD} (논리 '1')가 된다. 따라서 변환이 끝났을 때의 V_x 의 전압은 V_m 이 된다.

커패시터 어레이 상판의 전압을 V_m 으로 초기화 시키고 아날로그 입력 전압 V_a 를 샘플링하면 커패시터 어레이에 충전된 전하의 양은 $2C(V_a - V_m)$ 이 된다. 다음 홀드단계에서 스위치 S_c 를 열고 커패시터 하판의 모든 스위치 S_1, S_2, S_3, S_4, S_t 를 접지에 연결하면 커패시터 어레이 상판의 전압은 $-(V_a - V_m)$ 이 된다. 다음 전하재분배 단계에서 스위치 S_1 을 V_r 에 연결하면 상판의 전압은 $V_r/2$ 만큼 상승한다. 이 때 상판의 전압을 V_m 과 비교하여 V_m 보다 작으면 스위치 S_1 을 V_r 에 연결한 상태로 두고 V_m 보다 크면 스위치 S_1 을 접지로 되돌린다. 이 과정을 스위치 S_4 까지 반복하면 4비트 변환이 완료된다. 변환이 완료된 상태에서의 전하의 양 Q_f 는 다음과 같다.

$$\begin{aligned} Q_f &= C(V_r - V_m)b_1 - CV_m(1 - b_1) + C/2 (V_r - V_m)b_2 \\ &- C/2 V_m(1 - b_2) \\ &+ C/4 (V_r - V_m)b_3 - C/4 V_m(1 - b_3) + C/8 (V_r - V_m)b_4 \\ &- C/8 V_m(1 - b_4) - C/8 V_m \\ &= C(V_r b_1 - V_m) + C/2 (V_r b_2 - V_m) + C/4(V_r b_3 - V_m) \\ &+ C/8(V_r b_4 - V_m) - C/8 V_m \\ &= 2C V_r (b_1/2 + b_2/4 + b_3/8 + b_4/16) + 2C V_m \\ &= 2C V_r D + 2C V_m \end{aligned}$$

이 양은 초기에 저장된 전하의 양과 같아야 한다. 초기의 전하의 양 Q_i 는 다음과 같다.

$$Q_i = 2C (V_a - V_m)$$

$Q_i = Q_f$ 이므로 $V_a = V_r D$ 가 성립한다. 따라서 인버터

체인을 사용한 비교기를 사용하여 샘플링 단계에서 커패시터 어레이의 상판을 V_m 으로 하고 V_a 를 샘플링한 다음, 전하재분배 단계에서 비트 변환 시 상판의 전압을 V_m 과 비교하여도 동일한 결과를 얻게 됨을 알 수 있다.

3.3 전압기억회로

그림 4는 전압기억회로를 보이고 있다. 전압기억회로는 연산증폭기를 전압팔로워(voltage follower)로 구성하여 사용한다. 즉 S_{p1} 스위치가 닫히면 입력 전압 V_x 가 커패시터 C_x 에 저장된다. 반대로 S_{p1} 이 열리고 S_{p2} 가 닫히면 C_x 에 기억된 전압이 다시 V_x 로 나타나게 된다. 따라서 상위 4비트의 변환이 끝난 후 커패시터 어레이 상판의 전압 V_x 를 C_x 에 기억하였다가 기억된 전압을 다음 하위 4비트 변환에 사용할 수 있다.

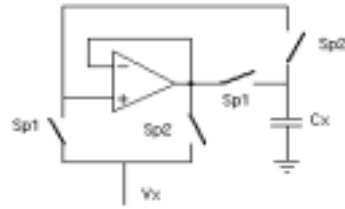


그림 4. 전압기억회로
Fig. 4. Voltage Memory Circuit

앞에서 제안한 인버터 체인을 비교기로 사용한 경우 4비트 변환이 완료되면 커패시터 어레이 상판의 전압 V_x 는 $V_m - V_r/16$ 과 V_m 사이에 있게 된다. V_m 과 V_r 의 값이 각각 $V_{DD}/2$ 및 V_{DD} 라고 하면 이때의 V_x 의 범위는 $7/16 V_{DD}$ 에서 $1/2 V_{DD}$ 까지가 된다. 따라서 전압기억회로에 사용되는 연산증폭기를 단전원으로 사용하는 것도 가능하다.

3.4 전압기억회로의 오차의 영향

전압기억회로는 CMOS 연산증폭기를 전압팔로워로 구성하여 입력과 같은 전압을 출력에 생성하여 커패시터에 전하 형태로 저장하는 방법으로 입력의 전압을 기억한다. 연산증폭기의 이득을 A 라고 할 때 전압기억회로의 출력 전압은 입력 전압의 $\frac{A}{A+1}$ 배이므로, 전압기억회로를 두 번 사용하여 상판의 전압을 복원하였

을 때는 원래 전압의 $\frac{A^2}{(A+1)^2}$ 배가 될 것이다. 따라서 상위 4비트 변환이 끝나 후의 상판의 전압을 v_p 라 할 때 상판의 전압이 복원된 후 전압의 오차는 $\Delta v = (\frac{A^2}{(A+1)^2} - 1)v_p$ 가 된다. Δv 는 항상 음이며 A가 클수록 Δv 는 작아짐을 알 수 있다. Δv 의 영향은 ADC의 오프셋 에러로 나타나게 된다. 전압기억회로의 오차에 의한 ADC의 최대 오프셋 에러를 $1LSB$ 로 제한하기 위한 연산증폭기의 최소 이득은 다음과 같이 계산할 수 있다. 상위 4비트 변환이 끝난 후의 상판의 최대 전압은 $V_m = \frac{V_{DD}}{2} = \frac{V_r}{2}$ 이고 $1LSB = \frac{V_r}{256}$ 이므로 $\Delta v_{max} = (1 - \frac{A^2}{(A+1)^2}) \frac{V_r}{2} \leq \frac{V_r}{256}$ 가 되어야 한다. 이로부터 $A_{min} = 254.5V/V$ 임을 알 수 있다.

0V를 기준전압으로 사용하는 비교기를 사용하면 상위 4비트 변환이 끝났을 때 상판의 최대 절대 전압은 $\frac{V_r}{16}$ 이므로 이 경우 ADC 오프셋 에러는 V_m 을 기준전압으로 사용하는 경우의 1/8로 줄어들게 된다. 오프셋 에러를 $1LSB$ 로 제한하기 위한 최소 이득은 30.5V/V로 아주 낮다. 대신 인버터 체인으로 구성된 비교기보다 복잡한 회로를 사용해야 한다.

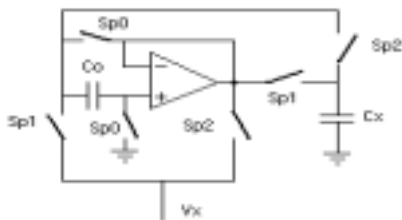


그림 5. 전압기억회로의 오프셋 보정
Fig. 5. Offset Cancellation of the Voltage Memory Circuit

3.5 전압기억회로의 오프셋 보정

전압기억회로는 CMOS 연산증폭기를 사용하므로 오프셋이 비교적 클 것이다. 따라서 정확한 AD 변환을 수행하려면 연산증폭기의 오프셋에 의한 영향을 제거할 필요가 있다. 그림 5는 오프셋 보정 기능이 포함

된 전압기억회로를 보이고 있다.

스위치 Sp0이 닫히면 커패시터 Co에는 오프셋 전압이 저장된다. 그 다음 Sp1이 닫히면 오프셋이 제거된 전압이 Cx에 저장되고 Sp2가 닫힐 때에도 Co에 저장된 오프셋 전압은 변하지 않으므로 오프셋 전압이 제거되어 Vx가 복원된다.

3.6 디지털 제어회로

디지털 제어회로는 시간에 맞추어 적절한 제어신호를 발생시켜 각 스위치에 공급함으로써 AD 변환을 수행한다. 그림 6은 제안된 ADC의 제어회로에 대한 상태를 보이고 있다. T1에서는 아날로그 입력 전압 Va를 샘플링 한다. T2에서는 샘플링 된 전압을 홀드 시키고 T3에서는 Vr를 사용하여 홀드 된 전압에 대한 4비트 AD 변환을 수행한다. 변환된 상위 4비트는 레지스터에 저장한다. T4에서는 커패시터 어레이 상판의 전압 Vx를 기억시킨다. T5에서는 기억된 전압을 복원하고 T6에서는 홀드 시킨다. T7에서는 Vr/16을 사용하여 4비트 변환을 수행한다.



그림 6. ADC 상태도
Fig. 6. State Diagram of the Proposed ADC

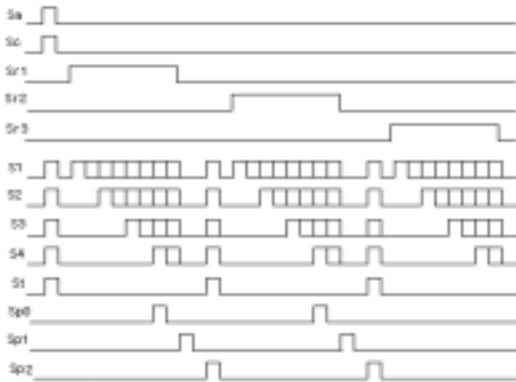


그림 7. 제안된 ADC 타이밍도

Fig. 7. Timing Diagram of the Proposed ADC

그림 7은 제안된 ADC의 타이밍도를 보이고 있다. 샘플링 상태 T1에서는 Sa, Sc, S1, S2, S3, S4, St가 ON이 되고 홀드 상태 T2에서는 모든 스위치가 OFF가 된다. (이때 S1, S2, S3, S4, St는 접지로 연결된다.) 변환 상태 T3에서는 S1, S2, S3, S4 스위치가 차례로 ON이 되었다가 비교기의 출력에 따라 ON 또는 OFF 상태로 된다. 변환이 끝나면 전압기억회로의 오프셋을 제거하기 위해 스위치 Sp0을 ON 시킨다. Sr1은 T3 상태 동안 ON상태를 유지하여 Vr을 연결한다. 그 다음에는 전압 기억을 위한 T4 상태로 들어가는 데 이 상태에서는 Sp1 스위치가 차례로 ON이 된다. 다음 4비트 변환을 위한 T5 상태에서는 Sp2가 ON이 되어 전압 기억회로에 저장된 전압을 샘플링 한다. 그 다음 홀드 상태 T6에서 모든 스위치는 OFF가 된다. (이때에도 마찬가지로 커패시터 스위치 S1, S2, S3, S4, St는 접지에 연결된다.) T7상태에서는 S1, S2, S3, S4 스위치가 차례로 ON/OFF가 되면서 변환이 수행된다.

IV. 설계된 ADC의 제작 및 고찰

설계된 ADC 회로를 하이닉스 0.35um 공정의 IDEC MPW를 통하여 제작하기 위해 아날로그 부분은 HSPICE 시뮬레이션을 거쳐 Mentor 사의 IC Station을 사용하여 Full Custom 방식으로 레이아웃을 완성하였다. 디지털 제어부는 VHDL로 설계되어 Synplicity로 합성한 다음 Synopsis 툴을 사용하여 레이아웃을 생성하고 Mentor의 IC Station에서 아날로그부와 통합하였다.

표 1은 기존의 전하재분배 방식과 제안된 방식의 면적을 각 블록 별로 보이고 있다. 제안된 방식은 커패시터 어레이에서 1/16으로 줄어들었으며 디지털 제어부 면적은 약 1.7배 늘어났음을 알 수 있다. 제안된 회로는 커패시터 전압기억회로를 추가로 포함하고 있다. 완성된 레이아웃의 총면적은 0.15 mm²로서 기존 방식의 8 비트 ADC를 같은 조건으로 구현했을 때의 면적 1.18 mm²의 약 1/8로 축소시킬 수 있었다.

그림 8은 완성된 레이아웃을 보이고 있다. 좌측과 우측에 하나씩의 ADC가 있다. 두 ADC에 서로 다른 연산 증폭기를 사용하여 그 영향을 비교하기 위해서 의도적으로 동일한 ADC를 구성하였다.

표 1. 기존 방식과 제안된 방식의 면적 비교

Table 1. Area Comparison of the Proposed ADC and Conventional ADC

블록	면적 (mm ²)		비율
	기존 방식	제안된 방식	
커패시터 어레이	1.152	0.072	1/16
디지털 제어회로	0.0225	0.04	2
전압기억 회로	0	0.0425	
스위치	0.00195	0.00225	1.15
총 면적	1.17645	0.15045	1/8

V. 결론

본 논문에서는 4비트 전하재분배 방식 ADC의 커패시터 어레이를 재사용하는 방식으로 8비트 변환을 수행하여 압력센서와 단일칩에 구현하기 적합하도록 면적을 축소한 전하재분배 방식의 ADC를 제안하였다. 이 ADC는 상위 4비트 변환을 전하재분배 방식으로 수행한 후 커패시터 어레이의 상판의 전압을 전압기억 회로에 기억시킨 다음 커패시터 어레이 하단을 모두 접지 시키고 나서 전압을 커패시터 어레이의 상단에 다시 복원시킨다. 그 다음 기준 전압을 1/16로 낮추어 하위 4비트에 대하여 전하재분배 방식으로 변환을 수행하여 총 8비트 변환을 얻는다. 제안된 방식은 기존 방법에 비해 커패시터 어레이의 면적을 1/16로 축소하였으며 전체 면적은 대략 1/8로 축소 시켰다. 면적을 많이 축소시킨 대신 변환 시간은 전압을 기억하기 위

한 시간만큼 증가되었다. 실리콘 압력센서는 고속의 변환 속도를 요구하지 않으므로 제안된 ADC는 실리콘 압력센서와 단일칩에 구현하기 적합하다고 사료된다.

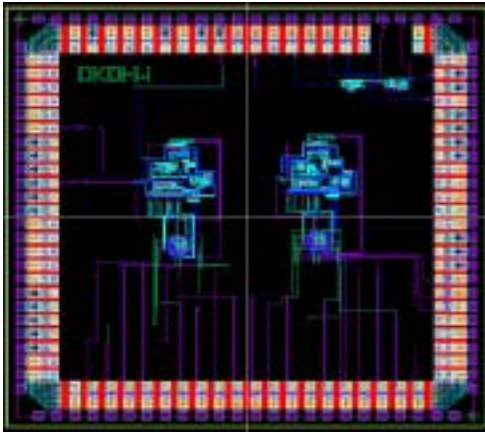


그림 8. 제안된 ADC의 레이아웃
Fig. 8. Layout of the Proposed ADC

Digital-to-Analog Conversion Techniques," 2nd ed., Wiley, 1994.

[8] Phillips E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design," 2nd ed., Oxford University Press, 2002.

저 자 소 개

김 규 철 (정회원)



1978년 서울대학교 자연과학대학 물리학과 (이학사)
1980년 서울대학교 대학원 물리학과 (이학석사)
1986년 미국 University of Wisconsin @ Madison (ECE 석사)

1992년 미국 University of Wisconsin @ Madison (ECE 박사)

1993년 9월 - 현재 단국대학교 전기전자컴퓨터공학부 부교수

<주관심분야> 집적회로 설계/검사, 혼합모드회로 설계, Design For Testability

도 형 욱



2002년: 동의대 전자공학과(공학사)

2003~2004: 한국 전자부품연구원(연구원)

2005년: 단국대 대학원 전자컴퓨터공학과(공학석사)

2005년~ 현재: LG전자 디지털 미디어사업본부 미디어연구소 CAR개발 Gr.//텔레매틱스 연구원

참 고 문 헌

[1] Artech House Publishers, "Sensor Technology & Devices" 1994
[2] Behzad Razavi, "Design of Analog CMOS Integrated Circuit", International Edition 2001.
[3] R. Jacob Baker, Harry W. Li and David E. Boyee, "CMOS circuit design, layout, simulation", IEEE Press Series on Microelectronic Systems, 1997.
[4] James L. McCreary, Paul R. Gray, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques", IEEE J. of Solid-State Circuits, Vol. SC-10, No. 6, Dec. 1975.
[5] Paul R. Gray, Robert G. Meyer, "Analog and Design of Analog Integrated Circuit," 3rd ed., Wiley, 1997.
[6] James L. McCreary, "Successive Approximation Analog-to-Digital Conversion Techniques in MOS Integrated Circuits," Memorandum No. ERLM554, Oct. 1975.
[7] David F. Hoeschele Jr., "Analog-to-Digital and