

기술 특 집

LTPS TFT의 특성이 SOG용 디지털/아날로그 회로에 미치는 영향

정 주 영 (수원대학교 전자공학과)

I. 서 론

다결정 실리콘의 특성이 빠르게 개선되면서 이를 이용하여 다양한 디지털 및 아날로그 회로를 평판 디스플레이에 집적하는 SOG(System-on-Glass)가 디스플레이의 저가격, 고신뢰성, 고성능화를 달성하는 핵심으로 자리잡아 가고 있다. 특히 최근에는 전자의 이동도가 $400 \text{ cm}^2/\text{Vsec}$ 를 상회하는 연구 결과들이 발표되고 있을 뿐 아니라 대량생산에 적합한 furnace를 이용한 실리콘 재결정 공정 연구가 진전을 보이고 있어 희망적이다.

LTPS(Low Temperature Poly-Silicon) TFT(Thin Film Transistor)는 유리 기판 상에 증착된 실리콘 박막을 이용하여 제작하게 되므로 기본적으로 단결정 SOI(Silicon-on-Insulator) MOSFET과 유사한 특성을 보이거나 재료 특성상 불가피하게 포함하고 있는 결정립계(grain boundary)에 의해 전기적 특성 편차가 크게 발생하게 된다. 다행히 재결정 기술의 발전으로 실리콘 결정립의 크기가 빠르게 커지고 있어 결정입자경계에 의한 영향에서 벗어나고 있지만 한편으로는 회로에 사용된 MOSFET들의 채널 영역에 존재하는 결정입자경계 수의 편차가 더욱 커지게 되어 회로 설계에 어려움이 증가하는 측면도 있다.

LTPS TFT를 이용하여 회로를 구성하는 것이 매력적이지만 다결정의 특성 때문에 문턱전압, 이동도, 누설전류 특성 편차가 단결정 MOSFET을 사용한 경우보다 매우 커 이용에 상당한 제약을 받고 있다. 전류 구동을 주로 사용하는 AMOLED(Active Matrix Organic Light Emitting Diode) 디스플레이는 픽셀회로에 3-4개 또는 그 이상의 TFT를 사용하여 소자 특성 편차를 보상해야 하는 것이 현실이며 아직 고계조의 디스플레이 구현에 어려움이 있다. 디지털 논리회로는 소자 특성의 변화에 민감하지 않기 때문에 비교적 응용이 용이하지만 동작 속도를 최악의 시나리오에 맞추어야 하기 때문에 낭비요소가 많다. 이를 극복하기 위해 회로 모듈간 handshaking을 통해 데이터를 주고 받는 방식도 제안되었으나 추가적인 제어신호가 필요하여 칩의 면적이 증가하는 단점이 있다. 아날로그 회로의 구현은 가장 실

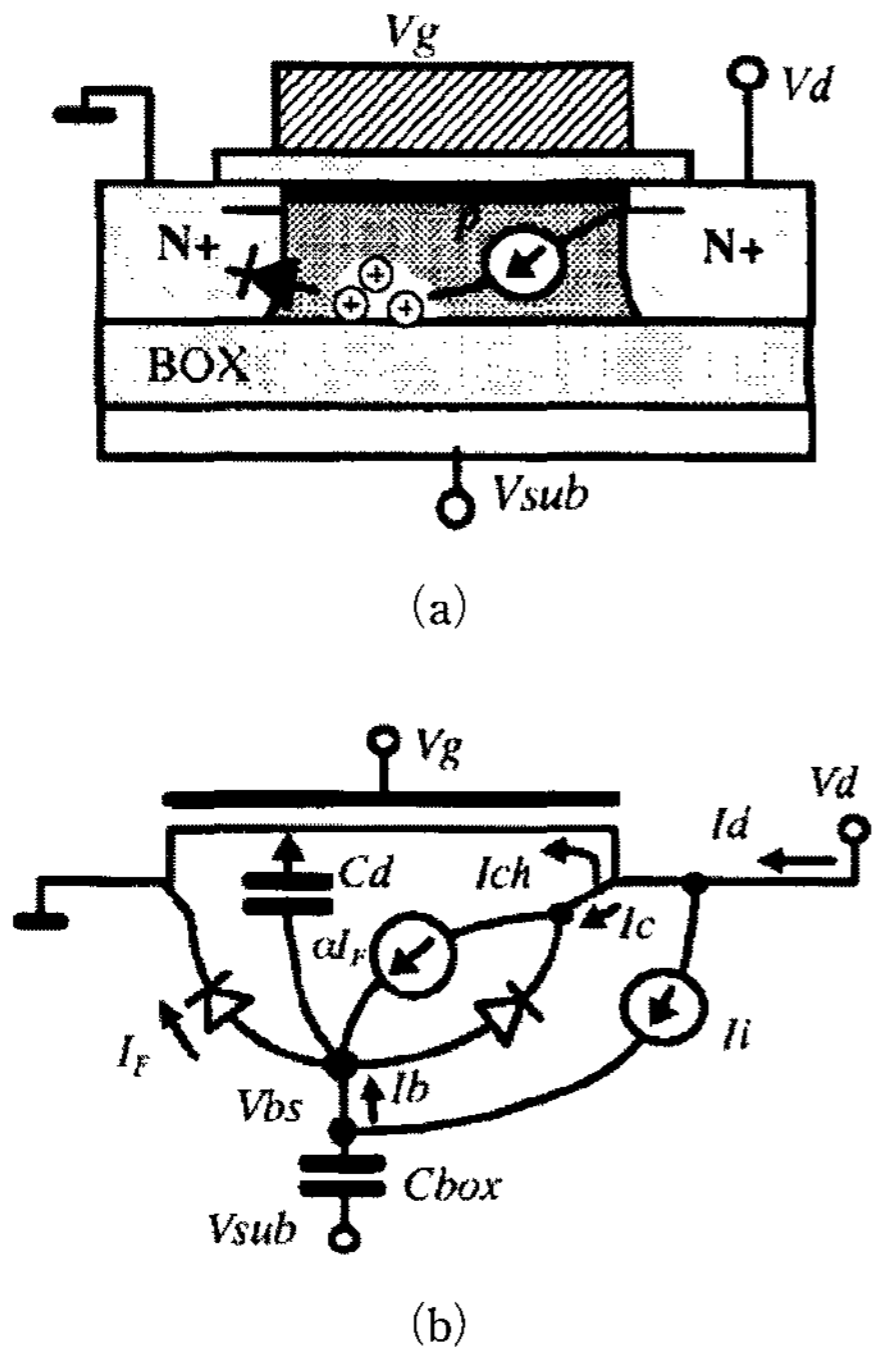
현이 어려운 분야로 간주되고 있는데 연산증폭기 회로 구성에 필수적인 matched pair의 구현이 현재로서는 거의 불가능하기 때문이다.

현재 기술적 한계와 관련된 문제이외에도 TFT는 기본 구조상 SOI MOSFET과 유사하며 이 소자로 구성된 회로에서는 벌크 MOSFET과는 다른 현상들이 보고되었으며 이 현상의 이해를 통해 적절한 회로설계를 하여야만 보다 우수한 성능의 시스템 구현이 가능하다. 본 고에서는 LTPS TFT를 이용하여 회로를 설계할 때 단결정 벌크 MOSFET 회로에서 발견되지 않는 현상에 대해 살펴 보겠다. 다결정 실리콘의 결정립을 크게 만들 수 있는 공정기술이 발전하고 있으므로 단결정 SOI MOSFET에서 관찰된 현상들을 같이 서술하고 이를 극복하기 위해 사용된 회로 설계 기법을 알아 보겠다.

II. SOI MOSFET 소자로 구성된 회로의 고유 특성

1. Floating Body Effect

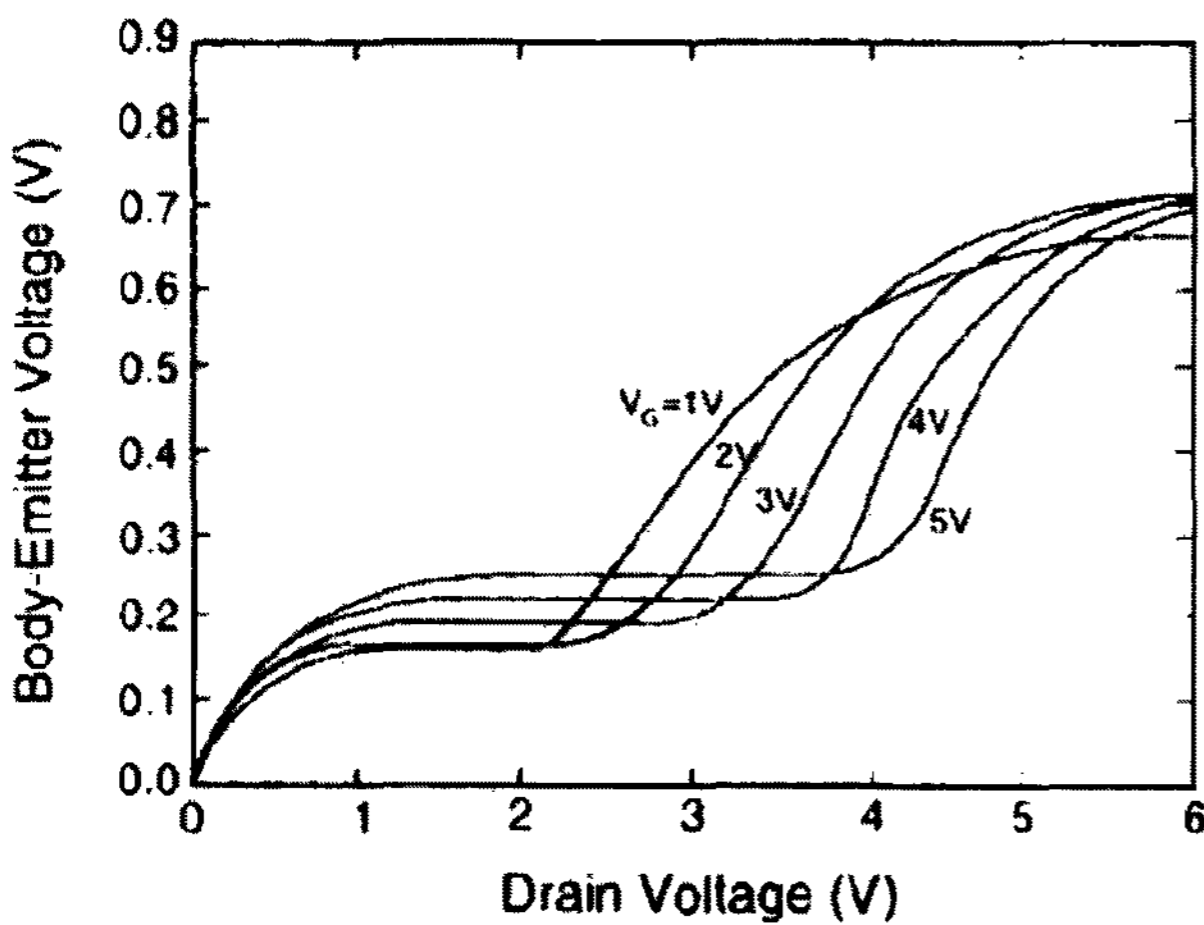
절연 기판위에 제작된 MOSFET은 특별히 body contact을 만들지 않는 이상, 채널 영역이 전기적으로 부동(floating) 상태에 놓이게 되며 이로 인해 생기는 현상들을 FBE(Floating Body Effect)라고 부른다. FBE는 외부 신호가 인가되지 않은 상태에서 채널 영역이 완전히 공핍되지 않는 PDSOI(Partially Depleted SOI) MOSFET와 LTPS TFT에서 뚜렷이 관찰되고 채널이 긴 FDSOI(Fully Depleted SOI) 소자에서도 관찰된다. LTPS TFT 소자나 PDSOI MOSFET의 전류-전압 특성 곡선에서 드레인-소오스간 전압이 높은 영역에서 급격히 포화 전류가 증가하는 kink 효과가 FBE에 의한 것이다. FBE에 의한 드레인 전류의 증가는 [그림 1](a)에 보인 것과 같이 소자 내의 기생 bipolar transistor의 전류가 기여하는 현상으로 impact ionization에 의해 발생된 정공이 부동상태인 n채널 MOSFET의 p형 body에 축적되면서 순방향 바이어스를



[그림 1] (a) 드레인 부근에서 충돌전이에 의해 발생한 정공이 body에 축적되는 현상의 단면도 (b) FBE가 존재하는 SOI MOSFET 또는 TFT의 등가회로^[1]

인가하게 되어 발생하게 된다. [그림 1] (b)는 FBE가 존재하는 n채널 소자의 등가회로로 소오스/드레인과 채널 사이의 pn 다이오드, 기생 bipolar transistor 전류 (I_f)와 충돌전이 전류 I_i 를 보이고 있으며 드레인 단자를 통한 전류는 MOSFET 표면채널 전류 (I_{ch})와 bipolar transistor의 콜렉터 전류 (I_c) 그리고 충돌전이전류 (I_i)의 합으로 표시된다^[1].

충돌전이에 의해 발생된 정공은 body에 축적되고 그 양이 증가하게 되면 body의 전위가 올라가게 된다. [그림 2]는 n채널 PDSOI 소자에 드레인 바이어스를 변화시키면서 body-emitter 접합의 전위차를 측정하는 것^[2]으로 1볼트 미



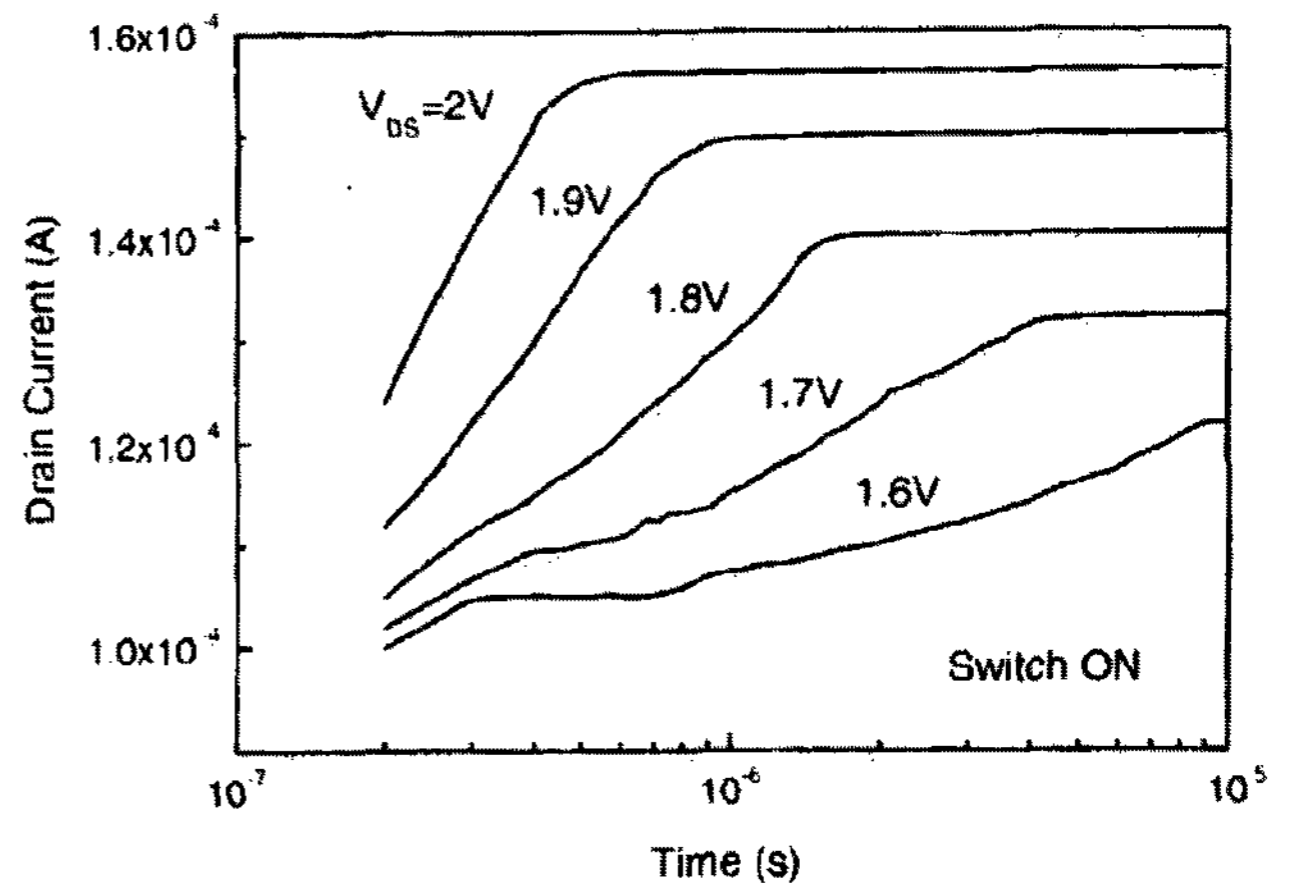
[그림 2] 게이트 전압을 파라미터로 측정된 드레인 전압과 body-emitter 전위와의 관계^[2]

만의 드레인 전압에 대해서는 충돌전이 발생확률이 미미하기 때문에 전압 발생이 적지만 드레인 전압이 증가하면서 빠르게 상승하고 그 상승의 정도는 드레인 전류가 클수록, 즉, 게이트 전압이 높을수록 커짐을 보이고 있다. 또 body-emitter 전위는 소자의 포화영역 ($V_{ds} > V_{gs} - V_t$)에서 다시 한번 증가하는데 이것은 충돌전이의 급격한 증가에 기인한다. 한편 모든 게이트 전압 조건에 대해 body-emitter 전위는 0.7볼트를 넘지 않는데 이는 다이오드가 순바이어스되어 더 많은 정공이 계속 축적되지 않기 때문이다.

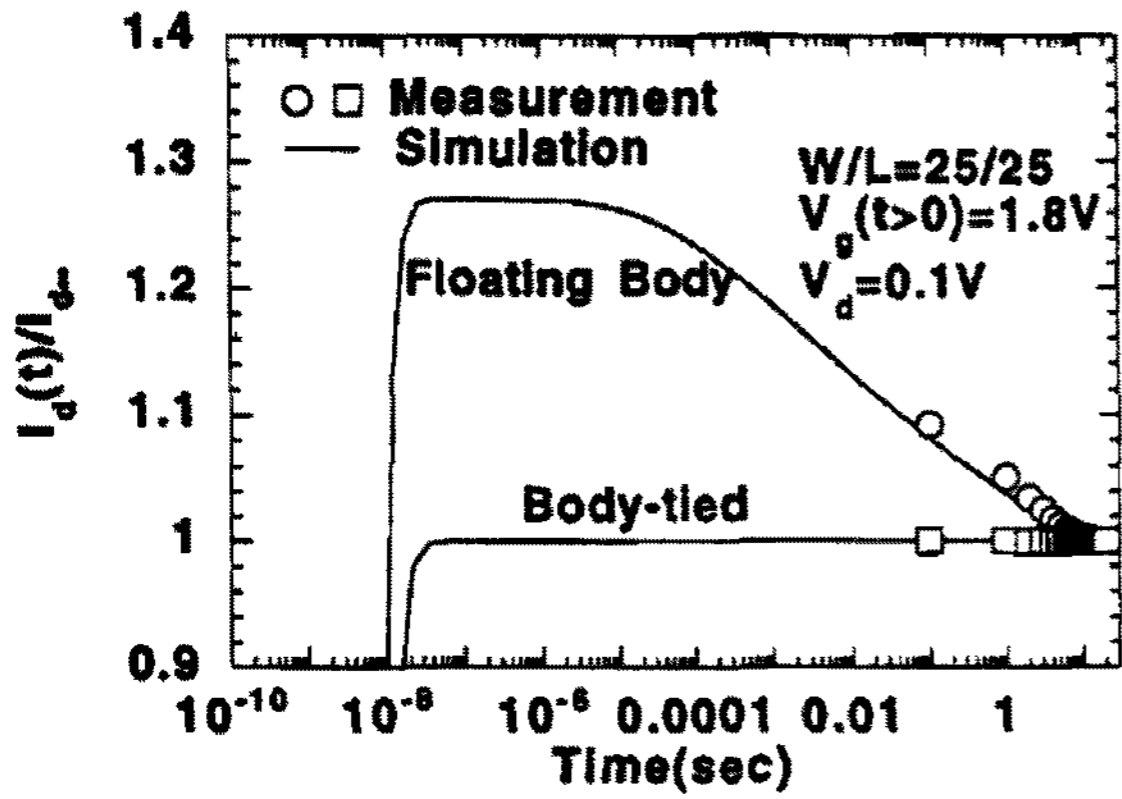
2. Floating Body Effect와 디지털 회로

부동상태의 body 전위는 디지털 회로의 동작에 긍정적인 영향과 부정적 영향을 모두 미칠 수 있다. [그림 3]은 문턱전압이 1볼트 이상이고 $W/L=10\mu\text{m}/1\mu\text{m}$ 인 PDSOI MOSFET의 게이트에 접지에서 0.8볼트까지 상승하는 펄스를 인가하고 발생하는 전류를 측정된 결과이다^[3]. 문턱전압보다 낮은 전압을 인가하였으므로 표면 채널에 흐르는 MOSFET 전류는 무시할 수 있는 상황에서 total 전류는 드레인 전압이 높을수록 빨리 그리고 크게 증가하는 특징을 보인다. 이 현상은 body의 전위가 바이어스 조건에 의해 높아진 상황에서 디지털 회로 입력 신호 레벨이 noise 등에 의해 흔들리는 경우에 상당한 크기의 누설전류가 기생 bipolar 트랜지스터에 의해 발생하는 것을 보여주는 것으로 dynamic 회로 동작의 오동작을 유발할 수 있음을 보여준다.

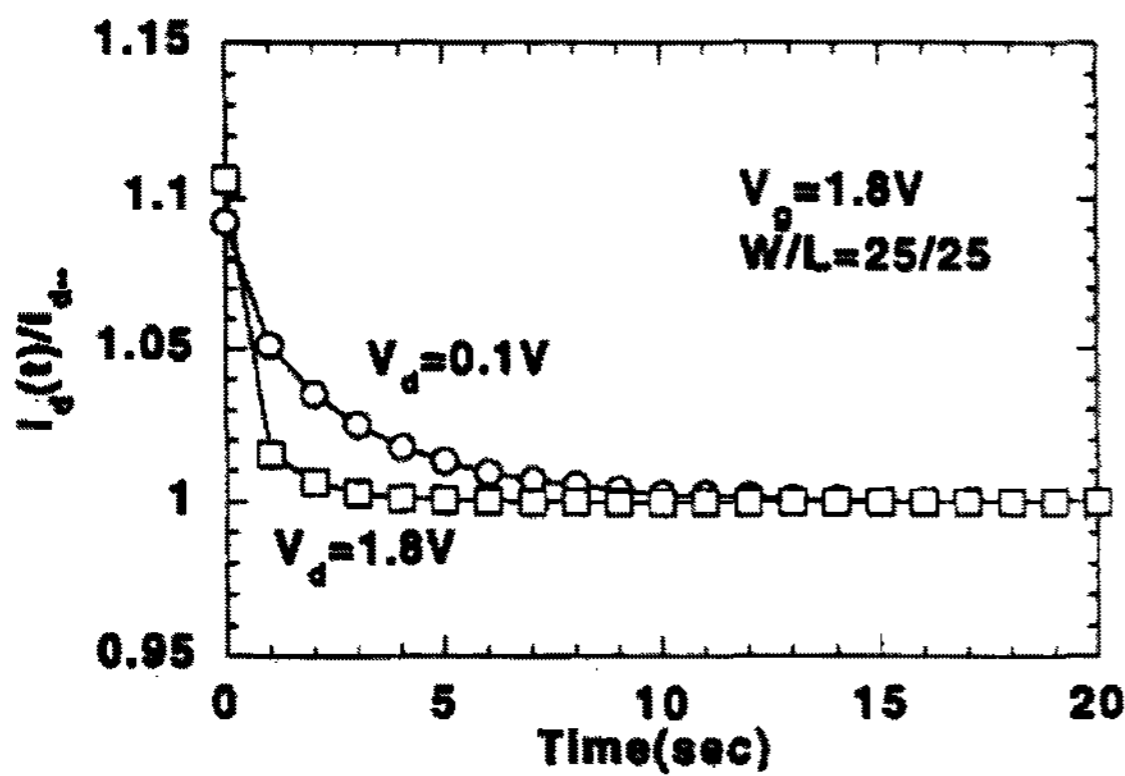
드레인에 인가된 DC 바이어스에 의해 결정되는 kink 현상과 달리 스위칭 과도응답에서 게이트에 인가된 신호가 급격하게 변하면 [그림 1] (b)의 캐패시터 C_d 에 의해 capacitive coupling이 발생하고 따라서 body potential이 순간적으로 증가하게 되는데 이때 bipolar transistor가 켜져 정상보다 많은 드레인 전류가 흐르게 된다. [그림 4] (a)는 $W/L=25\mu\text{m}/25\mu\text{m}$ 인 PDSOI 소자에 크기 1.8V의 펄스가 게이트에 인가되었을 때 부동상태의 소자가 body-tied 구조



[그림 3] $V_{gs} < V_t$ 인 조건에서 부동상태의 body에 의해 발생하는 드레인 전류의 과도응답 특성



(a)



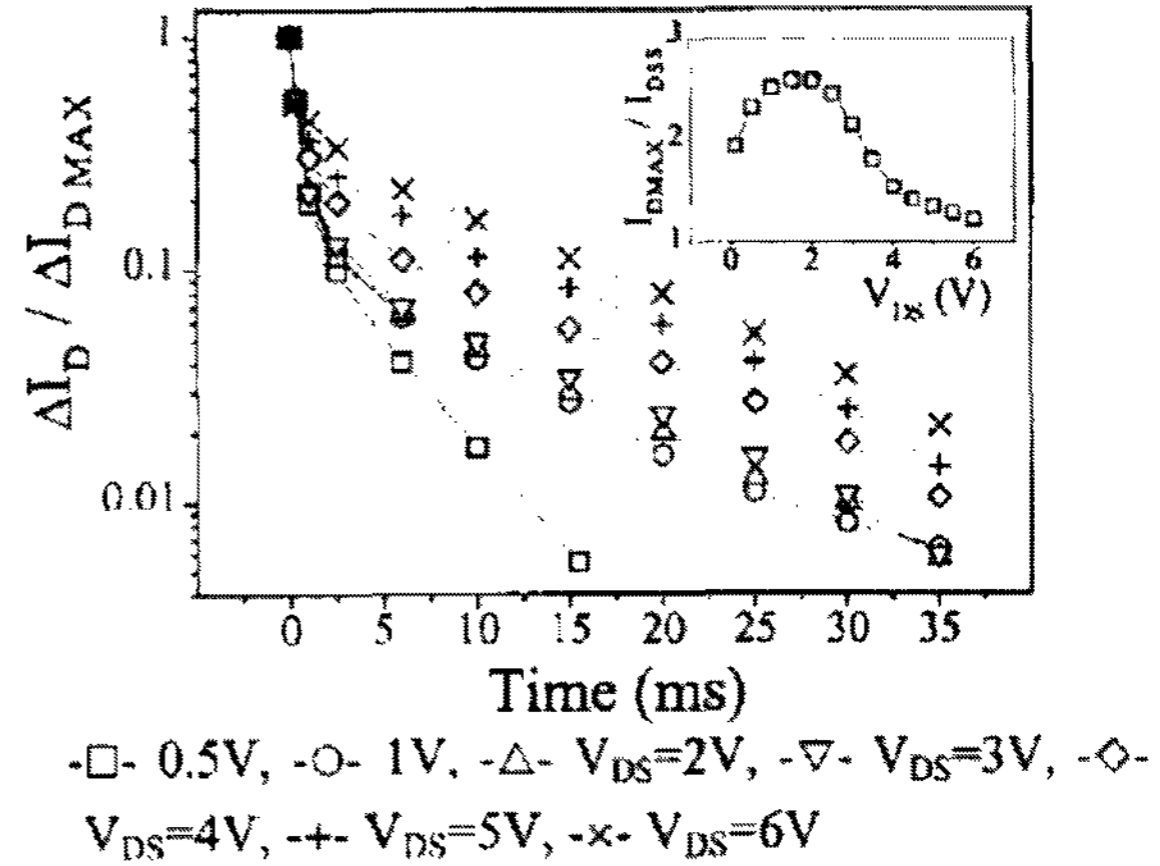
(b)

[그림 4] (a) 스위칭 동작에서 capacitive coupling에 의해 발생하는 과도 응답 전류 특성, (b) 부동 body 소자에서 과도응답 전류의 드레인 전압 의존성

에 비해 정상상태 전류값보다 10% 가량 높은 과도 전류를 흘리는 것을 보인 것이다^[4]. 즉, body가 소오스와 등전위로 묶여 있는 경우에는 $I_d(t)/I_{d0}$ 비율이 1을 넘지 않는데 반해 부동상태의 경우에는 $t=0.1$ 초 일 때 $I_d(t)/I_{d0}$ 비율이 1.1을 기록하였으며 MEDICI 전자모사 결과는 그 비율이 1.3까지 육박할 수 있음을 보여주고 있다.

[그림 4](b)는 드레인 전압이 스위칭 과도 응답에 주는 영향을 분석한 것으로 충돌전이가 발생하지 않는 0.1V 드레인 전압의 경우에 보다 오랜 시간 동안 $I_d(t)/I_{d0}$ 비율이 1을 초과하였다. 게이트에 입력이 인가되면 소자는 열평형 상태에서 벗어나며 채널내의 공핍영역이 확장하고 정공이 게이트 산화막 계면으로부터 밀려나게 된다. body-tied 소자에서는 외부로 이 정공을 빨리 빼낼 수 있지만 부동상태의 body를 갖는 소자에서는 이것이 불가능하고 오랜 시간 동안 흐르는 전류에서 공급하는 전자와의 재결합에 의해 정공이 소멸된다. 따라서 body-tied 구조보다 정상상태 도달 시간이 매우 길어진다. 한편 드레인 전압이 높으면 드레인 전류가 크고 공급하는 전자의 양도 많으므로 빨리 과도응답이 소멸하게 된다.

스위칭 동작에서 발생하는 과도응답은 다결정 실리콘 TFT에서도 관찰되었다^[5]. [그림 5]는 $W/L=100\mu/10\mu$ 인 다결

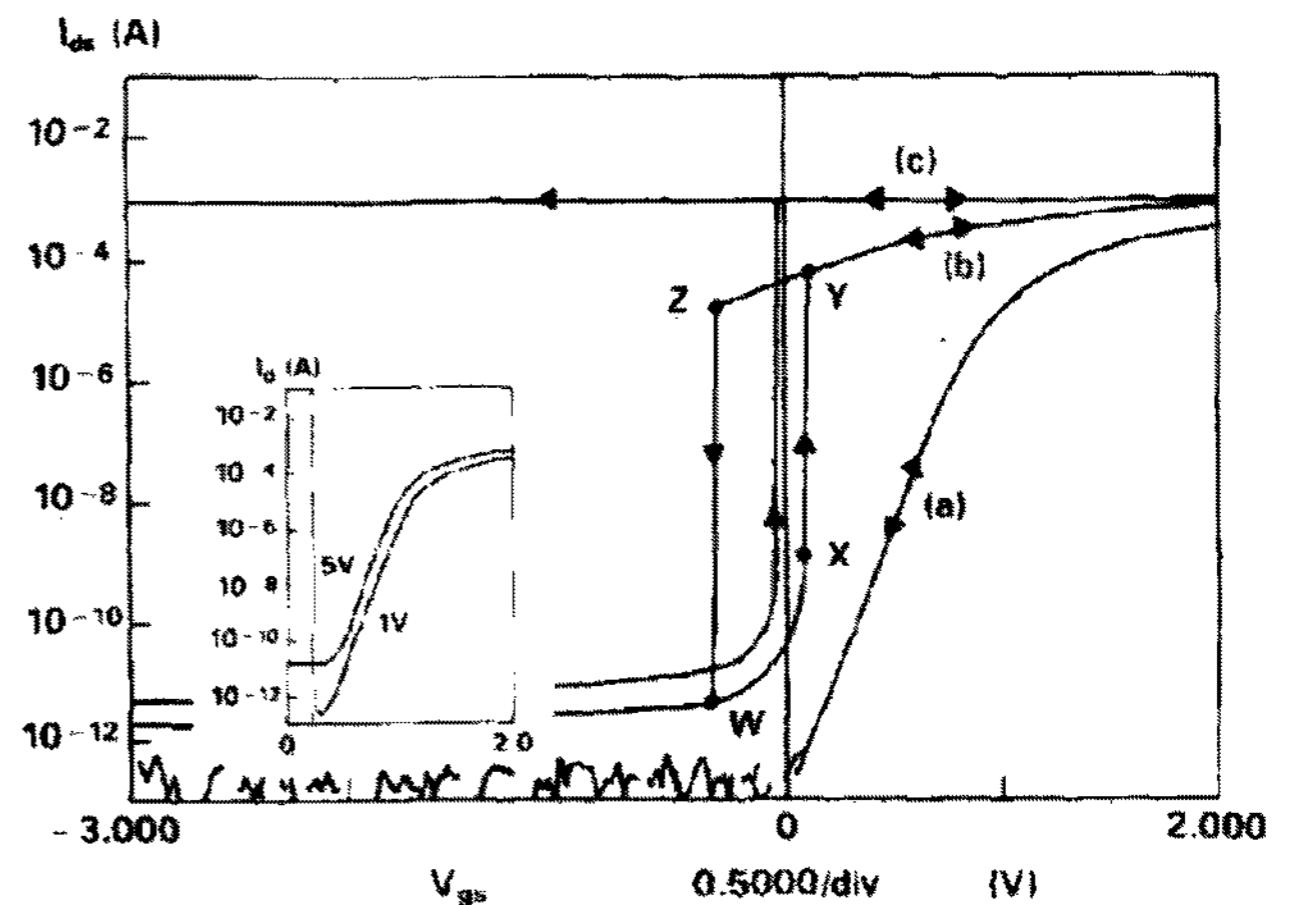


[그림 5] 다결정 실리콘 TFT에서 스위칭 과도 전류 특성 (inset: 드레인 전압에 따른 최대 드레인 전류 $I_{D MAX}$ 와 정상상태 드레인 전류 $I_{D SS}$ 의 비율)

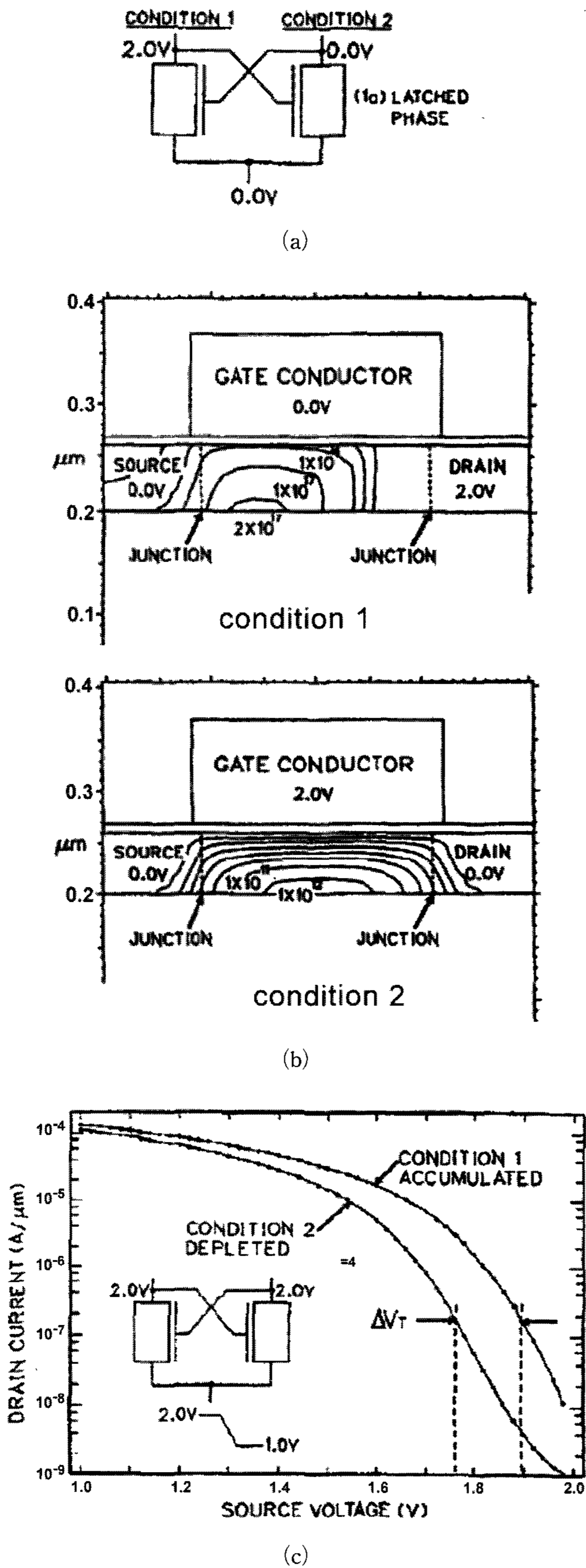
정 실리콘에 7V, 20ns rise time의 펄스를 인가했을 때 발생하는 과도 전류를 드레인 전압을 파라미터로 사용하여 측정한 것으로 SOI 소자의 경우보다 과도응답이 유지되는 시간이 0.1초 미만으로 보고 되었으며 이는 결정립계 등에 존재하는 trap 등에 의한 것으로 간주되며 드레인 전압이 높을수록 감퇴가 느린 것은 드레인 전압이 높을수록 정공이 갇혀있는 trap에 전자가 결합하기 어렵기 때문이라고 보고된 바 있다. 이상에서 본 스위칭에서의 과도 전류 특성은 FBE가 긍정적으로 회로 동작에 도움이 되는 경우로서 보다 많은 전류가 초기에 흐름으로 해서 부하를 충전하거나 방전하는 시간을 줄일 수 있어 고속 동작에 유리하다.

3. history 효과

부동상태에 있는 body의 전위는 이전 소자 동작의 history에 의해 결정되므로 종래의 소자에서 발견되지 않았던 양태를 관찰할 수 있다. [그림 6]은 게이트 전압을 sweep하



[그림 6] FBE효과로 인해 스위칭 특성에 hysteresis가 나타난 측정 결과 (a) $V_{DS}=1V$, (b) $V_{DS}=4V$, (c) $V_{DS}=5V$ (inset: body-tied 소자의 특성)^[6]

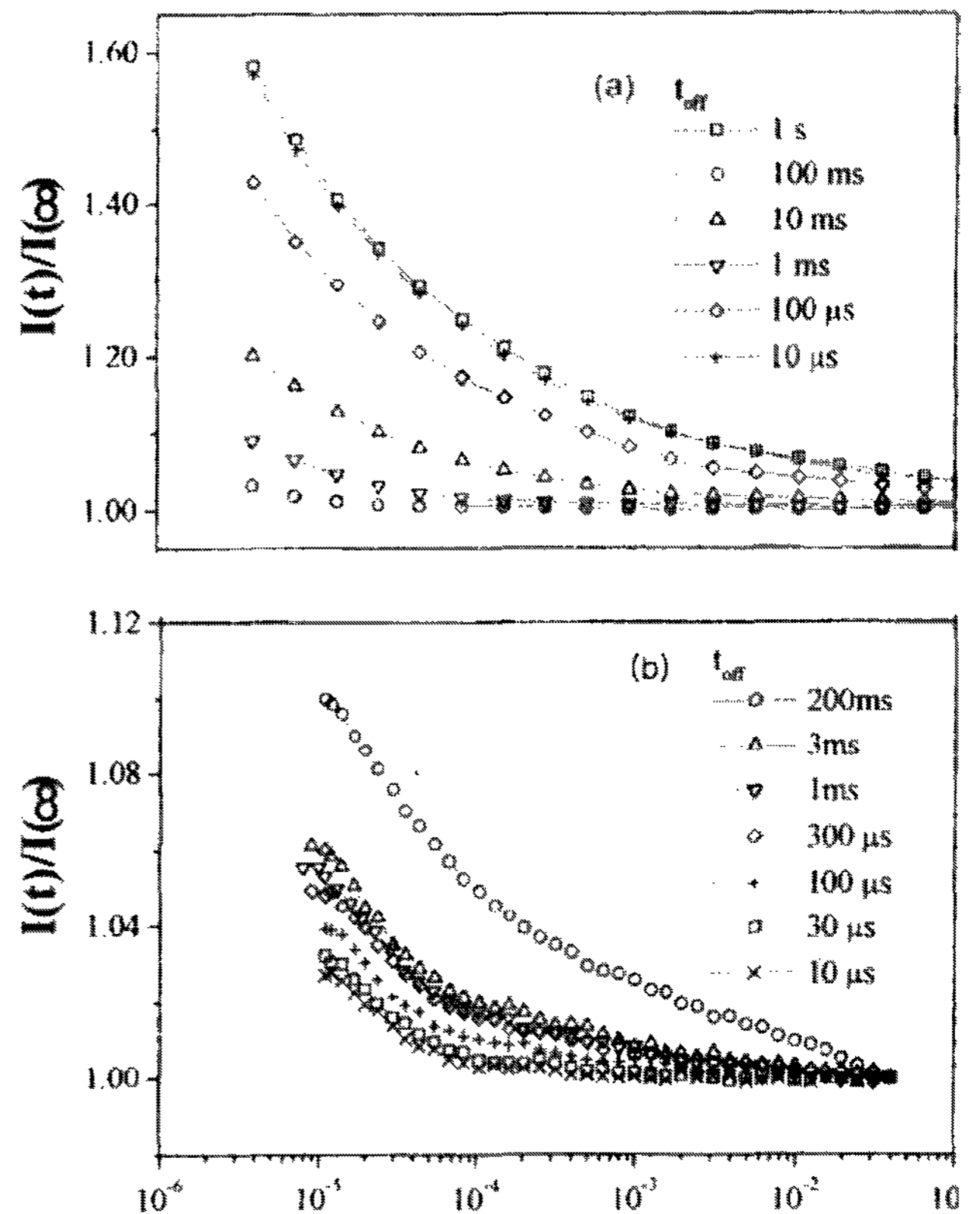


[그림 7] sense amp에 사용되는 cross-coupled 회로에서 FBE에 의한 회로 동작 특성 변화 (a) latch 상태의 회로, (b) 각 소자 내부의 정공 밀도 분포 모사 결과, (c) 정공밀도 분포 차이로 인한 소자 문턱전압 변화

면서 드레인 전류 특성에 hysteresis가 발생하는 것을 관찰한 것^[6]인데 $V_{ds}=1V$ 의 경우 V_{gs} 를 음에서 양으로 sweep한 경우와 양에서 음의 전압으로 sweep한 경우 모두 같은 경로를 따르게 된다. 그러나 기생 트랜지스터가 켜진 $V_{ds}=4V$ 의 경우 sweep 방향에 따라 드레인 전류가 켜지는 전압에 차이가 생긴다. 즉, 기생 bipolar 트랜지스터는 일단 켜지면 잘 꺼지려 하지 않는 특성이 생긴다. 극단적인 예로 $V_{ds}=5V$ 인 경우에 음에서 양으로 V_{gs} 를 sweep하면 0V 부근에서 드레인 전류가 켜지만 반대로 sweep하여도 $V_{gs}=-3V$ 까지 인가하여도 전류는 계속 흐르는 것을 볼 수 있다. 이때 모든 전류는 표면의 채널보다는 기생 트랜지스터에 의해 전도된다.

History 효과는 cross-coupled 구조를 갖는 SRAM의 sense amp에서 오류를 발생시킨다^[7]. [그림 7](a)는 latch상태에 있는 n채널 소자의 회로이며 [그림 7](b)는 각 소자내에서의 정공 농도 분포를 나타낸 것이다. Body 내의 정공 분포 차이는 [그림 7](c)에서 보는 것과 같이 유효 문턱전압의 차이를 발생시키며 오동작의 원인이 된다. TFT를 이용하여 디스플레이에 SRAM을 집적하려는 노력이 진행되고 있는 것을 감안할 때 회로의 오동작 방지를 위해 느리게 동작하는 경우에 맞추어 timing을 제어해야만 한다.

TFT에서도 history 효과가 관찰되었는데 Migliorato 등^[8]은 저온 폴리실리콘과 single grain TFT를 제작하고 게이트에 7V 크기의 펄스를 인가하여 과도응답을 측정하였다. history 효과를 보기 위하여 펄스의 off-time을 변화시

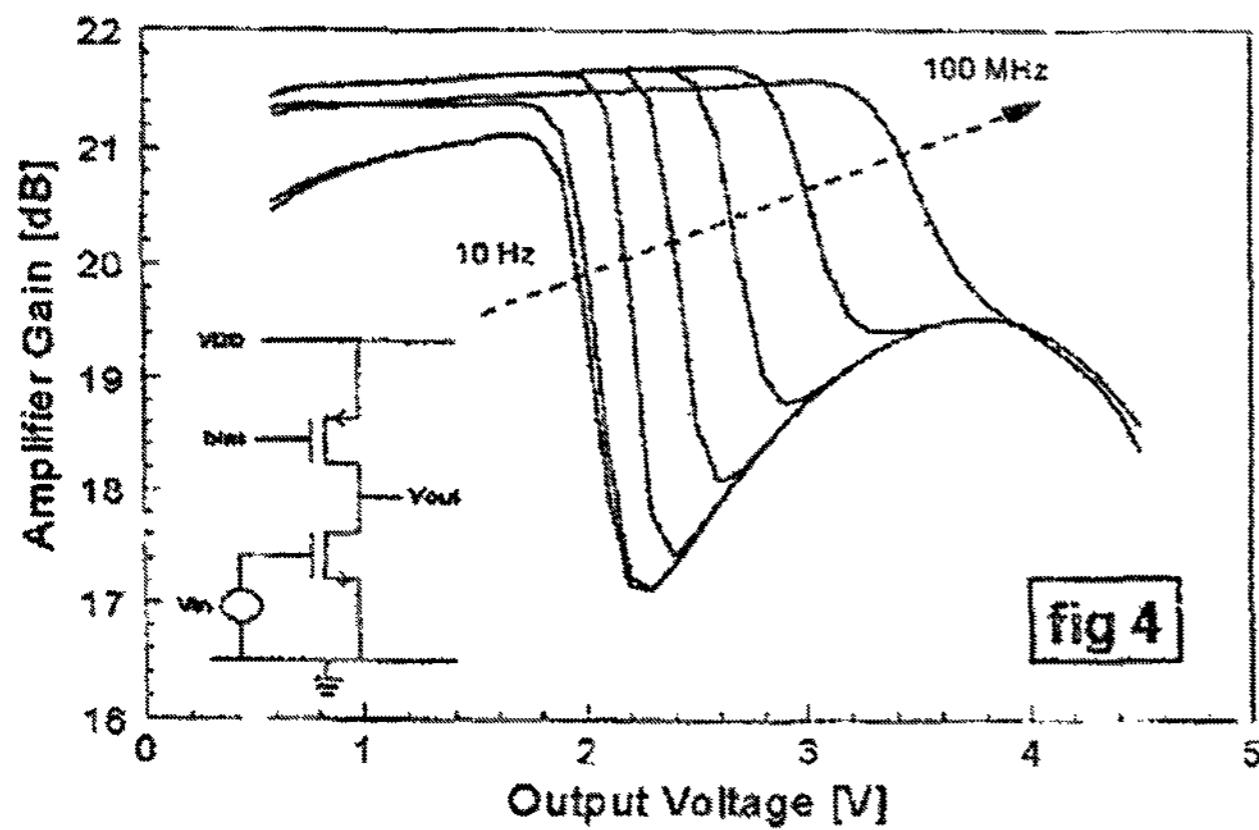


[그림 8] (a) LTPS TFT소자, (b) single grain TFT 소자의 off-time 변화에 따른 전류 overshoot 특성

킨 결과, [그림 8]에서 보는 것과 같이 두 종류의 소자 모두 오래 꺼져 있었던 경우에 과도응답에서 전류 overshoot가 커진다는 것을 밝혔다. 그 이유는 off-time이 길수록 trap에서 전자가 탈출하는 양이 증가하고 따라서 다시 켜졌을 때 전자를 포획할 수 있는 trap의 수가 증가하기 때문이다. 이같은 이유로 trap의 절대 숫자가 적은 single grain TFT의 overshoot가 저온 폴리실리콘 소자에서의 overshoot보다 작다는 것도 밝혔다. 또 단결정 SOI MOSFET에서는 전류의 overshoot가 발생하지 않았다고 하였는데 그 이유는 실험에 사용한 소자의 크기가 $W/L=3.21/2.88\mu\text{m}$ 로 작기 때문에 [그림 4]의 long channel 소자에서보다 body에서의 정공 소멸이 충분히 빠르게 일어났기 때문이라고 생각된다.

4. FBE와 아날로그 회로

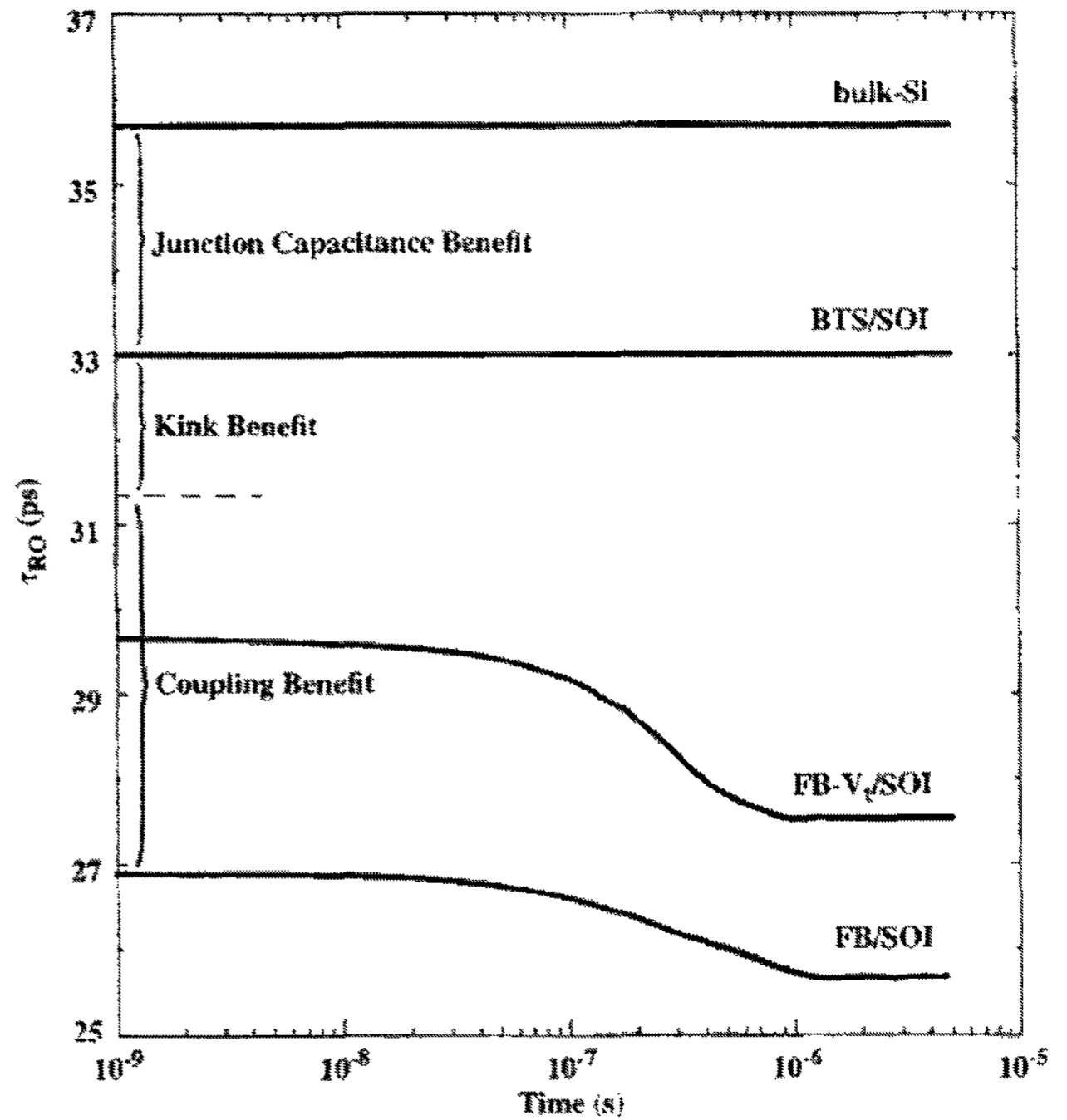
LTPS TFT는 결정립계가 불규칙적으로 분포하기 때문에 소자의 문턱전압을 정확히 제어하는 것이 매우 어려워 아날로그 회로를 구성하는데 많은 어려움이 있다. 특히 op amp의 기본 구성요소인 차동 증폭기와 current mirror 회로에서 소자의 차이 때문에 특성이 저하된다. 이러한 문제는 다결정의 결정립이 커지고 소자의 크기가 작아짐에 따라 개선될 것으로 기대된다. 그러나 FBE로 인한 문제는 해결이 어려울 것으로 보여 주의가 필요하다. [그림 9]는 간단한 아날로그 증폭기의 이득이 출력전압과 동작주파수에 따라 어떻게 변하는지 측정한 결과^[9]로 주파수가 낮은 수록 낮은 출력전압에서 이득이 급격히 떨어지며 이는 kink 현상으로 인해 드레인 저항이 변하기 때문이다.



[그림 9] 아날로그 증폭기의 주파수 변화에 따른 출력 전압과 이득의 관계

III. 성능 및 신뢰성 향상을 위한 회로 및 소자 기술

지금까지 FBE가 회로 동작에 미치는 악영향에 대해 고려하였지만 body 전위가 높아지면 문턱전압이 낮아지는 효과



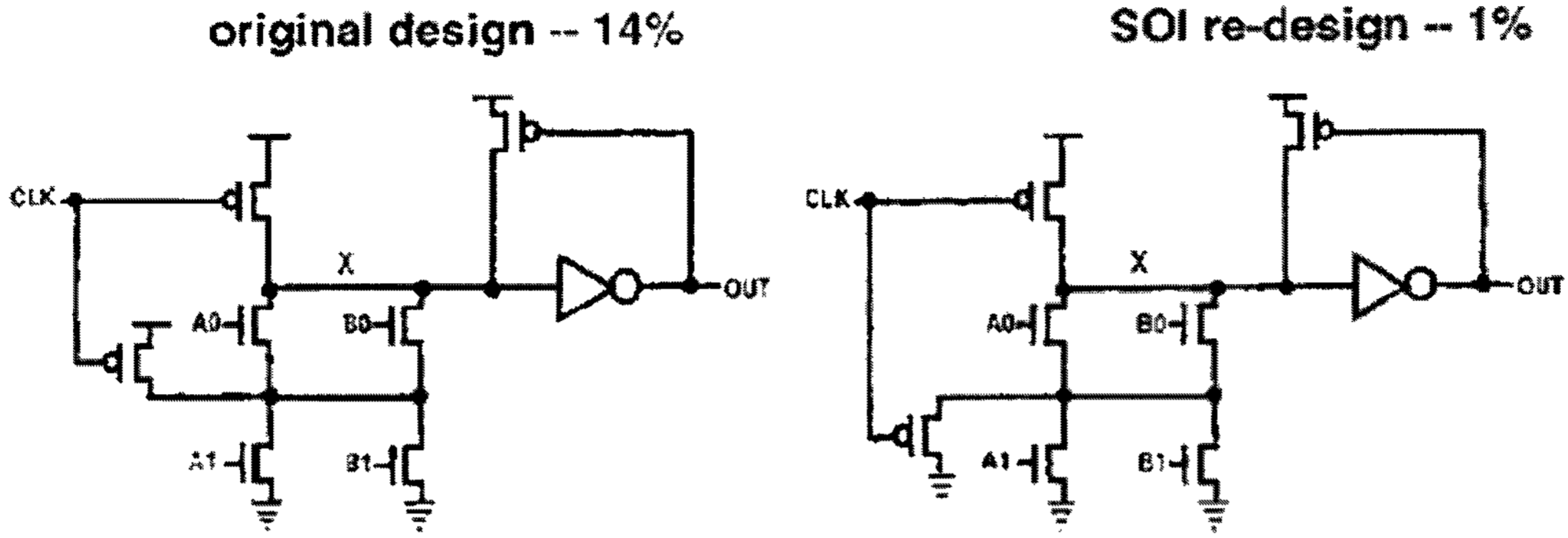
[그림 10] FBE효과를 갖는 소자로 구성된 ring oscillator의 propagation delay 성능향상 요소별 기여 정도

를 낮게 되어 스위칭 초기에 보다 많은 과도전류를 흘리게 되어 속도를 향상시키는 장점도 있으며 여러 개의 소자를 직렬로 연결할 경우 접지로부터 멀리 떨어진 bulk MOSFET의 문턱전압이 높아지는 스위칭 속도가 떨어지는 단점도 발생하지 않는다. [그림 10]는 PDSOI MOSFET를 이용한 ring oscillator의 전파 지연 성능 향상을 원인 별로 구분한 것으로 낮은 소오스/드레인 접합 정전용량에 의해 약 10%, kink effect에 의해 약 5%, 동적으로 문턱전압이 낮아지는 coupling effect에 의해 10% 이상의 성능 향상을 얻을 수 있었다고 보고하였다^[10].

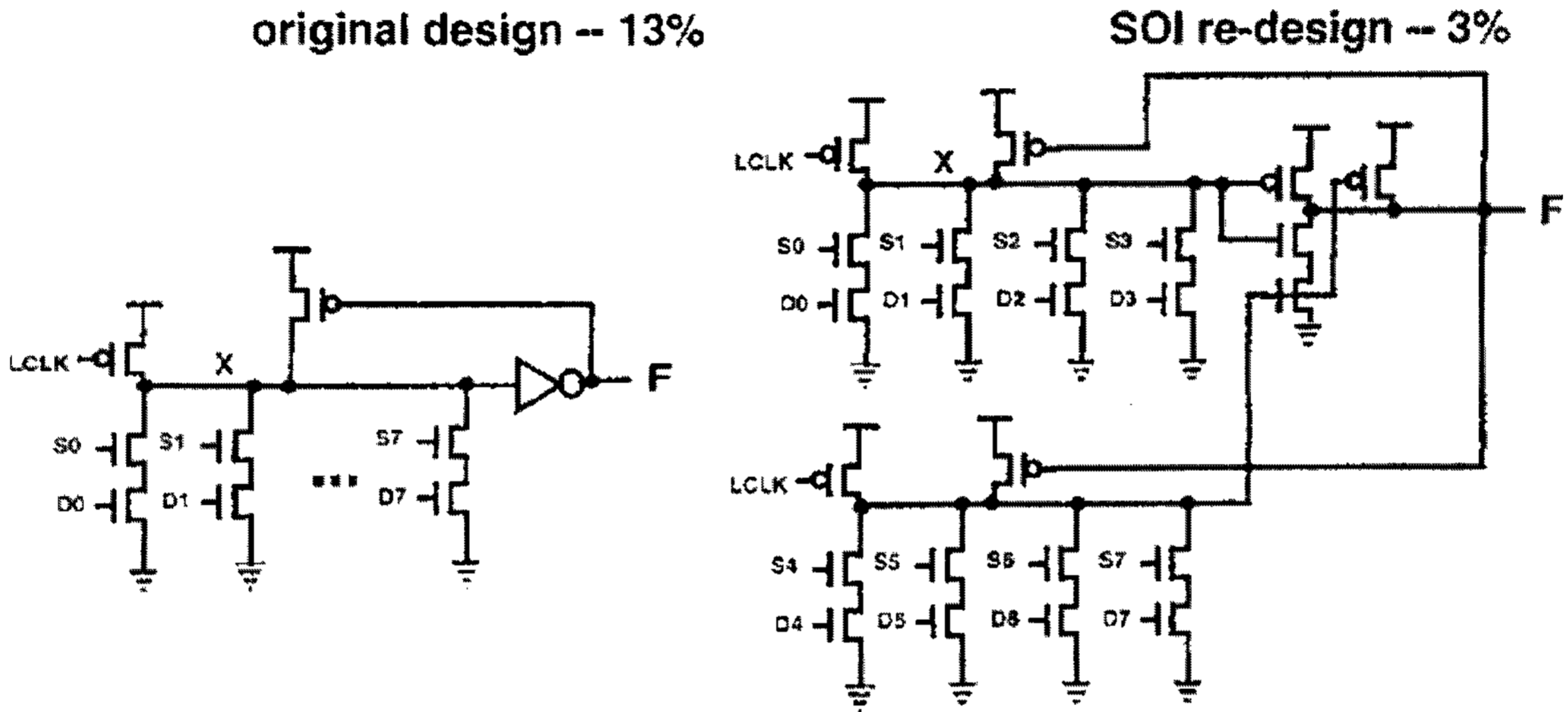
보다 구체적으로 직렬로 연결된 소자들을 사용하는 회로에서 중간 노드의 전압을 FBE가 발생하지 않는 조건이 되도록 제어하는 것이 오동작 방지에 중요하다. 이를 위하여 [그림 11]에 보인 것과 같이 dynamic logic의 precharge 기간에 중간 노드를 방전시키는 방법^[11]과 접지에 CLK' 신호를 인가하여 누설전류를 방지하는 방법^[12]이 개발되었다.

아울러 복잡한 논리함수를 구현하는 도미노 로직의 경우 [그림 12]에 보인 것과 같이 함수를 몇 개의 branch로 나누어 구현하고 각 branch의 출력을 인버터를 통해 전체회로의 출력 노드에 연결하여 FBE로 인해 출력 노드 전압이 저하되는 것을 방지하는 방법^[11]도 고안되었다.

회로의 모양이나 동작 순서등을 적절히 변경하는 기법과 함께 소자 구조 설계를 FBE를 억제하도록 하는 연구도 보고되었는데 출력이 high일때나 low일 때 소자 내부의 전하 분포에 차이가 발생하지 않도록 하는 charge-balanced 소자 구조^[13]와 소오스 밑에 의도적으로 수평 방향의 bipolar 트랜지스터를 만들어 body의 정공이 흘러나가는 통로를 만들어 주는 BESS(Bipolar Embedded Source Struc-



[그림 11] 일반적인 dynamic logic 설계와 내부 노드를 방전시키는 SOI 회로의 구성



[그림 12] 복잡한 함수를 도미노 로직으로 구현하는 일반적인 방법과 FBE로 인한 출력전압 강하를 줄인 SOI 회로 설계 방법

ture) 소자 구조^[14], 그리고 body를 전기적으로 부동상태에 있지 않도록 하는 body-linked 소자 구조^[15] 등이 보고 되고 있다.

IV. 맺는 말

TFT를 이용한 회로 설계는 SOP가 널리 상용화되기 위해 필요한 요소 기술이다. 본 고에서는 벌크 SOI와 TFT 회로에서 부동 상태에 있는 body 때문에 생길 수 있는 회로적 문제에 대해 간단히 살펴보았다. 이에 관한 보다 자세한 논의는 열거한 참고 문헌이 도움이 될 것이라고 생각되며 특히 전반적인 SOI 회로에 대한 이해를 위해서 참고 문헌^[16]을 권한다.

감사의 글

본 연구는 학술진흥재단의 중점연구소지원사업의 연구비 (KRF-2004-005-D00164)에 의해 지원되었다.

참고 문헌

- [1] Alberto O. Adan, Kenichi Higashi, and Yasumori Fukushima, "Analytical Threshold Voltage Model for Ultrathin SOI MOSFET's Including Short-Channel and Floating-Body Effects", IEEE TRANSACTIONS ON ELECTRON DEVICES, pp.729, Vol.46, No.4, APRIL 1999.
- [2] S.S. Chen and J. B. Kuo, "An analytical CAD kink effect model of partially depleted SOI NMOS devices operating in strong inversion", Solid State Electronics, Vol.41, No.3, pp.447, 1997.
- [3] L. Perron, C. Hamaguchi, A. Lacaite, S. Maegawa, and Y. Yamaguchi, "Dynamic floating body effects in PD SOI MOSFET's biased in the kink region", ESSDERC Digest, pp.524, 1999.
- [4] H.C. Shin, Ik-Sung Lim, Marco Racanelli, Wen-Ling Margaret Huang, Juergen Foerstner and Bor-Yuan Hwang, "Analysis of Floating Body

- Induced Transient Behaviors in Partially Depleted Thin Film SOI Devices”, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 43, No. 2, pp. 318, 1996.
- [5] N.G. Bavidge, M. Boero, P. Migliorato, T. Shimoda, “Floating body induced transient drain current overshoot in polysilicon thin film transistors, “ IDW’00 Digest, pp. 175, 2000.
- [6] C.E. Daniel Chen, M. Matloubian, R. Sundaresan, P. Pollack, “Single-Transistor Latch in SOI MOSFET’s”, IEEE ELECTRON DEVICE LETTERS, pp. 636, Vol. 9, No. 12, 1988.
- [7] J.A. Mandelman, F. Assaderaghi, and L. L. Hsu, “SOI MOSFET mismatch due to floating body effects”, Proc. IEEE International SOI Conf., pp. 164, 1997.
- [8] P. Migliorato, F. Yan, S. Inoue, T. Shimoda, R. Ishihara, “Dynamic Behavior of polysilicon and single grain silicon TFTs”, IDW’03 Digest, pp. 327, 2003.
- [9] W. Redman-White, B.M. Tenbroek, M.S. Lee, C. F. Edwards, M.J. Uren, R.J.T. Bunyan, “Analogue design issues for SOI CMOS”, Proc. 1996 IEEE Int. SOI Conf, pp. 6, 1996.
- [10] Mario M. Pelella, and Jerry G. Fossum, “On the Performance Advantage of PD/SOI CMOS With Floating Bodies”, IEEE TRANSACTIONS ON ELECTRON DEVICES, pp. 96, Vol. 49, No. 1, 2002.
- [11] David H. Allen, Anthony G. Aipperspach, Dennis T. Cox, Nghia V. Phan, Salvatore N. Storino, “A 0.2 μ m 1.8V SOI 550MHz 64b PowerPC Microprocessor with Copper Interconnects”, IEEE Journal of Solid-State Circuits, Vol. 34, pp. 1430, 1999.
- [12] Ju Young Jeong and Jae-Geun Kim, “New Dynamic Logic Gate Design for Improved TFT Circuit Performance”, J. Information Society, Vol. 6, No. 1, pp. 17-21, 2005.
- [13] A. Wei and D. A. Antoniadis, “Design methodology for minimizing hysteretic V_T -variation in partially-depleted SOI CMOS”, IEDM ’97, pp. 411, 1997.
- [14] Masatada Horiuchi and Masao Tamura, “BESS : A source structure that fully suppresses the floating body effects in SOI CMOSFETs”, IEDM ’96, pp. 121, 1996.
- [15] W. Chen, Y. Taur, D. Sadana, K. A. Jenkins, J. Sun, and S. Cohen, “Suppression of the SOI floating-body effect by linked-body device structure.”, 1996 Symp. VLSI Tech., pp. 92, 1999.
- [16] J. B. Kuo and S. -C. Lin, “Low-voltage SOI CMOS VLSI Devices and Circuits”, Wiley Interscience, 2001.

저자 소개



정 주 영

1982년 서강대학교 전자공학과 학사, 1990년 Rensselaer Polytechnic Institute 전기공학 박사, 1990년 삼성종합기술원 선임연구원, 1991년 범한정기(주) 이사, 1995년 수원대학교 전자공학과, 현재 수원대학교 전자공학과 부

교수, 주요 연구 분야: 반도체 소자, 집적회로 설계, PDP 구동회로 및 구동 방식, TFT 회로 설계.