

기술 특 집

System On Panel 구현을 위한 Poly-Si TFT 회로 설계 기술

최 병 덕 (한양대학교 공과대학 전자통신컴퓨터 공학부)

I. 서 론

SOP(System On Panel)의 개발은, TFT-LCD의 row 구동 회로와 column 구동 회로를 기판 상에 TFT를 이용하여 집적하려는 시도로부터 시작되었다고 말할 수 있다. 초기에는, 보다 우수한 소자 특성을 얻는데 유리한 고온 poly-Si TFT 구동 회로를 집적한 panel이 주류를 이루었으나, 고가의 석영 기판을 사용해야 하고, 대면적 구현의 어려움 등으로 인해 현재는 저온 poly-Si TFT를 이용한 기술 개발이 보다 활발하게 진행되고 있다.

일본, 미국, 한국 및 대만 등을 중심으로 이루어진 집중적인 연구 개발의 결과, 개선된 전류 구동 능력, 비교적 낮은 문턱 전압 등 TFT의 특성 향상이 가능해졌고, 이러한 특성 향상은 poly-Si TFT 활용의 패러다임을 변화시키는 토대가 되었다. 즉, 초기에는 구동 회로를 집적함으로써 부품 비용을 절감하고, a-Si TFT보다 우수한 화소 스위치를 제작함으로써 화질 개선, 소비 전력 절감 등의 효과를 기대하는데 그쳤으나, TFT 성능의 획기적인 향상은, 전원 회로, 메모리, 센서 및 MCU 등 현대의 전자 시스템에 사용되는 거의 모든 부품들을 기판 상에 집적한 SOP의 실현 가능성을 제시하였다.

그러나, TFT의 성능의 많은 향상에도 불구하고, TFT를 이용하여 위와 같은 다양한 기능 블럭들을 구현하기에는 여전히 많은 어려움이 남아 있다. 무엇보다도, 넓은 기판 상에 분포되는 TFT의 문턱 전압, 이동도의 불균일성 문제, kink 효과로 인한 낮은 출력 저항, 낮은 transconductance 등은 특히 아날로그 회로 설계에 많은 문제점을 야기시킨다. 본 고에서는 이러한 TFT 소자의 문제점들 감안하여, SOP를 구성하는 핵심 회로 블럭인 구동 회로, timing controller (TCON), 및 DC-DC converter 등의 회로 설계 기법에 대하여 살펴 보고자 한다.

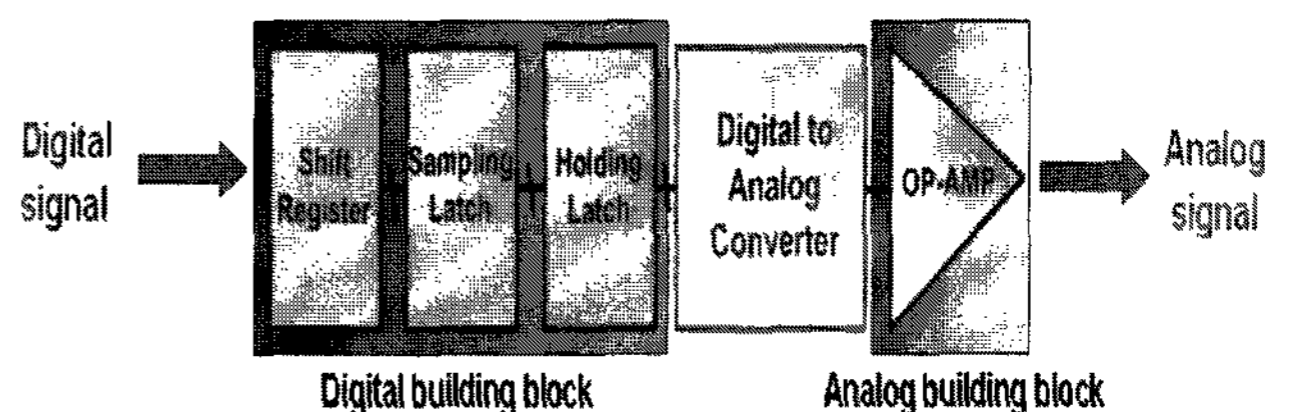
II. 구동 회로 설계

SOP에 포함된 디스플레이에 영상 정보를 전달하기 위해

서는 row 구동 회로와 column 구동 회로가 필요하다. 기능 면이나, 회로의 복잡도, 화질에 미치는 영향, 소비 전력 등을 볼 때, column 구동 회로가 훨씬 더 중요하기 때문에, 본 고에서는 column 구동 회로를 구성하고 있는 여러 서브 블럭 회로의 설계를 중점적으로 설명한다.

1. DAC

우리가 사용하는 영상 정보는 대부분 디지털화 되어 있는 반면, SOP에 사용되는 LCD나 OLED에서는 아날로그 전압이나 전류에 의해 영상이 표시된다. 따라서, [그림 1]에서 보인 바와 같이 디지털 신호를 아날로그 신호로 변환시켜주는 DAC는 SOP column 구동 회로에 필수 불가결한 요소이다. Poly-Si TFT를 이용해 이러한 DAC를 설계하기 위해 고려해야 할 사항에는 정확도 등의 기본적 성능 이외에, 회로의 면적과 소비 전력 등이 있다. 특히, SOP 기술은 주로 휴대용 기기에 우선적으로 적용될 것으로 예상되므로, compact한 회로를 설계하는 것이 매우 중요하다. 현재 가장 널리 사용되는 DAC는 일반적으로 구동회로 면적의 50% 이상(6-bit 기준)을 차지하기 때문에 소면적, 저소비전력을 갖는 DAC를 개발하는 일은 필수적으로 해결해야 할 기술적 과제이다.



[그림 1] SOP 구동 회로의 블럭 다이어그램.

현재까지 알려진 SOP 구동 회로용 DAC는 아래의 세 가지 기본 아이디어를 바탕으로 하여 개선된 것들이다.

(1) RDAC(Resistive DAC) : 저항열을 사용하여 저항 비로 계조 전압을 생성.

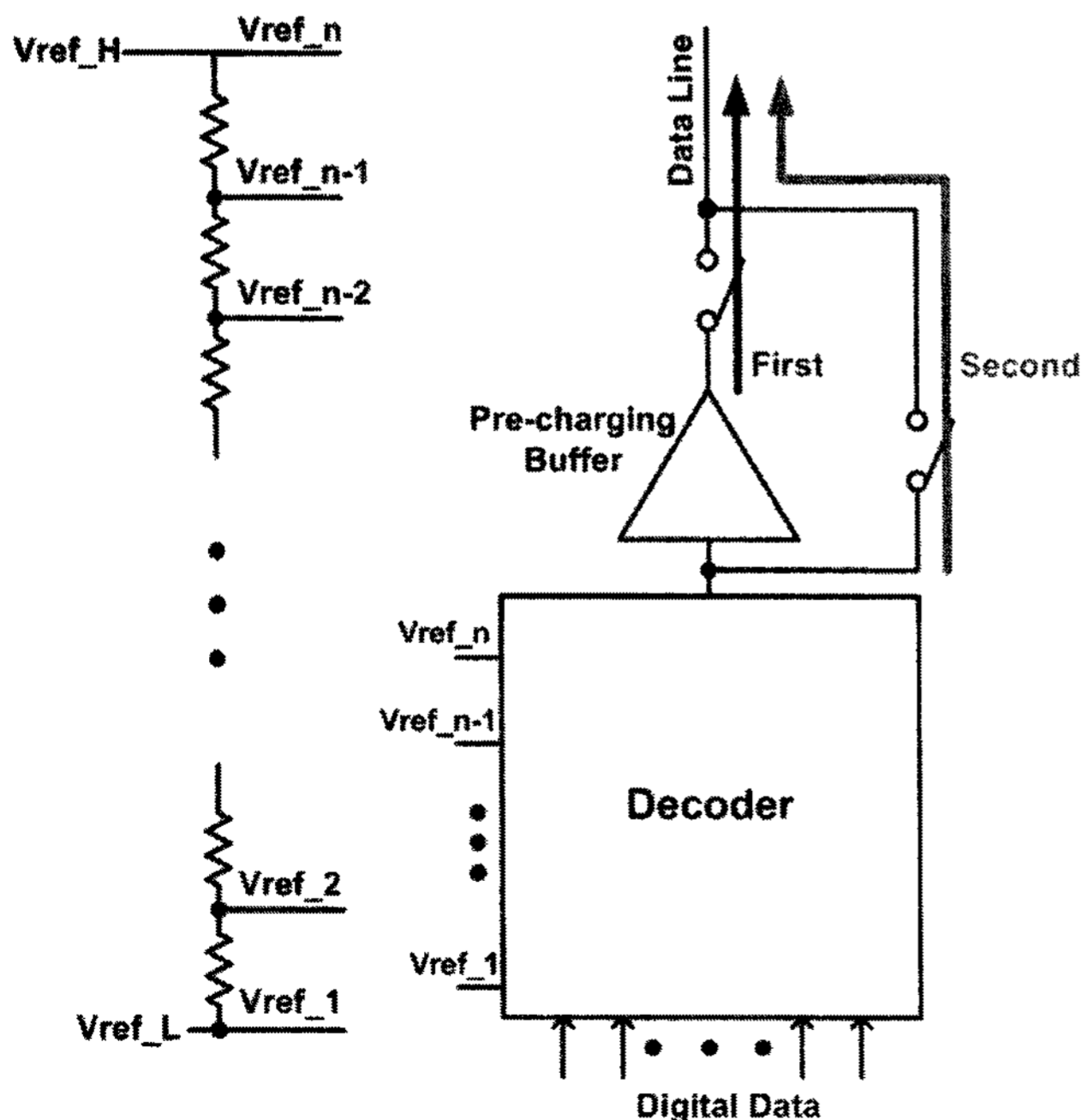
(2) CDAC(Capacitive DAC) : capacitance비나 capacitor간의 charge sharing을 통해 계조 전압을 생성.

(3) Ramp DAC : ramp signal을 이용하여 신호가 인가되는 시간에 따라 계조 전압을 표현.

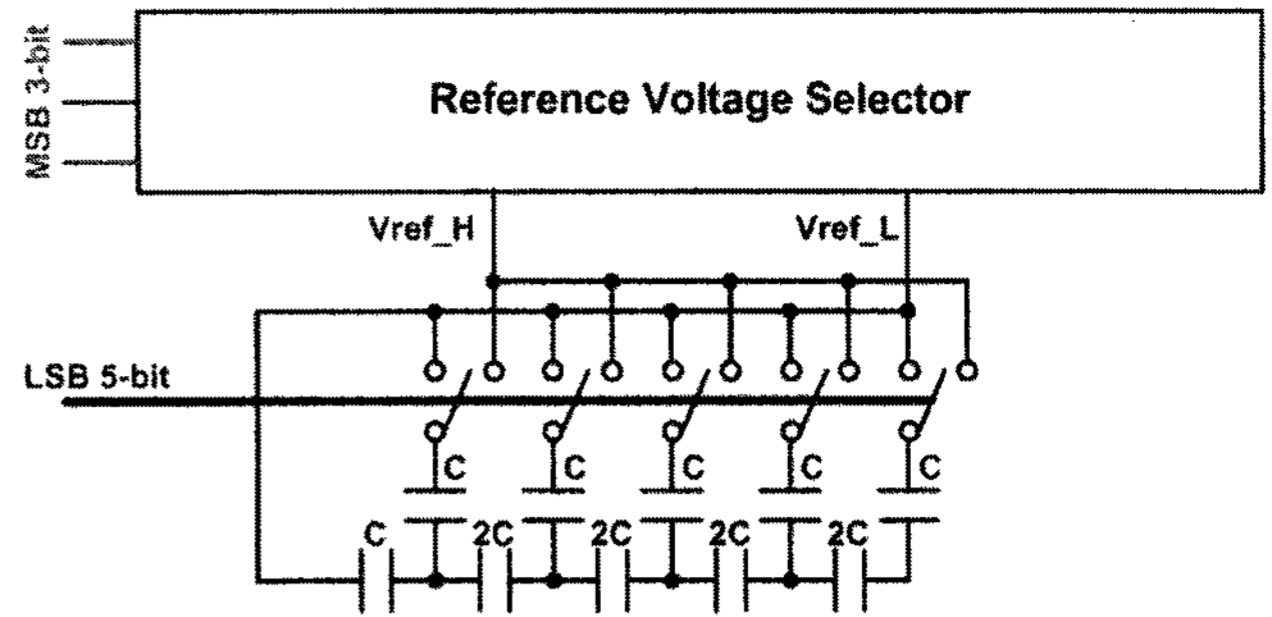
본 절에서 이러한 세 가지 방법에 근거한 DAC에 대해 장단점을 분석함으로써, 향후 DAC 설계 방향에 대해 모색해 보고자 한다.

[그림 2]는 pre-charge 버퍼를 이용한 RDAC을 나타내고 있다^[1]. 일반적으로 SOP는 소면적 저해상도이므로, panel에서 요구하는 전류량이 노트북이나 모니터 등에 비해 현저히 적다. 따라서, 출력 버퍼를 사용하지 않고, DAC에서 직접 panel에 전류를 공급하는 방식을 고려할 수 있다. 그러나, 이러한 RDAC 타입의 DAC에서는 저항열에 흐르는 정전류로 인한 소비 전력이 증가하게 된다. [그림 2]의 DAC는, 이러한 정전류를 줄이기 위하여 pre-charge 버퍼를 이용하여 column의 전압을 원하는 전압 근처까지 (버퍼의 offset 등으로 인해 정확한 target 전압에 도달하기 곤란) 1차적으로 구동해 주고, DAC에서는 2차적으로 버퍼의 offset에 의한 오차만 보상하는 방법이다. 이러한 구조에서는 pre-charge 버퍼가 panel을 구동하기 위해 필요한 대부분의 전류를 공급하므로, DAC의 정전류를 작게 가져 갈 수 있고, 그 결과 소비 전력을 줄일 수 있는 장점이 있다.

그러나, 이 방식은 여전히 종래의 저항열 방식에 의존하고 있으므로, 면적 면에서는 별다른 이점이 없으며, 오히려 각 channel마다 출력 버퍼가 집적되어야 하기 때문에 다른 구조에 비해 면적 면에서 불리하다. 또한, 버퍼에서 소비하는 전력이 추가로 발생하기 때문에 기대하는 것만큼 소비 전력 감소 효과가 크지 않을 수도 있다.



[그림 2] Pre-charge 버퍼를 이용한 DAC.



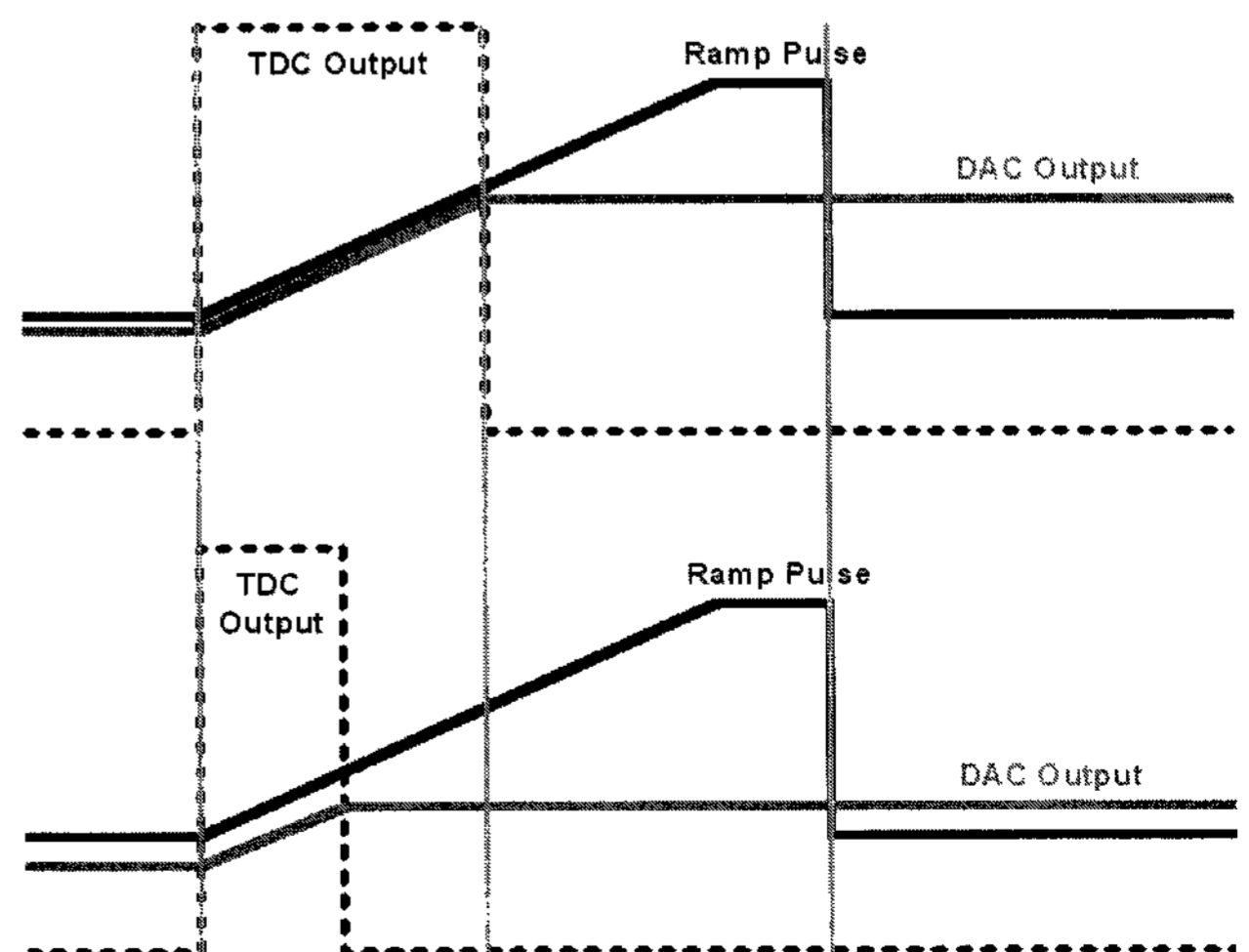
[그림 3] C-2C 8bit CDAC.(3-bit : reference voltage, 5-bit : C-2C)

[그림 3]에 나타낸 구조는 세 개의 기준 전압으로 3-bit의 계조를 표현하고, C-2C network으로 5-bit의 계조를 표현하는 혼합 형태의 DAC이다^[2]. 이러한 구조에서는 RDAC에서와 같은 정전류의 문제가 없기 때문에 다른 구조에 비해 소비전력을 감소시킬 수 있는 장점이 있다. 또한 RDAC에 비해 디코더 부분의 회로가 간단하여 회로의 면적도 줄일 수 있을 것으로 기대된다.

그러나, 이러한 CDAC은, capacitor 정합, 스위칭 에러 등으로 인해 저항열 방식에 비해 정확도를 확보하기 어렵다는 단점을 가지고 있고, 필연적으로 출력 버퍼와 함께 사용되어야 한다는 것도 단점으로 지적된다.

[그림 4]에 ramp 방식 DAC의 개념을 출력 파형을 이용하여 나타내었다^[3]. 외부에서 ramp 신호가 인가되고, 영상 정보에 따라 TDC(Timing Data Converter)에 인가되는 펄스 폭에 따라 ramp 신호가 sampling되는 시간을 결정하여 계조 전압을 생성한다. 이렇게 ramp 신호를 이용하여 DAC를 구현하면, 저항열이나 capacitor를 사용하지 않아도 되기 때문에, 회로의 면적을 대폭 감소시킬 수 있는 장점이 있다.

ramp 방식의 단점은, 구동 회로 내부의 기생 capacitance로 인한 RC delay로 ramp 신호의 파형이 왜곡될 수 있다는 점이다. 그렇게 되면, channel 간의 불균일성 문제가



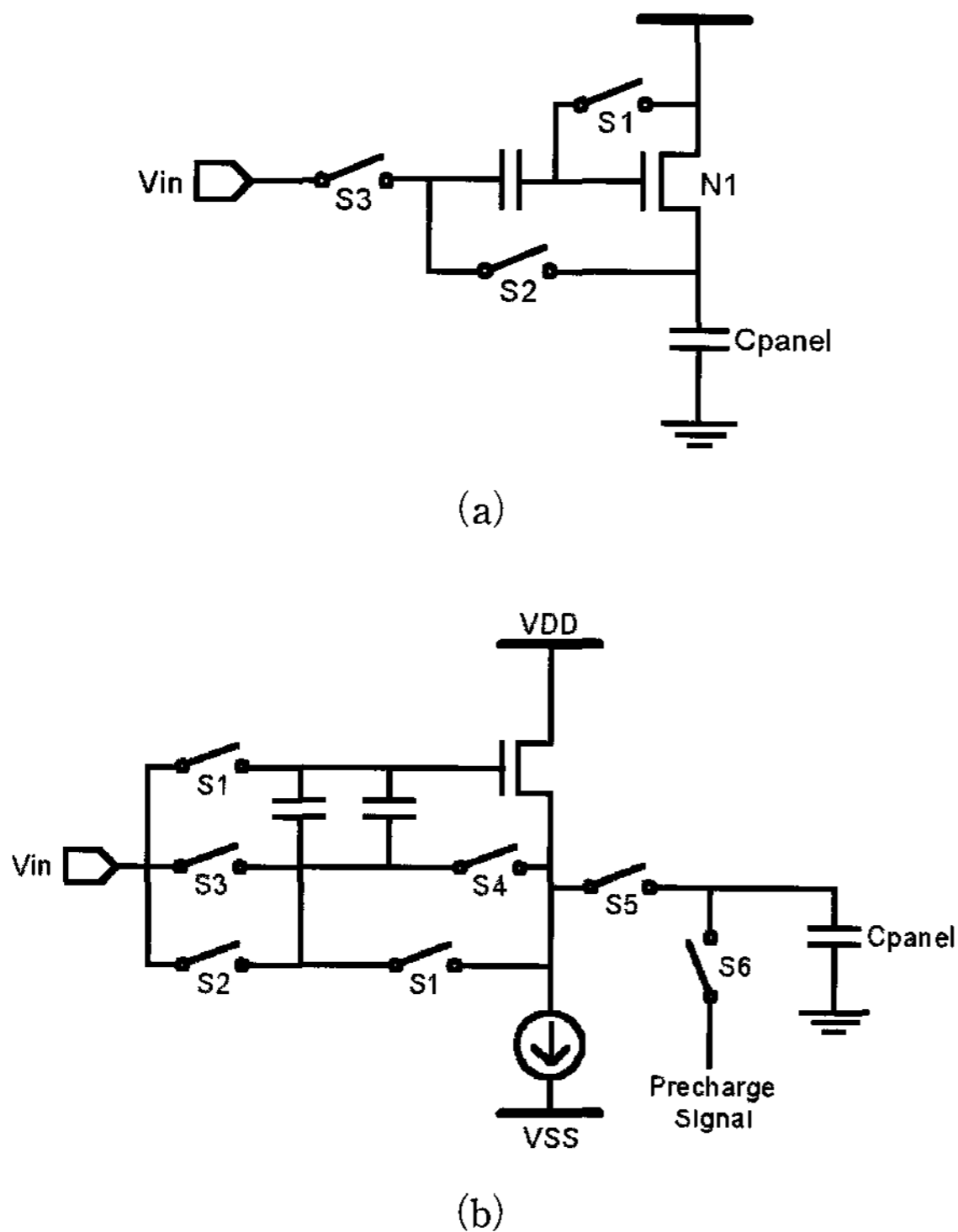
[그림 4] Ramp DAC의 제어 신호 및 출력 신호.

발생할 수 있다. 또한, ramp 신호 생성 회로를 poly-Si TFT를 이용해서 기판 위에 집적하는 것도 쉽지 않기 때문에, 별도의 외부 회로를 이용하여 구성해야 한다.

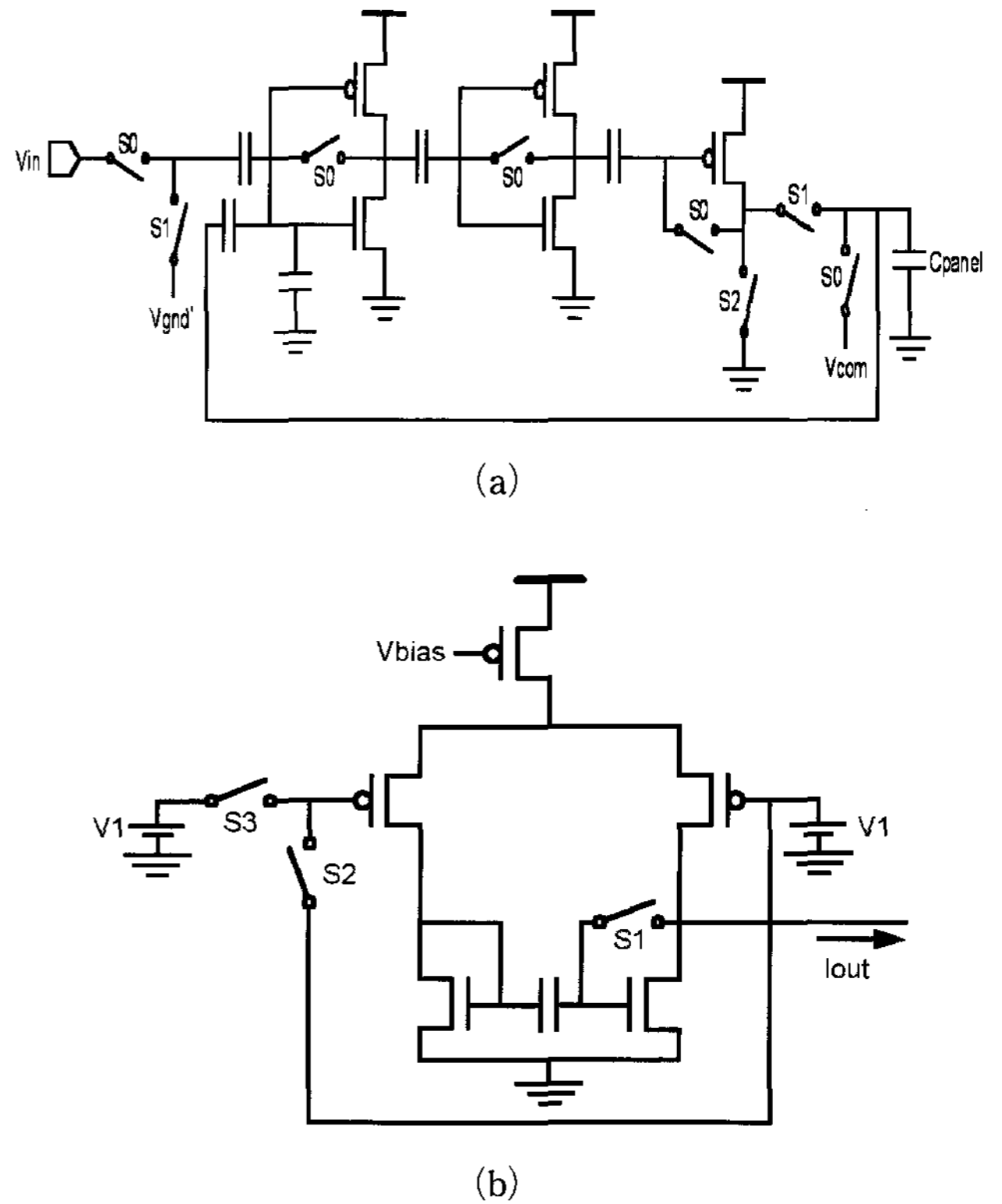
이상에서 poly-Si TFT로 구현된 대표적인 DAC 구조들에 대해서 살펴보았다. 디스플레이 구동 회로의 가장 중요한 서브 블럭 중 하나인 DAC의 설계는 회로 면적과 소비 전력을 줄이는 것이 가장 중요한 기술적 과제이며, 이 두 가지는 서로 trade-off 관계에 있다. 고계조를 표시하면서 적은 면적과 저소비 전력을 구현하기 위해서는 poly-Si TFT로 구현 가능한 새로운 DAC 회로의 개발이 요구된다.

2. 출력 버퍼

지금까지 발표된 Poly-Si 버퍼는 낮고 불균일한 이동도, 높고 불균일한 문턱전압, 그리고 kink 효과와 같은 Poly-Si의 열악한 전기적 특성 때문에 단결정 실리콘에서와 같은 복잡한 구조가 아니면서 간단하게 문턱전압을 보상할 수 있고, 차동 구조에서 요구되는 정합 문제로부터 자유로운 source follower 구조가 많이 제안되었다^[4-5]. [그림 5]의 (a), (b)는 대표적인 source follower 구조의 예이다. 그러나, 이런 source follower 구조에서는 출력 전압이 목표 전압에 가까워짐에 따라 구동 TFT의 $|V_{gs}|$ 가 감소하여 전류 구동 능력이 급격히 떨어져 최종 전압까지 충전되기까지 매우 오랜 시간이 소요된다. 그리고, 이상적으로는 문턱 전압이 보상이 되지만, 실제로는 TFT에 존재하는 C_{gs} 및 C_{gd} 와 같은 기생 커패시터와 스위칭 에러 등의 이유로 완전히 보



[그림 5] (a) 한양대 디스플레이공학 연구소, (b) Sony에서 제안한 source follower 구조의 출력 버퍼.



[그림 6] (a) 한양대 디스플레이공학 연구소의 비교기 기반 출력 버퍼, (b) 가나가와대학 제안한 차동 구조 기반 출력 버퍼.

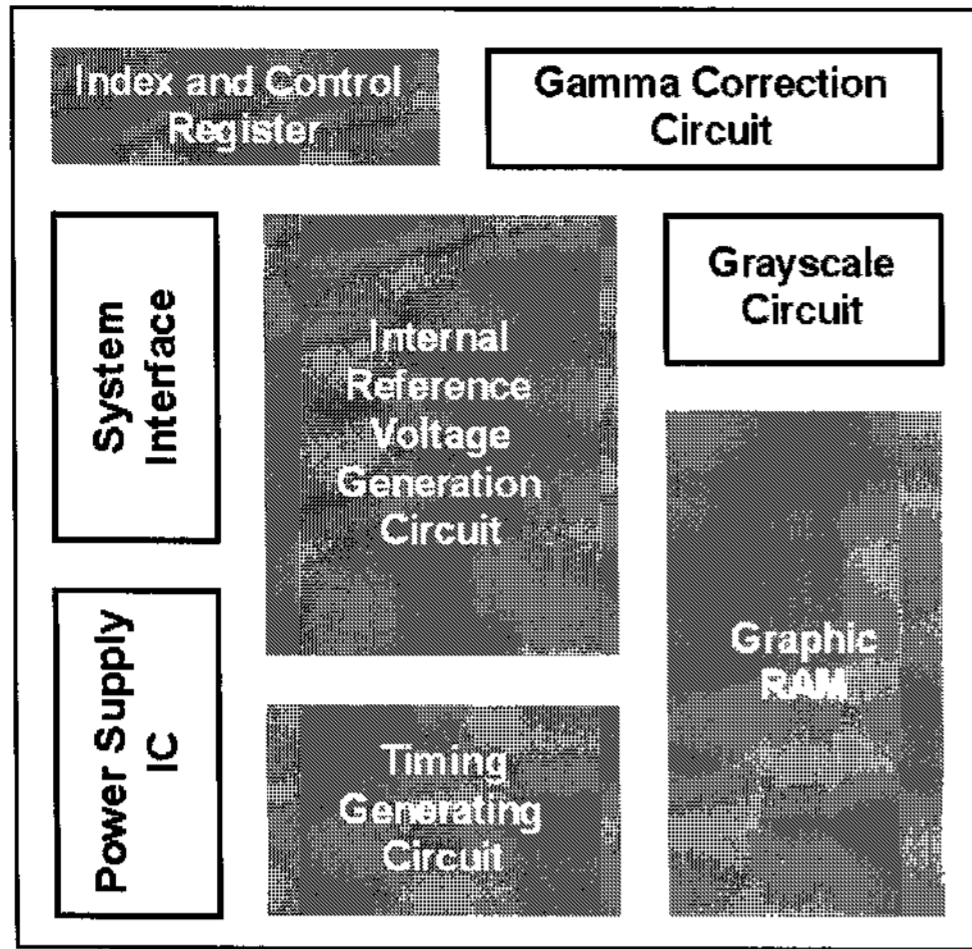
상되지 않는다. 또한 누설 전류로 인해 출력 전압이 목표 전압에 도달했다 하더라도 포화되지 않고, 목표 전압을 지나쳐 과충전 되는 현상도 관찰된다.

이러한 단점을 극복하기 위하여 [그림 6]의 (a), (b)와 같이 비교기를 이용한 구조 및 차동 구조의 버퍼가 제안되었다^[6-7]. 하지만 [그림 6] (a)와 같은 비교기 타입의 경우 정확도는 높지만 비교기에 흐르는 sourt-circuit 전류로 인해 소모되는 전력이 높고, 차동 구조의 경우, 스위칭 에러 등으로 인해 TFT간의 부정합을 완전히 보상해 줄 수 없는 문제점이 존재한다.

이상에서 언급한 구조들을 이용하여 6-bit 정도의 계조는 구현 가능하지만 더 높은 계조 표시를 구현하기 위해 간단하게 동작할 수 있고, 불균일한 이동도와 문턱 전압이 보상 가능하고 큰 전류 구동 능력을 갖는 Poly-Si 출력 버퍼가 필요하다.

III. Timing Controller(TCON)

Timing controller는 display system에서 필요한 제어 신호를 생성하는 디지털 블럭이다. 즉, 외부에서 Hsync (Horizontal synchronization), Vsync (Vertical synchronization), MCLK (Main clock) 그리고 DE (데이터 Enable) 신호를 입력으로 받아, display system 내부에서 필요로 하는 timing 신호와 제어 신호들을 생성한다. [그림



[그림 7] TCON의 블럭 다이어그램.

7]에 TCON의 블럭 다이어그램을 나타내었다. 위와 같은 TCON의 기본적 기능을 수행하기 위하여 TCON에는 timing 신호 생성 회로, interface 회로, graphic RAM, 기준 전압 발생 회로 등이 포함됨을 알 수 있다. 뿐만 아니라, TCON의 기능은 점차 확대되어 가는 추세로, gamma correction이나, gray scale 표현 회로와 같은 블럭도 포함 되어야 한다.

그러나, 현재까지 발표된 Poly-Si TFT를 기반으로 panel에 집적된 TCON을 살펴보면, 대부분 입력 신호를 받아 display system에서 필요한 timing 신호 및 제어 신호를 생성하는 데 그치고 있다. 그 이유를 살펴 보면, Poly-si TFT는 단결정 실리콘 트랜지스터에 비해 개개의 소자의 크기가 훨씬 크다. 이는 집적할 수 있는 소자의 개수가 매우 제한적일 수 밖에 없음을 의미한다. 또한, 높은 문턱 전압과 낮은 이동도로 인해 전류 구동 능력이 제한되어 동작 주파수 역시 충분하지 않다. 회로의 속도가 늦을 경우, 이에 대한 일반적인 대책은 신호를 병렬 처리하는 것인데, 이는 다시 회로의 복잡도가 증가하는 것을 의미하기 때문에 Poly-Si TFT 회로에서는 적용하기 곤란하다. 또한, poly-Si TFT를 이용한 디지털 회로는 소비 전력이 매우 크다. 이는 높은 문턱 전압과 낮은 이동도라는 조건 하에서 동작 속도를 높이기 위해서는 높은 동작 전압을 사용하여야 하고, 개개의 소자가 크기 때문에, 게이트capacitance 등의 기생

capacitance가 커서 스위칭 소비 전력이 많이 발생하기 때문이다. 일반적인 단결정 실리콘 구동 회로에서는 디지털 로직부의 소비 전력은 구동단 아날로그 회로에 비해서 무시할 수 있을 정도로 소비 전력이 작지만, poly-Si TFT 구동 회로에서는 반대로 디지털 회로부의 소비 전력이 지배적이다.

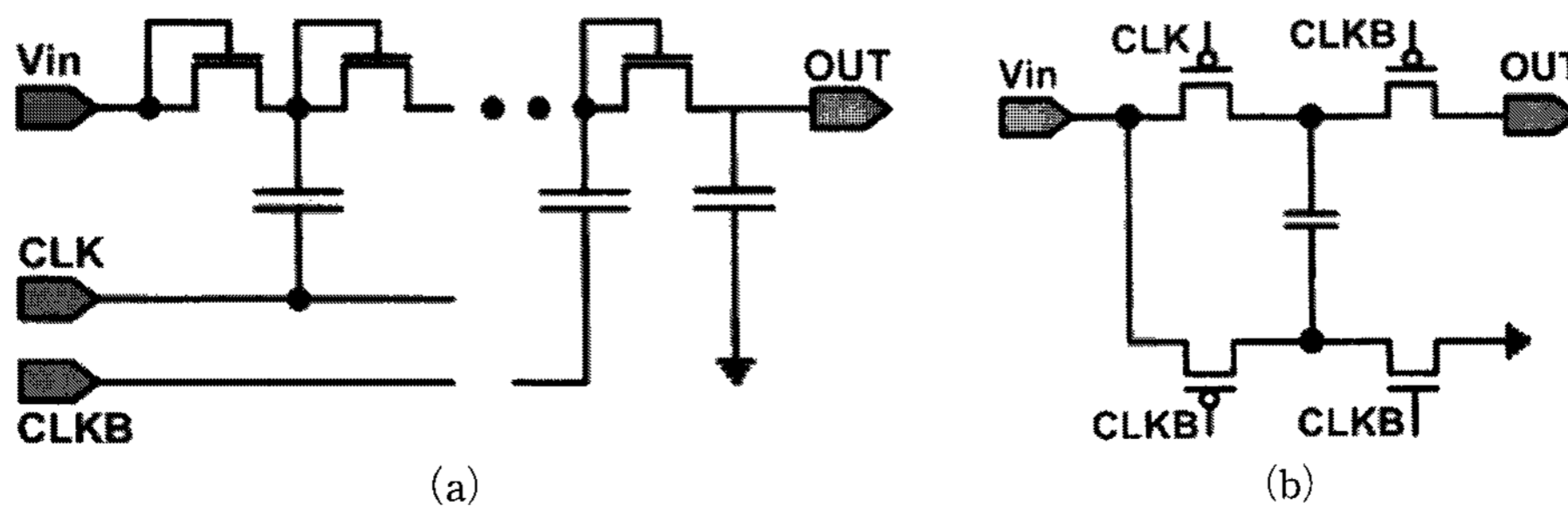
이상에서 설명한 바와 같이, TCON의 기능과 집적도에 요구는 점차 커지고 있으나, 제한적인 TFT의 성능으로 인해 많은 어려움이 남아 있다. 따라서, 이를 극복할 수 있는 poly-Si TFT 디지털 회로 설계 기술이 요구된다.

IV. DC-DC 변환 회로

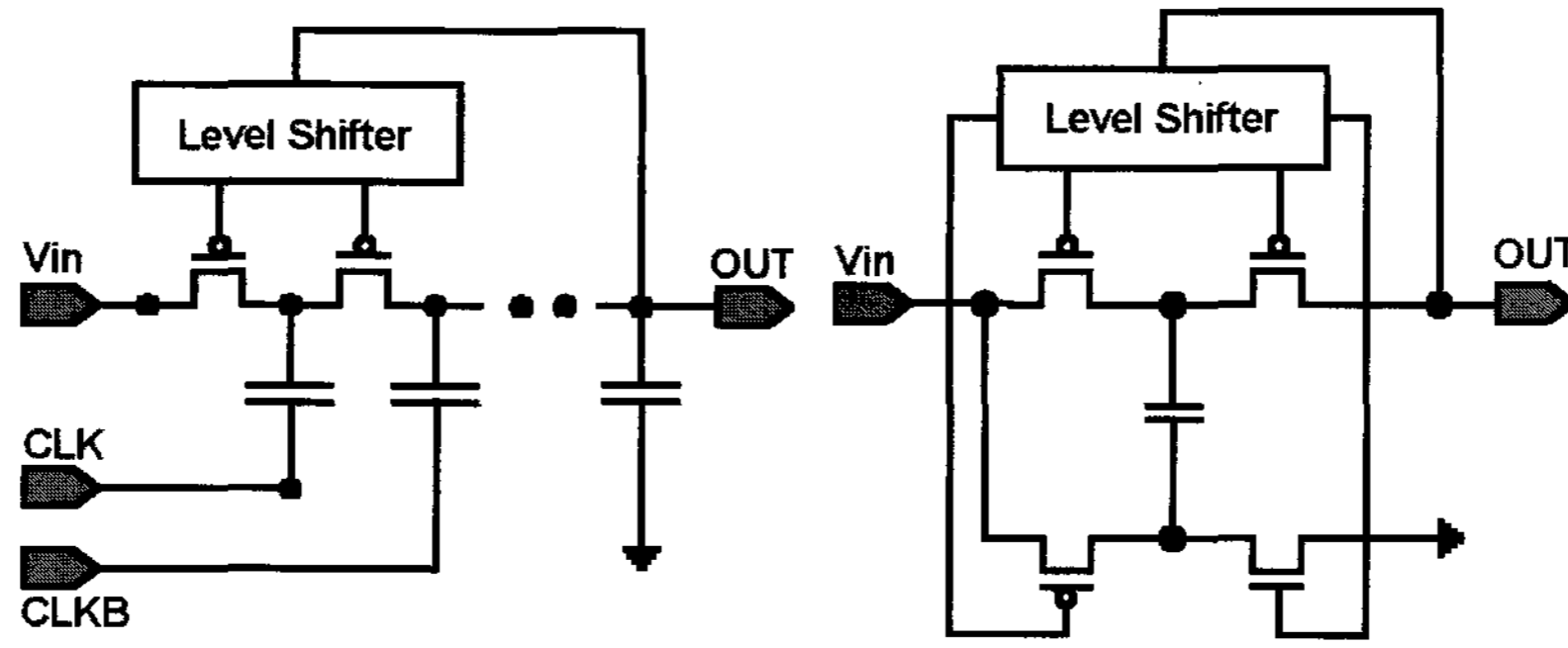
SOP에 전원을 공급하는 DC-DC 변환 회로는 입력 전력을 효율적으로 전달하는 것이 가장 중요한 성능 평가의 기준이다. 그러나, poly-Si TFT의 높은 문턱전압은 DC-DC 변환 회로의 효율을 저하시키는 요인으로 작용하기 때문에 이를 해결하기 위한 연구가 꾸준히 진행되어 왔다. 또한, panel에 모든 부품을 집적하는 SOP를 구현하기 위해서, inductor를 사용하기 보다는 capacitor를 이용한 구조가 많이 연구되었다. 현재 가장 많이 사용되고 있는 Dickson charge pump^[8]와 4 TR 1 Cap구조의 charge pumping회로^[9]가 capacitor를 이용한 대표적인 DC-DC 변환 회로의 구조이다.

[그림 8](a)의 Dickson charge pump는 각 단이 다이오드 연결되어 있기 때문에 매 단마다 TFT의 문턱전압 손실이 발생한다는 근본적인 문제가 존재한다. [그림 8](b)의 charge pump 회로는 VDD가 문턱전압 손실 없이 전달되지만, pumping 구간에서 소스 전압이 PTFT의 off 전압보다 높은 전압이 되기 때문에 비효율적이다. 이런 문제들을 해결하기 위해서 level shifter를 이용하여 TFT의 게이트에 높은 전압을 인가하거나^[10-14], capacitor의 커플링 효과를 이용하여 TFT의 게이트에 인가되는 전압을 문턱 전압만큼 올려주거나 내려 주는 대표적인 구조들을 [그림 9]에 나타내었다^[15-17].

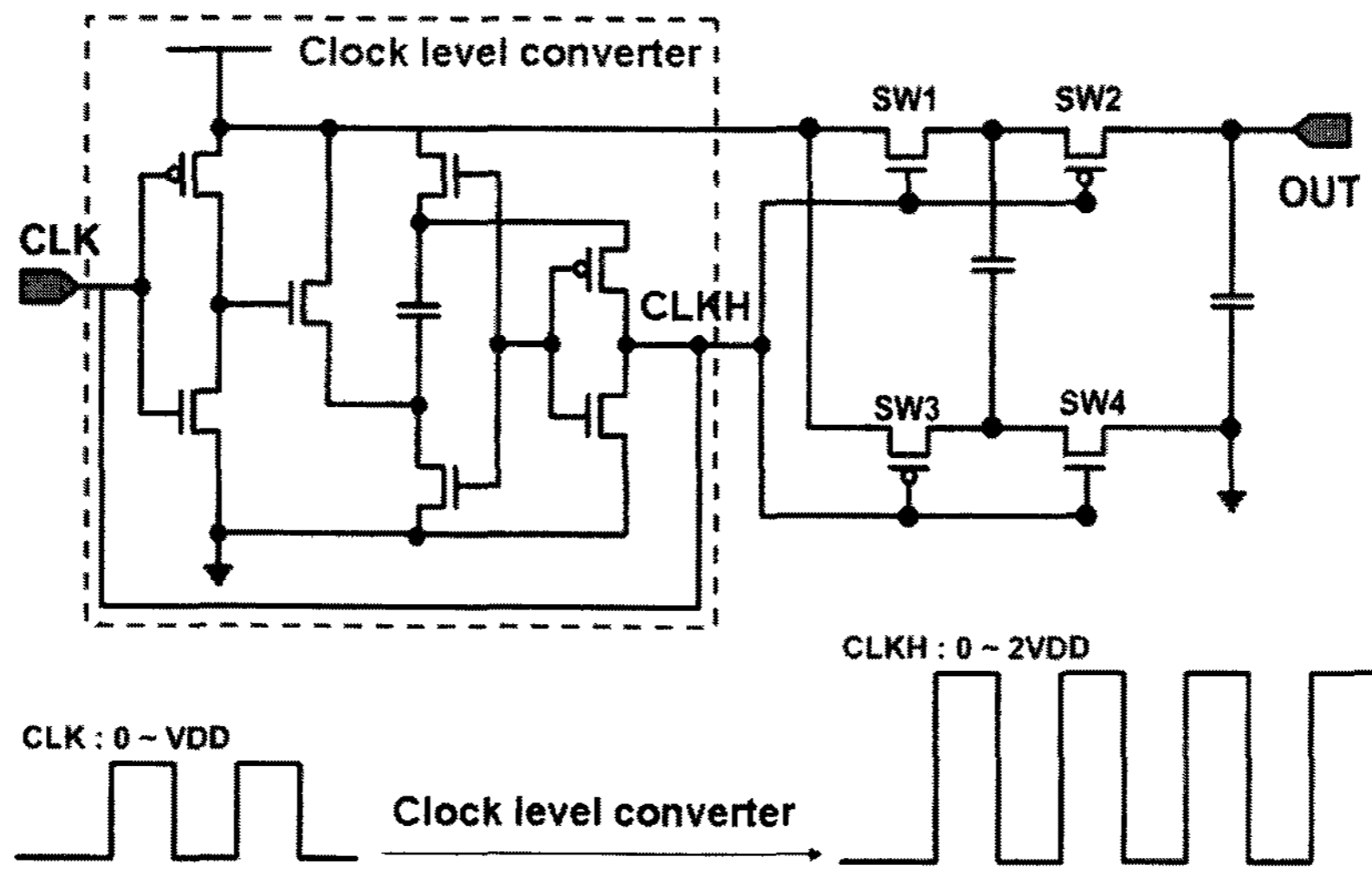
[그림 9](a)의 경우 charge pump 회로의 출력단에서 level shifter 쪽으로 전류 경로가 존재하기 때문에 전력 공급의 효율이 떨어진다는 구조적인 문제점이 있다. [그림 9](b)는 [그림 9](a)의 문제점을 해결하기 위해 출력 단자의



[그림 8] Capacitor를 이용한 대표적인 charge pumping 회로 (a) Dickson charge pump, (b) 4TR 1Cap charge pump

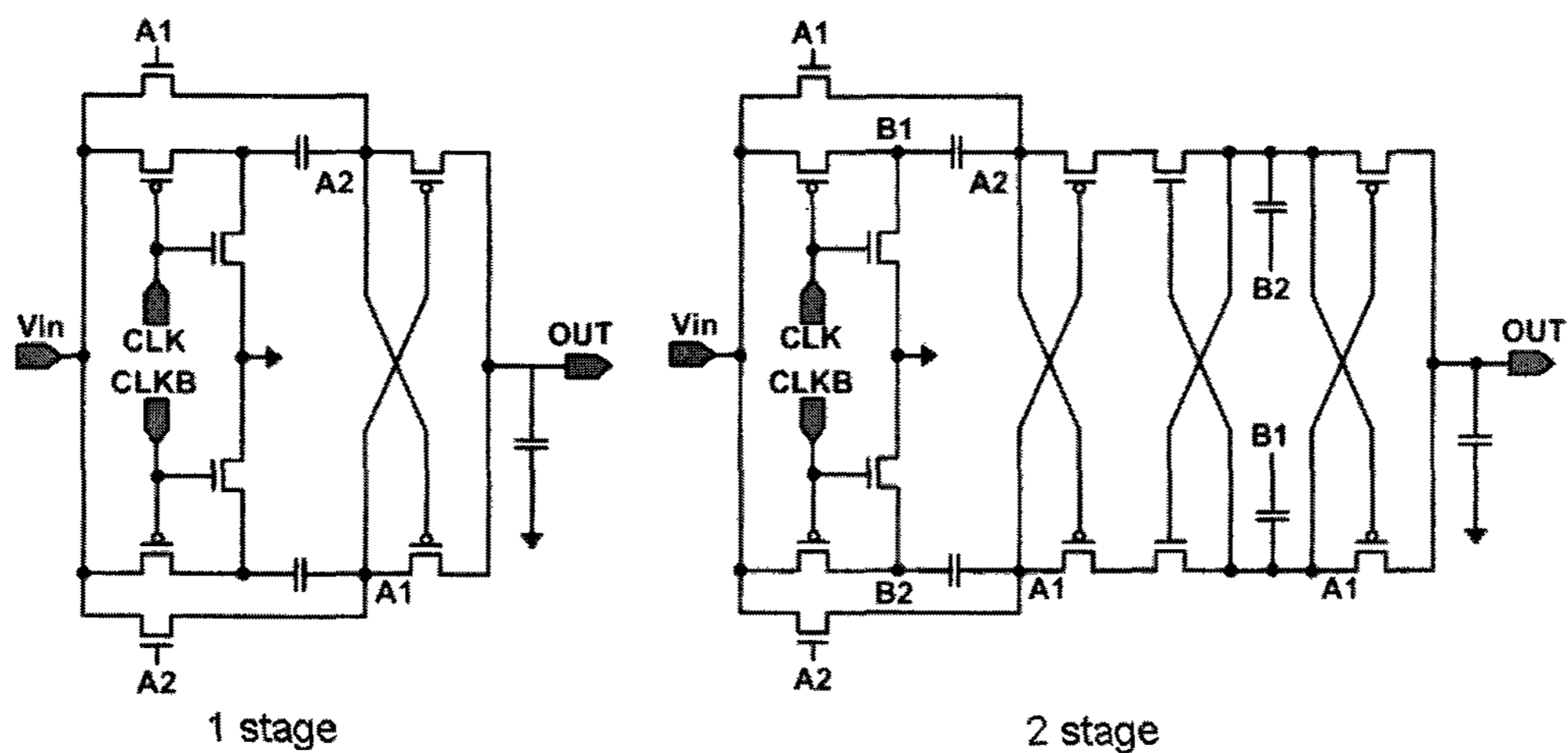


(a)



(b)

[그림 9] 문턱 전압 손실을 줄이기 위한 DC-DC 변환 회로 (a) level shifter를 이용한 회로, (b) clock level converter를 이용한 회로



[그림 10] Switched capacitor 방식의 charge pump 회로

전류를 level shifter로 feedback하지 않고, clock의 스윙 폭을 증가시켜 주는 clock level converter를 이용하여 전원 회로의 효율을 개선한 구조이다.

switched capacitor 방식의 charge pump 회로를 [그림 10]에 나타내었다^[18-19]. 입력부의 TFT를 제외한 charge

pump 회로를 구성하는 모든 TFT의 게이트 단자에 capacitor에 의해 boosting된 전압이 인가되기 때문에 문턱 전압에 의한 손실을 줄일 수 있다. 뿐만 아니라 [그림 9]에 나타난 구조는 clock 한 주기 동안에만 charge pumping 동작이 일어나지만, [그림 10]의 구조는 clock 한 주기 동안

charge pumping 동작이 두 번 이뤄진다는 장점을 가지고 있다. 하지만 2단 이상 구현할 경우 회로의 구성이 매우 복잡해진다는 단점이 있다.

V. 결 론

본 고에서는 SOP 구현에 필수적인 주요 회로들의 기술적 과제들을 살펴 보고, 이의 해결을 위한 설계 기법들을 몇 가지 예를 들어 살펴 보았다. SoP 구현에는 DAC, 출력 버퍼 등의 아날로그 회로와 TCON 집적을 위한 디지털 회로가 모두 필요하며, poly-Si TFT를 기반으로 회로를 설계할 때, 아날로그 회로와 디지털 회로 각각의 설계 이슈가 존재한다. DAC는 고계조 표시를 위한 소면적 회로 구현이 주요 이슈이고, 출력 버퍼는 충분한 동작 속도와 TFT 불균일성에 독립적인 특성을 확보해야 하며, TCON은 다양한 기능 구현이 가능하도록 보다 고집적의 디지털 회로 설계 기술이 필요하다. DC-DC 변환 회로는 보다 효율을 향상시키고, 전류 공급을 확대함으로써 현재 게이트 구동 회로에 전력을 공급하는 수준을 벗어나, 데이터 구동 회로에 전력을 공급할 수 있어야 한다. 또한 이 모든 회로들에 공통적으로 요구되는 것은 저소비전력의 구현이다. 이와 같은 기술적 과제들을 해결하기 위해서는 회로 설계 기술과 더불어 poly-Si TFT의 균일성 확보, 낮은 문턱 전압, 이동도 향상, channel length 단축 등의 개선이 요구된다.

감사의 글

이 연구는 산업자원부의 21세기 프론티어기술개발사업인 차세대정보디스플레이기술개발사업단의 기술개발비(F0004100) 지원으로 수행되었습니다.

참 고 문 헌

- [1] H. Asada, "Low-Power System-on-Glass LCD Technologies", SID'05, pp.1434-1437, 2005.
- [2] S.-W. Lee, *et al.*, "High Performance, Low-Power Integrated 8-bit Digital Data Driver for Poly-Si TFT-LCD's", SID'99, 1999.
- [3] S.-S. Han, *et al.*, "3.5 inch QVGA Low-Temperature Poly-Si TFT LCD with Integrated Driver Circuits", SID'03, pp.208-211, 2003.
- [4] J. Jeon *et al.*, "A New Digital Driving Scheme for Poly-Si TFT-LCD Panels", Asia Display'98, pp. 164-167, 1998.
- [5] Y. Kida, *et al.*, "A 3.8 inch Half-VGA Transflective Color TFT-LCD with Completely Integrated 6-bit RGB Parallel Interface Drivers", Euro Display'02, pp.831-834, 2002.
- [6] Y.-S. Yoo, *et al.*, "A High Accurate Analog Buffer Circuit using Low Temperature Poly-Si TFT", SID'04, pp.1460-1463, 2004.
- [7] R. Itou, *et al.*, "Some analog building blocks for TFT circuits", The 44th IEEE MWSCAS, pp. 417-420, 2001.
- [8] J. F. Dickson, "ON-Chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier Technique", IEEE JSSC, Vol.11, No.6, pp.374-378, June 1976.
- [9] C. C Wang, *et al.*, "Efficiency Improvement in Charge Pump Circuits", IEEE JSSC, Vol.32, No.6, pp.852-860, June 1977.
- [10] Y. Nonaka, *et al.*, "A DC-DC Converter Circuits Integrated into a Poly-Si TFT LCD Containing a 6-bit DAC", SID'03, pp.1392-1395, 2003.
- [11] Y. Nonaka, *et al.*, "A Low-Power SOG LCD with Integrated DACs and a DC-DC converter for Mobile Applications", SID'04, pp.1448-1451, 2004.
- [12] J. R Ayres, *et al.*, "Poly-Si TFT LCD with High Efficiency Integrated Charge Pump Circuits", IDW'03, pp.367-370, 2003.
- [13] W.-C. Chen, *et al.*, "A Novel Simple 2-Phase Clock of Charge Pump for LTPS Integrated Circuits", SID'05, pp.272-275, 2005.
- [14] J. Y. Joung, *et al.*, "LTPS TFT를 이용한 SoP용 Clock Level Converter Circuits", 2005년 대한전자공학회 반도체 소사이어티 하계학술대회, Session6, 반도체 재료 및 부품4, 2005.
- [15] C. Lauterbach, *et al.*, "Charge Sharing Concept and New Clocking Scheme for Power Efficiency and Electromagnetic Emission Improvement of Boosted Charge Pumps", IEEE JSSC, Vol.35, No.5, pp.719-723, May 2000.
- [16] J. Y. Choi, *et al.*, "A New DC-DC converter for Gate Driver Circuit Using Low Temperature Poly-Si TFT", IMID'04, pp.1011-1014, 2004.
- [17] S.-H. Yeh, *et al.*, "A 2.2-inch QVGA System-on-Glass LCD Using P-Type Low Temperature Poly-Silicon Thin Film Transistor", "SID'05, pp. 352-355, 2005.
- [18] D. MaKsimovic, *et al.*, "Switched-Capacitor DC-DC Converters for Low-Power on-Chip Applications", IEEE PECS'99, pp.54-59, 1999.
- [19] C.-W. Lin, *et al.*, "High-Efficiency Integrated Charge Pump Circuits for Poly-Si TFT-LCDs", SID'04, pp.1085-1087, 2004.

저 자 소개



최 병 덕

1994년 한양대학교 전자공학과 학사,
1996년 한양대학교 전자공학과 석사,
2002년 한양대학교 전자공학과 박사,
2001년 3월~2005년 2월 : LG전자
System IC 사업담당 선임연구원, 2005
년 3월~현재 : 한양대학교 공과대학 전

자통신컴퓨터공학부 조교수, 주관심분야 : Flat Panel Display 구동 기술 및 구동 회로, SOP 설계, 디스플레이 인터페이스.