

Kink-effect 개선을 위한 세 개의 분리된 N+ 구조를 지닌 대칭형 듀얼 게이트 단결정 TFT 구조에 대한 연구

Single-silicon TFT Structure for Kink-effect Suppression with Symmetric Dual-gate by Three Split Floating N+ Zones

이대연¹, 황상준¹, 박상원¹, 성만영^{1,a}

(Dae-Yeon Lee¹, Sang-Jun Hwang¹, Sang-Won Park¹, and Man Young Sung^{1,a})

Abstract

In this paper, we have simulated a Symmetric Dual-gate Single-Si TFT which has three split floating n+ zones. This structure reduces the kink-effect drastically and improves the on-current. Due to the separated floating n+ zones, the transistor channel region is split into four zones with different lengths defined by a floating n+ region. This structure allows an effective reduction of the kink-effect depending on the length of two sub-channels. The on-current of the proposed dual-gate structure is 0.9 mA while that of the conventional dual-gate structure is 0.5 mA at a 12 V drain voltage and a 7 V gate voltage. This results show a 80 % enhancement in on-current by adding two floating n+ zones. Moreover we observed the reduction of electric field in the channel region compared to conventional single-gate TFT and the reduction of the output conductance in the saturation region. In addition we also confirmed the reduction of hole concentration in the channel region so that the kink-effect reduces effectively.

Key Words : Dual-gate TFT, Floating N+ , On-current, Kink effect, Output conductance

1. 서론

1980년대에 T.P.Brody 의해 Cd-Se를 이용한 최초의 TFT LCD 샘플이 제안된 이후로 TFT의 응용은 지속적인 발전을 거듭해왔으며, 최근의 TFT는 AMLCD의 스위칭 소자 및 주변 구동회로용 소자로 쓰이고 있다. 하지만, 이러한 응용을 위해서는 높은 누설전류, kink effect, 그리고 hot carrier effect와 같은 단점을 극복해야 한다. Kink effect는 일반적인 TFT에서 drain 전압에 의해 발생하는 채널/drain 접합영역의 높은 전계분포를

drain 전류의 포화영역에서 전류가 일정하지 않고 계속적으로 증가하는 출력특성을 유발한다. 이렇게 채널/drain 접합영역에 걸리는 높은 전계에 의해서 증가되는 drain 전류는 채널영역 내에서 electron과 hole의 재결합현상을 지속적으로 일으킴으로써 소자의 항복현상을 앞당길 뿐 아니라 출력컨덕턴스의 증가를 가져오며, 이러한 현상은 TFT 소자의 전기적 특성에서 이상적인 전압-전류 특성 곡선을 벗어남으로써 원치 않는 요소들을 발생시킨다. Kink effect는 디지털회로의 측면에서 보면, 전력소모를 증가시키며, 아날로그 회로의 측면에서 보면 동상전압제거비(CMRR)뿐만 아니라 최대 이득을 감소시키게 된다[1,2].

이러한 kink effect를 감소시키기 위해 지금까지 drain 오프셋, multiple gate, Lightly Doped Drain (LDD), 그리고 Gate Overlapped LDD(GOLDD)와

1. 고려대학교 전기공학부 반도체 및 CAD 연구실 (서울시 성북구 안암동 5가 1)

a. Corresponding Author : semicad@korea.ac.kr

접수일자 : 2005. 3. 2

1차 심사 : 2005. 3. 16

심사완료 : 2005. 4. 4

같은 구조들이 제안되어져 왔으며, 최근에는 Split LDD(SLDD)와 같은 새로운 구조들이 제안되어져 왔다. 그 중에서 일반적인 dual-gate 는 kink effect를 효과적으로 감소시키지만, 온-전류 또한 같이 감소시키는 단점을 지니고 있다. 이러한 점에 바탕을 두어 본 논문에서는 일반적인 dual-gate 구조에 두 개의 분리된 floating n+ 영역을 채널 안에 추가적으로 넣음으로써 채널/drain 접합영역에서 impact ionization 으로 발생한 hole 들과 floating n+ 영역의 electron 들이 재결합하여 PBT action의 최소화를 통해 source에서 채널로 electron이 과다하게 주입되는 것을 막는 역할을 하게 된다. 또한 floating n+ 영역은 채널내의 저항을 낮추는 역할을 하여 기존의 dual-gate구조처럼 kink effect를 감소시켜 안정적인 출력컨덕턴스를 얻음과 동시에 일반적인 dual-gate 구조의 단점인 온-전류를 향상시키는 결과를 얻을 수 있었다.

2. 실험 및 시뮬레이션

2.1 실험

본 실험에서는 단결정 채널을 가지는 TFT 구조를 바탕으로 기판을 제작하였는데, 이러한 실험을 한 이유는 소자 제작 시뮬레이션이 단결정실리콘 기판을 바탕으로 실행되어서 SOG wafer를 실제 제작하여 기판의 개연성을 시뮬레이션과 연관짓기 위함이었다. 먼저 단결정 채널을 가지는 SOG wafer의 접합을 위해서 500 μm 의 두께를 가지는 P형 실리콘 웨이퍼와 508 μm 의 두께를 가지는 pyrex 7740 유리기판을 사용했다. 실리콘기판의 양면에 Thermal oxide를 furnace에서 100 nm를 생

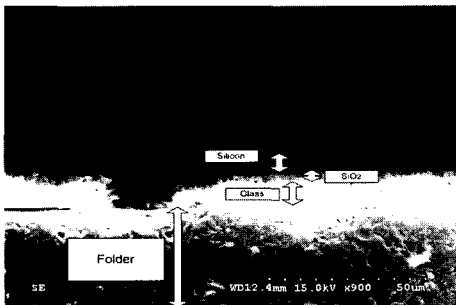


그림 1. 100 nm 절연층을 가진 SOG 웨이퍼.
Fig. 1. A 100 nm oxidized SOG wafer.

성시킨 후, 실리콘 웨이퍼와 유리기판을 RCA Cleaning 공정을 거쳤다[3]. 세정공정을 위해 DIW : H₂O₂ : NH₄OH = 4:1:1 로 합성된 SC-1(APM) 세정용액에서 289 초간 1차로 세정공정을 거친 후, Rinse 처리 후 SC-2(HPM)에서 300 초간 2차세정을 실시하였다. 2차세정을 마친 후 SPM에서 3차세정을 실시하였다. 웨이퍼의 건조는 Spin Dryer에서 9000 rpm 으로 15 초간 실시하였다. 절연막이 형성된 실리콘 웨이퍼와 유리기판의 Anodic Bonding 은 웨이퍼의 초기접합을 실시한 후, 380 $^{\circ}\text{C}$, 700 V 의 조건으로 40 분간 EBS 2000A에서 Bonding을 실시하였다. Bonding 이 끝난 모습은 그림 1에 나타내었다[4,5].

2.2 시뮬레이션

본 논문에서 제안된 소자와 기존의 소자의 구성은 이차원 소자제작프로그램인 ISE-TCAD를 이용하였으며, 일반 TFTs 공정에서 쓰이는 저온공정을 바탕으로 하였다. 시뮬레이션은 100 nm의 gate oxide를 PECVD 로 증착한 뒤, gate 금속으로 400 nm의 두께를 가진 Mo를 Sputter로 증착했다. 분리된 floating n+ 영역은 $2 \times 10^{15} \text{ cm}^{-2}$ 의 농도를 가지는 Phosphorus 로 도핑 하였으며, 대칭형 dual-gate는 drain쪽의 gate 와 source 쪽의 gate의 길이를 각각 3 μm 으로 대칭되게 제작하였다. Source 와 drain 의 생성은 ion-shower 방식을 통해 70 keV 의 에너지로 $4 \times 10^{15} \text{ cm}^{-2}$ 의 도핑농도를 가지는 Phosphorous 를 균일하게 도핑했으며, 550 $^{\circ}\text{C}$ 의 온도로 10 초간 열처리를 가하여 source 와 drain 영역을 활성화시켰다. 그리고 150 nm의 oxide를 LPCVD 로 증착을 시

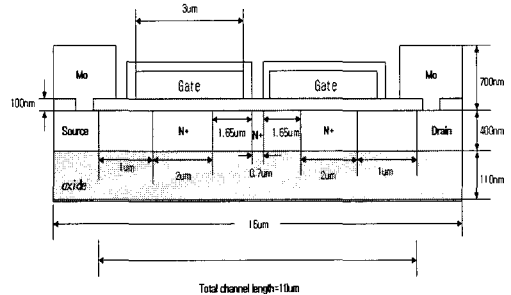


그림 2. 제안된 세 개의 분리된 N+ 영역을 가지는 대칭형 dual-gate 구조를 가지는 TFT.
Fig. 2. Symmetric dual-gate TFT with three split floating n+ zones.

켜 source, drain의 전극이 gate 전극과 겹치지 않도록 하였다. Source 와 drain 의 전극은 gate 와 같은 방식으로 700 nm 의 Mo 를 Sputter 로 증착 하였다. 소자의 전체 채널길이(Length) 는 10 μm 으로 하였다. 채널폭(Width) 는 20 μm 으로 하여 gate 전압은 7 V의 전압을 인가했으며, drain 전압은 0.1 V에서 12 V 의 변화를 가함으로써 제안된 소자의 전기적 특성을 기존의 소자들과 비교 분석, 고찰하였다. 제안된 소자의 단면도와 길이는 그림 2 에 나타내었다.

3. 결과 및 고찰

본 논문에서는 이차원 소자 제작 시뮬레이션인 ISE-TCAD를 통해 시뮬레이션으로 제작한 소자의 전기적인 특성을 고찰하였다[6]. 그 결과 기존의 single-gate에 비교하여 제안된 dual-gate 구조가 채널/drain 접합영역에 걸리는 높은 전계분포를 낮추어 결과적으로 kink effect를 효과적으로 감소시킴으로써 출력컨덕턴스가 안정화되는 것을 확인하였다. 제안된 소자는 일반적인 dual-gate 구조의 장점인 낮은 전계분포, 안정된 출력컨덕턴스, 낮은 hole concentration 및 증가된 potential barrier의 특징을 나타내었다. 아울러 floating n+ 영역을 추가하여 보통의 dual-gate 구조가 지니는 온-전류의 감소라는 단점을 제안된 구조를 통해 향상시키는 결과를 얻을 수 있었다.

3.1 드레인 전류-전압 출력특성

그림 3은 일반적인 single-gate 및 dual-gate TFT 와 제안된 구조의 dual-gate TFT 의 drain 전류-drain 전압 출력특성을 나타내었다. Drain 전압은 0.1 V에서 20 V 까지 변화를 주었으며, gate 전압은 0 V에서 7 V 까지 변화를 주었다. 채널의 길이와 폭은 3개의 TFT 모두 10 μm 과 20 μm 으로 동일한 규격을 지니게 하였다. 그림 3은 drain 전압과 gate 전압이 각각 12 V, 7 V 일 때의 출력특성을 보여준다. Single-gate구조를 가지는 TFT 는 포화영역에서의 drain 전류가 안정적이지 못하고 지속적으로 증가하는 모습을 알 수 있다. 이러한 kink effect 는 dual-gate 구조를 채택함으로써 채널/drain 접합영역에 걸리는 높은 전계를 감소시킴으로써 해결할 수 있다. 하지만 낮아진 전계분포에 의해 온-전류가 single-gate 보다 감소하는 것을 그림 3에서 볼 수 있으며, 이는 dual-gate 구조가 지니는 단점이기도 하다. 본 논문에서 제안된 구조

를 가지는 소자는 기존의 dual-gate가 나타내고 있는 온-전류의 감소를 향상시키고 있는 것을 확인할 수 있다. 그림 3의 출력특성을 비교해보면, 기존의 dual-gate TFT 는 drain 전압과 gate 전압이 각각 12 V, 7 V 일 때, 약 0.5 mA 정도의 온-전류를 가지는 반면 제안된 dual-gate TFT 는 약 0.9 mA 의 온-전류를 가짐으로써 약 80 % 의 향상도를 얻을 수 있었다. 이는 채널 영역 안에 있는 N+ 영역이 채널영역의 저항을 낮추어 온-전류가

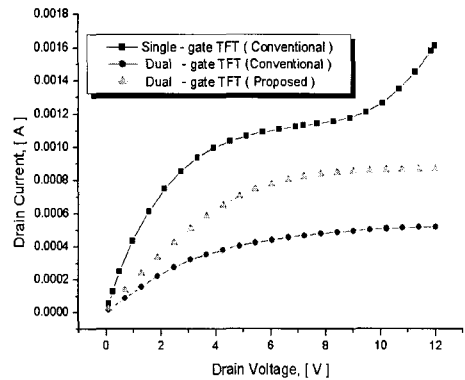


그림 3. 기존의 single 및 dual-gate 와 제안된 dual-gate 구조를 가지는 전압-전류 출력 특성($V_D=12\text{ V}$, $V_G=7\text{ V}$).

Fig. 3. The I-V characteristics for conventional single-gate, dual-gate and the proposed dual-gate TFT($V_D=12\text{ V}$, $V_G=7\text{ V}$).

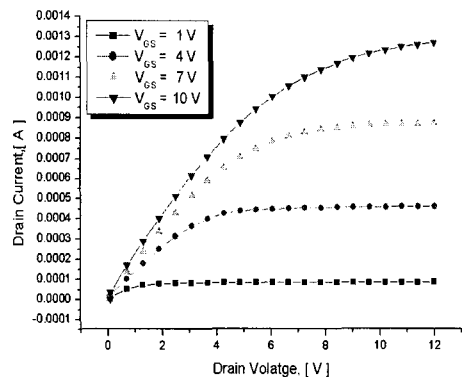


그림 4. 제안된 구조를 가지는 TFT에서 게이트 전압변화에 따른 전압-전류 출력특성.

Fig. 4. Simulated I_D - V_D output characteristics at $V_G=10\text{ V}$, 7 V , 4 V , 1 V of proposed dual-gate TFT($V_D=12\text{ V}$, $W/L=2$).

향상된 결과로 여겨진다. 그림 4는 gate 전압의 변화에 따른 제안된 구조의 drain 전류-drain 전압의 결과를 나타내었다. 그림 3과 그림 4에 나타난 전류-전압특성의 kink effect 감소를 3.2절에서 출력컨덕턴스의 비교를 통해 자세히 고찰하였다.

3.2 출력컨덕턴스(Output conductance)특성비교

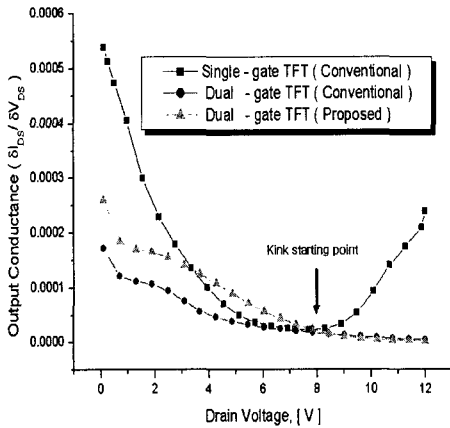


그림 5. 각 구조의 출력컨덕턴스($V_D=12$ V, $V_G=7$ V).
Fig. 5. The output conductance($V_D=12$ V, $V_G=7$ V).

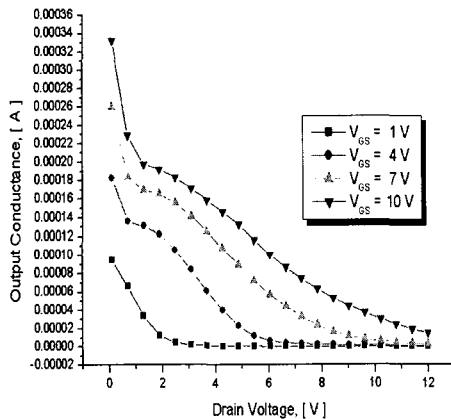
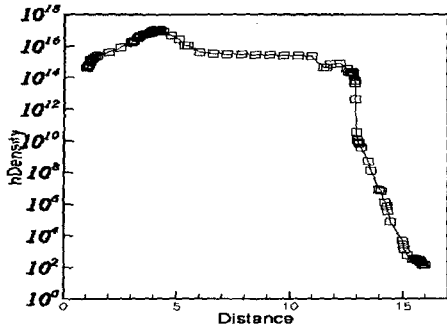


그림 6. 제안된 구조의 gate전압변화에 따른 출력컨덕턴스($V_D=12$ V).
Fig. 6. The output conductance characteristics for different gate voltage of the proposed TFT($V_D=12$ V).

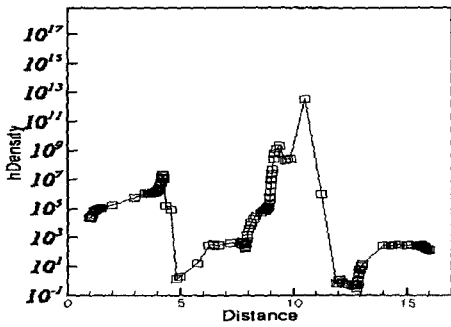
그림 5는 기존의 single-gate 및 일반적인 dual-gate 와 제안된 구조의 출력컨덕턴스를 나타내었다. 포화영역에서 지속적으로 증가되는 출력컨덕턴스는 kink effect로 인해 drain 전류가 증가되는 것을 의미한다. 본 논문에서 제안된 구조에서는 kink effect 가 기존의 single-gate 구조에 비해 상당히 감소되었음과 동시에 일반적인 dual-gate 와 같이 포화영역에서 drain 전류가 증가하지 않는 출력컨덕턴스를 유지하면서도 온-전류가 향상되었음을 그림 3과 비교하면 알 수 있다. 그림 6은 제안된 구조의 TFT 에 gate의 전압의 변화를 주면서 나타난 출력컨덕턴스를 표시하였다. 출력컨덕턴스의 안정은 gate 전압이 증가하더라도 drain 전류가 포화영역에서 kink effect가 나타나지 않고 안정되는 모습을 보여주게 된다.

3.3 정공농도분포(Hole concentration)특성비교

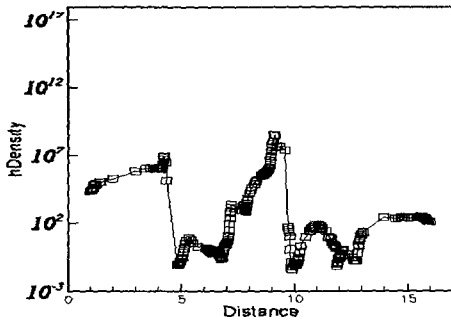
그림 7은 기존의 single-gate 및 일반적인 dual-gate 와 제안된 dual-gate 구조의 source/채널 접합영역에서의 hole concentration을 나타내고 있다. Hole concentration 은 kink effect를 나타내는 중요한 변수 중 하나이다. 채널/drain 영역에서 impact ionization에 의해서 생성된 hole 은 채널을 따라서 source/채널 접합영역으로 흐르게 되고, 이 hole 은 source/채널 접합영역에서 source의 potential barrier를 낮추게 되어 채널에 더 많은 electron을 흐르게 하는 기생 양극 소자동작을 일으키게 된다(PBT action)[7]. 제안된 TFT 구조를 보면 impact ionization 에 의해서 생성된 hole 이 source 쪽으로 흐르다가 채널영역 5 μm 지점부터 7 μm 까지 형성되어 있는 floating n+ 영역에서 hole이 대부분 재결합되어 hole concentration 의 수치가 source/채널 접합영역에서 매우 낮은 값을 나타내고 있는 것을 알 수 있다.이 수치는 기존의 single-gate 구조를 가지는 TFT 및 일반적인 dual-gate TFT 보다도 낮은 hole concentration을 나타내고 있다. 이 현상은 곧 source 쪽으로 유입되는 hole 을 최소화함으로써 hole 에 의한 source/채널 접합영역인 4 μm 지점의 potential barrier 가 낮아지는 현상을 방지하여 결과적으로 전자가 채널로 유입되는 것을 막아내고 있다는 것을 그림 7을 통해 확인할 수 있으며, potential barrier 에 관한 결과는 3.5절에서 자세히 나타내었다.



(a)



(b)



(c)

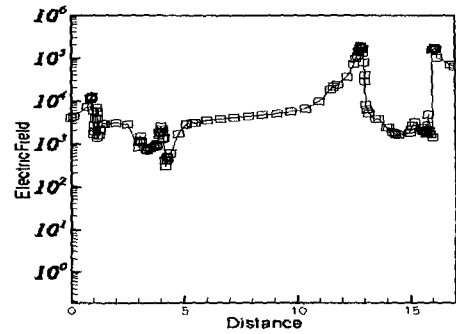
그림 7. 채널내의 hole concentration(cm^{-3}) ($V_D=12\text{ V}$, $V_G=7\text{ V}$).

- (a) 기존의 single-gate TFT
- (b) 기존의 dual-gate TFT
- (c) 제안된 dual-gate TFT

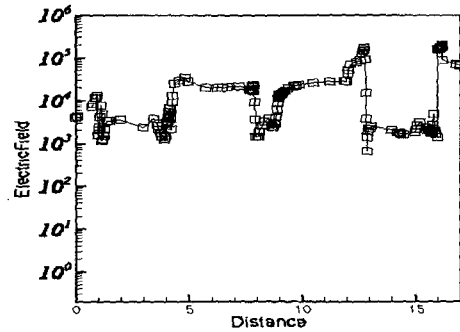
Fig. 7. Hole concentration in the channel region(cm^{-3}) ($V_D=12\text{ V}$, $V_G=7\text{ V}$).

- (a) The conventional single-gate TFT
- (b) The conventional dual-gate TFT
- (c) The proposed dual-gate TFT

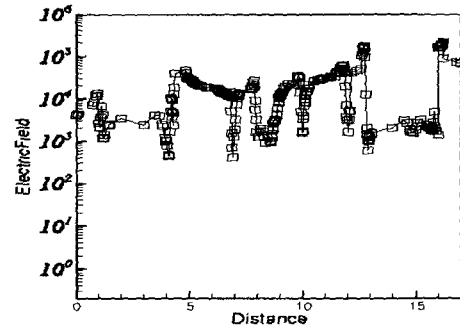
3.4 전계분포(Electric field) 특성비교



(a)



(b)



(c)

그림 8. 채널내의 전계분포(V) ($V_D=12\text{ V}$, $V_G=7\text{ V}$).

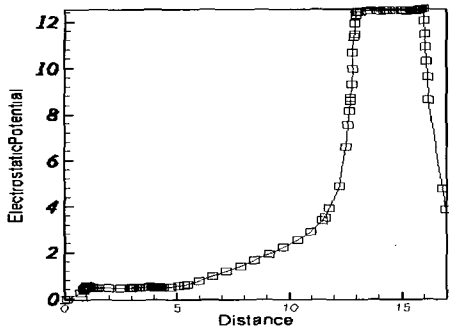
- (a) 기존의 single-gate TFT
- (b) 기존의 dual-gate TFT
- (c) 제안된 구조의 dual-gate TFT

Fig. 8. The electric field in channel region(V) ($V_D=12\text{ V}$, $V_G=7\text{ V}$).

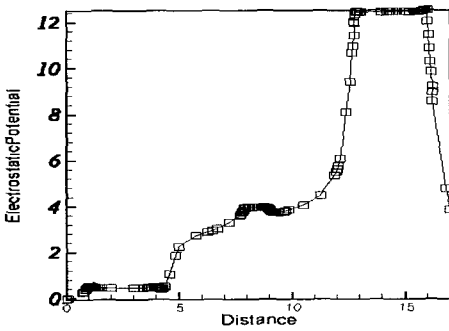
- (a) The conventional single-gate TFT
- (b) The conventional dual-gate TFT
- (c) The proposed dual-gate TFT

일반적인 single-gate TFT 는 채널내의 전계분포에서 채널/drain 접합영역에 걸리는 높은 전계

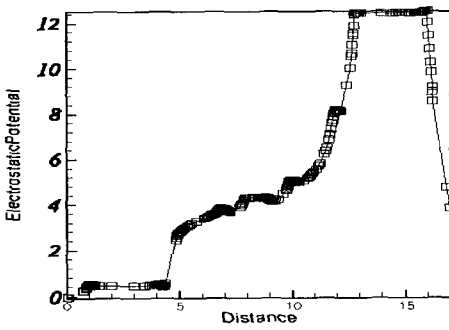
분포가 impact ionization을 발생시키고, 이를 통해 생성된 hole 은 PBT(Parasitic Bipolar Action)현상을 야기시켜 결과적으로 kink effect를 증가시키는 근본적인 원인이다. 이런 이유로 채널/drain 접합영역에 걸리는 높은 전계를 감소시키는 것은 kink effect 뿐만 아니라 누설전류와 hot carrier



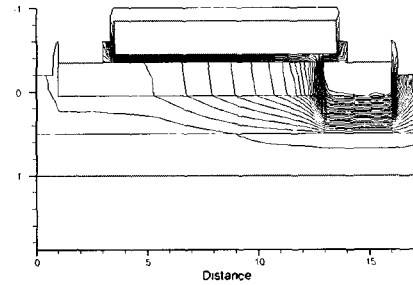
(a)



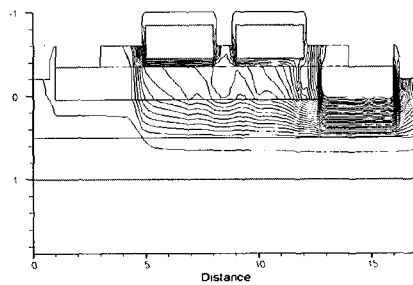
(b)



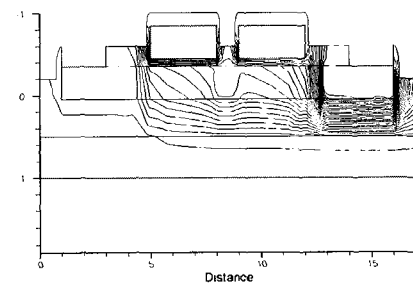
(c)



(a)



(b)



(c)

그림 9. 퍼텐셜 배리어분포(V)($V_D=12$ V, $V_G=7$ V).

- (a) 기존의 single-gate TFT
- (b) 기존의 dual-gate TFT
- (c) 제안된 구조의 dual-gate TFT

Fig. 9. The potential barrier(V)($V_D=12$ V, $V_G=7$ V).

- (a) The conventional single-gate TFT
- (b) The conventional dual-gate TFT
- (c) The proposed dual-gate TFT

그림 10. 퍼텐셜 배리어분포(V)($V_D=12$ V, $V_G=7$ V).

- (a) 기존의 single-gate TFT
- (b) 기존의 dual-gate TFT
- (c) 제안된 구조의 dual-gate TFT

Fig. 10. The potential barrier(V)($V_D=12$ V, $V_G=7$ V).

- (a) The conventional single-gate TFT
- (b) The conventional dual-gate TFT
- (c) The proposed dual-gate TFT

instabilities의 개선을 위해서도 필수적으로 고려해야 할 요소이다. 그림 8은 기존의 single-gate 구조 및 일반적인 dual-gate 구조와 제안한 구조의 TFT의 채널 내에서의 전계분포를 나타내었다. 제안된 구조의 TFT는 채널/drain 접합영역인 13 μm 지점에서 전계의 분포가 기존의 single-gate와 비교하여 상당히 감소되어 있음을 알 수 있으며, 일반적인 dual-gate 구조보다도 낮은 전계 얻음으로써 impact ionization의 최소화와 더불어 결과적으로 우수한 kink effect의 감소를 얻을 수 있음을 그림 8을 통해 확인할 수 있었다.

3.5 퍼텐셜 베리어(Potential barrier) 특성비교

앞 절에서 설명하였듯이 source/채널 접합영역의 potential barrier가 낮아지는 현상은 source로부터 많은 양의 electron을 채널로 주입시켜서 drain 전류가 포화영역에서 안정적인 모습을 가질 수 없게 한다. 그림 9는 기존의 single-gate 구조 및 일반적인 dual-gate 구조와 제안한 구조의 TFT의 potential barrier의 높이를 비교하였다. 그림 9에서 볼 수 있듯이 제안된 구조를 가지는 dual-gate TFT는 기존의 single-gate 및 일반적인 dual-gate 구조보다 potential barrier의 높이가 증가하였음을 관찰할 수 있다. 이렇게 증가된 potential barrier는 source로부터 채널로 흘러들어가는 electron을 방지함으로써 kink effect를 감소시켜 출력컨덕턴스의 안정화를 유도해 낼 수 있다. 그림 10은 소자의 단면도를 통해 potential barrier를 나타내었으며, 이는 본 논문에서 시뮬레이션으로 제작한 구조가 모두 10 μm 의 동일한 채널길이를 가지는 구조임을 알 수 있다.

4. 결 론

본 논문에서는 일반적인 TFT의 단점인 kink effect의 감소와 더불어 듀얼 게이트 구조가 가지는 낮은 온-전류의 향상을 위해 단결정 채널을 가지는 대칭형 dual-gate TFT 소자의 시뮬레이션을 실행하였다. Multiple Gate는 기존의 single-gate 소자보다 채널/drain 영역의 전계분포를 낮추는 방식으로 분산되는 전계를 통해 kink effect 및 누설 전류를 감소시키는데 쓰이고 있는 소자 제작 방법이다. 본 논문에서는 이차원 소자 제작프로그램인 ISE-TCAD를 통해 대칭형 dual-gate TFT를 구현하고, gate영역 밑 부분에 두 개의 분리된 floating

n+ 시뮬레이션공정을 추가하여 채널을 4개의 분리된 부분으로 세분화하였다. 제안된 구조를 통해 전류-전압특성 및 출력컨덕턴스의 변화에 따른 kink effect의 변화와 kink effect의 감소에 영향을 주는 전계분포 및 hole concentration과 potential barrier를 관찰하였으며, 그 결과 제안된 구조를 가지는 TFT가 일반 single-gate를 구조를 가지는 TFT보다 kink effect를 감소시키는 것이 효과적이라는 결론을 얻을 수 있었다. 또한 일반적인 dual-gate의 장점인 kink effect의 감소를 통한 출력컨덕턴스를 그대로 유지하면서 dual-gate 구조의 단점인 온-전류의 감소를 두 개의 분리된 floating n+ 영역을 채널에 추가함으로써 감소된 온-전류를 80% 향상시키는 결과 또한 얻을 수 있었다. 앞으로 dual-gate구조의 길이의 다양한 변화 및 floating n+ 영역의 도핑농도를 조절함으로써 더 나은 kink effect의 감소와 온-전류의 향상을 기대할 수 있으며, 본 논문에서 도핑에 사용된 인(Phosphorus)이 아닌 비소(Arsenic)나 안티몬(Antimony)을 사용한다면, 소자전체길이의 소형화도 가능할 것으로 기대한다.

감사의 글

본 논문은 “과위 반도체 표준화 포럼” 사업의 지원에 의해서 수행되었음.

참고 문헌

- [1] L. Mariucci, G. Fortunato, A. Bonfiglietti, M. Cuscuna, A. Pecora, and A. Valletta "Polysilicon TFT structures for kink-effect suppression", IEEE Trans. Electron Devices, Vol. 51, No. 7, p. 1135, 2004.
- [2] M. Valdinoci, L. Colalongo, and G. Baccarani, Senior Member, IEEE, Guglielmo Fortunato, A. Pecora, and I. Policicchio, "Floating body effects in polysilicon thin-film transistors", IEEE Trans. Electron Devices, Vol. 44, No. 12, p. 2234, 1997.
- [3] 김성환, 김재욱, 성만영, "Dual gate oxide 공정에서 Gate oxide thinning 방지에 대한 고찰", 전기전자재료학회 2003학계 학술대회논문집, 4

- 권, 2호, p. 223, 2003.
- [4] Abe. T, Sunagawa. K, Uchiyama. A, Yoshizawa. K, and Nakazato. Y, "Fabrication and bonding strength of bonded silicon-quartz wafers", Jpn. J. Appl. Physics, Vol. 32, No. 1B, p. 334, 1993.
- [5] W.-B. Choi, B.-K. Ju, S.-j. Jeong, N.-Y. LEE, K.-H. Koh, M. R. Haskard, M. Y. Sung, and M.-H. Oh, "Anodic bonding technique under low-temperature and low-voltage using evaporated glass", 9th International Vacuum Microelectronics Conference, St. Petersburg, p. 427, 1996.
- [6] 김제윤, 정민철, 윤지영, 김상식, 성만영, 장이구, "A study on the improvement of forward blocking characteristics in the static induction transistor", 전기전자재료학회 2004하계학술대회논문집, 5권, 1호, p. 292, 2004.
- [7] 김진호, 김제윤, 유장우, 성만영, 김기남, "The study of improving forward blocking characteristics for small sized lateral trench electrode power MOSFET using trench isolation", 전기전자재료학회 2004하계학술대회 논문집, 5권, 1호, p. 9, 2004.