Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 18, No. 5, p. 401, May 2005.

논 문 18-5-3

Dual Gate Emitter Switched Thyristor의 전기적 특성

Electrical Characteristics of the Dual Gate Emitter Switched Thyristor

김남수[1,a], 이응래[1], 최지원[1], 김영석[1], 김경원[2], 주병권[3]
(Nam-Soo Kim[1,a], Eung-Rae Lee[1], Zhi-Yuan Cui[1], Yeong-Seuk Kim[1], Kyoung-Won Kim[2], and Byeong-Kwon Ju[3])

Abstract

Two dimensional MEDICI simulator is used to study the electrical characteristics of Dual Gate Emitter Switched Thyristor. The simulation is done in terms of the current-voltage characteristics with the variations of p-base impurity concentrations and current flow. Compared with the other power devices such as MOS Controlled Cascade Thyristor(MCCT), Conventional Emitter Switched Thyristor(C-EST) and Dual Channel Emitter Switched Thyristor(DC-EST), Dual Gate Emitter Switched Thyristor(DG-EST) shows to have the better electrical characteristics, which is the high latch-up current density and low forward voltage-drop. The proposed DG-EST which has a non-planer p-base structure under the floating N+ emitter indicates to have the better characteristics of latch-up current and breakover voltage in spite of the same turn-off characteristics.

Key Words : DG-EST, Latch-up current, ON-state voltage drop, Non-planer p-base

1. 서 론

전력소자는 전력 MOSFET, IGBT(Insulated Gate Bipolar Transistor), MCT등 많은 발전을 이루어 왔는데[1,2], 현재의 전력소자는 고속 스위칭, 소형화, 적은 전력손실이 요구되고 있다. MOSFET의 간단한 구동 회로와 BJT의 높은 전류밀도를 결합한 Insulated Gate Bipolar Transistor (IGBT)[3]가 1979년에 등장한 이래, 높은 전류밀도 와 더 낮은 순방향 전압강하를 얻기 위한 MOS gated thyristor들이 1980년대 후반이후 많이 발표되었다. 대표적인 것으로 MOS Controlled Thyristor (MCT)[4], Conventional Emitter Switched Thyristor (C-EST)[5], Dual Channel Emitter Switched Thyristor (DC-EST)[6], Insulated-gate Thyristor (IGTH)[7], Dual Gate Emitter Switched Thyristor (DG-EST)[8,9], MOS Controlled Cascade Thyristor (MCCT)[10]들이 있다.

MOS gated thyristor 계열 중에서 다른 MCT나 BRT가 갖지 못한 단락회로보호(short circuit protection)에 필수적인 전류포화능력(current saturation capability)을 가지는 소자는 EST가 유일하며, 특성상 우수한 안전동작 영역(safe operating area : SOA)를 갖는 것으로 알려져 있다[11].

EST에는 C-EST, DC-EST, DG-EST가 있는데, 이중 DG-EST는 구조적으로는 IGBT와 C-EST가 결합한 형태 또는 MCCT와 C-EST가 main thyristor를 공유하면서 결합한 형태라 할 수 있다. DG-EST는 C-EST 보다 더 낮은 순방향 전압강하를 가지며, DC-EST의 높은 전류포화 특성을 가짐으로써 우수한 SOA를 갖는다[8,9]. 전력소자로서 우수한 특성을 갖는 DG-EST는 국내에서 거의 연구가 이루어지지 않았을 뿐 아니라, 전기적 특성 개선을 위한 연구도 많이 필요한 상태이다.

1. 충북대학교 전기전자공학부
(충북 청주시 흥덕구 개신동 산 48)
2. 하이닉스반도체
3. 고려대학교 전기공학과
a. Corresponding Author : nsk@cbucc.chungbuk.ac.kr
접수일자 : 2005. 1. 31
1차 심사 : 2005. 3. 31
심사완료 : 2005. 4. 6

본 논문의 실험 결과들은 2차원 소자 simulator인 MEDICI를 이용하여 얻어진 것으로, 본 논문에서는 모의실험을 통하여 DG-EST를 다른 소자들(MCCT, C-EST, DC-EST)과 비교 분석해 보았다. 또한, 소자의 응용의 문제점을 야기하는 latch-up 특성 개선을 위하여 굴곡진 p-base를 적용해 보고, gate 길이와 p-base 농도에 따른 전기적 특성을 조사하였다.

2. 결과 및 토의

2.1 DG-EST의 구조 및 동작원리

그림 1은 일반적인 DG-EST의 cross-secton(단면도)으로 main thyristor를 공유하면서 MCCT와 C-EST 또는 IGBT와 C-EST로 구성되어있다.

등가회로(그림 2)에서 보면 gate 1은 parasitic thyristor(병열 사이리스터)와 연결된 N 채널 MOSFET 과 main thyristor와 연결된 N 채널 MOSFET으로 구성되어 있고, Small R은 양쪽 MOSFET의 N+ source 밑의 p-base 저항이고, Large R은 floating N+ 밑의 p-base 저항을 의미한다. Floating N+ emitter는 양쪽 MOSFETs의 채널을 통해 cathode와 연결되어 있으며, 두 개의 parasitic thyristor와 1개의 공통 main thyristor를 가지고 있다.

N 채널 MOSFET들의 양쪽 gate에 문턱전압이상의 전압을 가하면, 전자들은 MCCT에서는 N 채널 MOSFET의 source, N 채널, n-drift로, C-EST에서는 N 채널 MOSFET의 source, N 채널, floating n+emitter, n-drift로 주입된다. 이렇게 양쪽에서 n-drift로 주입된 전자들은 main thyristor p-n-p 트랜지스터(p+anode/n-drift/p-base)의 base 전류 역할을 하게 되고, p+anode에 전압을 인가하면 p+anode와 n-drift 접합에 순방향 바이어스가 걸리면서, 정공들은 p+anode에서 n-drift층을 거쳐 p-base로 모이게 된다. 이 정공들은 main thyristor n-p-n 트랜지스터(floatingn+emitter/ p-base /n-drift) base 전류 역할을 하지만, DG-EST 동작 초기에는 p-base와 n-drift 접합의 공핍영역을 감소시켜 접합에 걸린 역방향 바이어스를 순방향 바이어스로 대치할 만큼 충분한 정공이 모이지 못하므로, main thyristor에 의한 latch-up은 일어나지 못하고, floating n+ emitter 밑을 수평으로 이동하여 cathode로 들어간다. 이때의 DG-EST는 IGBT처럼 동작한다. Anode 전압이 증가하여 p-base에 정공들이 충분히 모이면, floating n+ emitter/p-base 접합은 순방향 bias되어 main thyristor는 latch-up이 발생한다. 공통 main thyristor를 통과한 전류는 MCCT와 C-EST의 수평형 N 채널 MOSFET을 거쳐 cathode로 들어간다. 따라서 문턱전압이상의 gate 전압상태에서 높은 anode 전압을 가하면 main thyristor와 parasitic thyristor가 동시에 작용하여 latch-up이 발생한다.

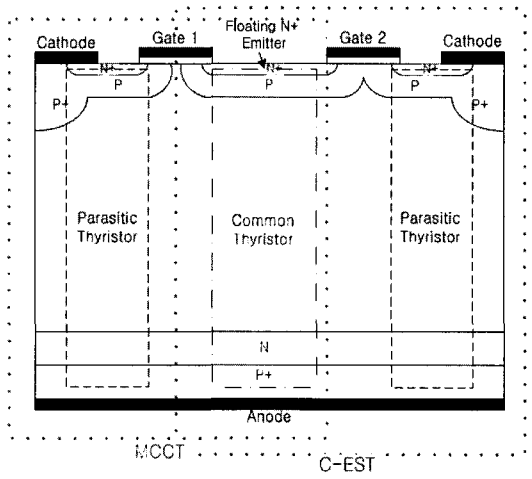

그림 1. 일반적인 DG-EST의 cross-section.
Fig. 1. Schematic cross-section of the conventional DG-EST.

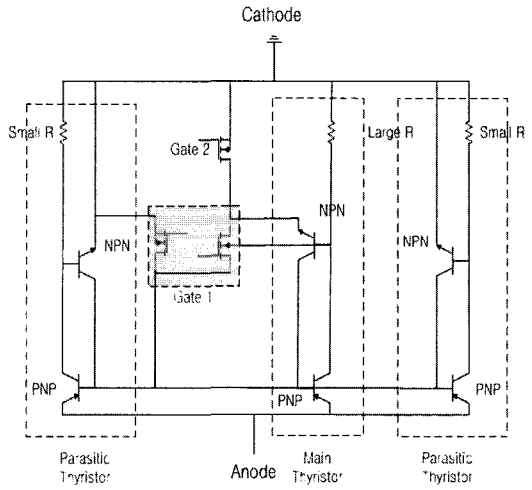

그림 2. 일반적인 DG-EST의 등가 회로.
Fig. 2. Equivalent structure of the conventional DG-EST.

2.2 DG-EST와 다른 소자와의 비교

DG-EST는 회로적으로 C-EST, DG-EST, MCCT를 동시에 포함하는 구조를 가지고 있는데, 그림 3은 DG-EST, C-EST, DC-EST, MCCT의 anode 전류-전압 특성을 비교한 것이다. DG-EST는 구조적으로 2개의 parasitic thyristor가 병렬로 연결되어 있어, p-base 저항의 감소를 가져오게 되고, 이는 그림에서 보인바와 같은 latch-up 현상이 발생하는 전류밀도가 상대적으로 높게 나타남을 보이고 있다.

표 1은 그림 3의 결과를 요약한 것으로 DG-EST가 가장 큰 latch-up 전류밀도와 가장 작은

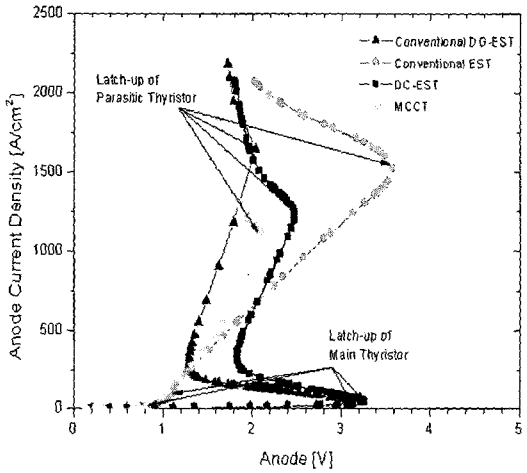

그림 3. DG-EST와 다른 소자와의 특성 비교.

Fig. 3. Comparison of I-V characteristics of the DG-EST and other devices.

표 1. 다른 소자와의 순방향전압강하 및 latching 전류 비교.

Table 1. Comparison of forward ON-state voltage drop and latch-up current density of parasitic thyristor.

	Latch-up current density (A/cm^2)	Forward ON-state voltage drop at 500 A/cm^2
DG-EST	1650	1.37 V
C-EST	1524	1.73 V
DC-EST	1244	1.91 V
MCCT	1076	1.60 V

ON전압강하의 특성을 가지고 있다. Latch-up 현상에 영향을 주는 변수들은 많이 있겠지만, 그 중에서 가장 큰 영향을 주는 것은 p-base의 저항으로, 저항 R을 줄임으로서 latch-up 특성을 향상시킬 수 있다.

저항 R을 줄이기 위해, p-base의 농도를 높이면 문턱 전압의 증가하게 되고, N+ source의 길이를 감소시키면 제조공정기술이 어려워지게 된다.

2.3 굴곡진 p-base를 적용한 DG-EST

2.3.1 굴곡진 p-base를 적용한 구조

소자의 제조과정에서 MOSFET N+ source 밑의 p-base와 floating N+ 밑의 p-base는 동시에 진행되는데, 순방향 bias시 SOA의 향상을 위해서는 main thyristor와 cathode간의 저항을 증가시켜 main thyristor의 latching current를 감소시키는 방법과 parasitic thyristor와 cathode간의 저항을 감소시켜 parasitic thyristor의 latching current를 증가시키는 방법이 고려되고 있다.

Parasitic thyristor와 cathode간의 저항을 감소시키기 위해서는, p-base에 deep P+ implantation, P+ sinker, P+ buried layer, trench cathode 등을 형성하는 방법과 N+ emitter의 길이를 감소시키는 방법이 있다. DG-EST는 parasitic thyristor의 p-/p+ base 저항을 병렬 연결함으로써 parasitic thyristor의 latching current를 증가시키는 구조를 내포하고 있으므로, 본 논문에서는 main thyristor

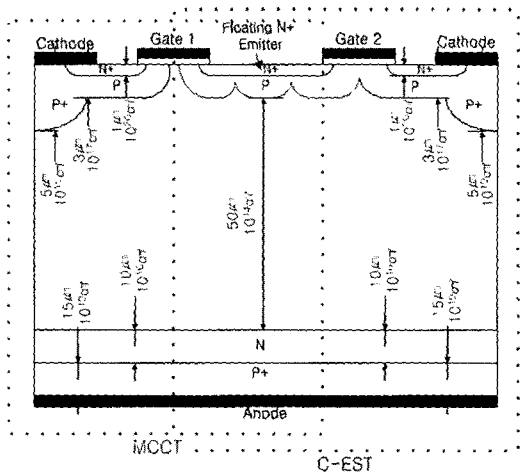

그림 4. 제안된 DG-EST의 cross-section.

Fig. 4. Schematic cross-section of the proposed DG-EST.

와 cathode간의 저항을 증가시켜 main thyristor의 latching current를 감소시키기 위해, floating n+ 밑의 p-base를 굴곡지게 그림 4와 같이 소자 구조를 설계하였다. 이와 같은 구조는 이미 알려진 연구결과에서[12] emitter switched thyristor의 snap-back 현상을 억제하고, 순방향 전압강하를 낮추는 구조로 알려져 있으므로, 본 연구소자인 DG-EST에 적용하여 보았다.

2.3.2 굴곡진 p-base를 적용한 DG-EST의 latch-up 특성

그림 5에서 anode 전류밀도가 500 A/cm^2 이상일 때, 제안된 DG-EST는 기존의 DG-EST의 I-V 특성과 일치하는 것을 보여줌으로써 순방향 ON 전압강하는 그대로 유지하는 것을 나타내고 있다. 표 2는 그림 5의 결과를 요약 한 것인데, 7V와 9V의 gate 전압에서 제안된 DG-EST는 기존의 DG-EST보다 latch-up 전류밀도를 6배 이상 낮추었으며, breakover voltage도 2배 이상 낮추는 효과를 보였다.

Gate 1의 길이가 변화 할 때의 I-V 특성은 그림 6에 나타나 있는데, gate 1 길이가 길수록 latch-up 전류밀도 및 breakover voltage가 낮아지는 즉 전기적으로 특성이 우수한 성질을 보이고 있는데, gate 1 길이가 길어질수록 MCCT 영역의 전류의 흐름이 C-EST의 영역보다 강화되어 anode 전류밀도의 주 전류 원으로 기여하기 때문으로 사료된다.

그림 7과 8은 전류밀도가 500 A/cm^2 에서의 기존의 구조와 제안된 구조의 DG-EST의 전류 흐름도이다. 500 A/cm^{2}의 전류밀도는 latch-up 발생 후의경우인데, 제안된 구조의 DG-EST는 전류흐름이 floating n+ emitter/p-base 접합의 양쪽 MOSFETS를 통해 양분됨으로써, 국부적인 동작영역이 아닌 접합 전체에 걸쳐 동작영역이 확장된 모습을 보이고 있다. 이는 기존의 구조에 비해 common thyristor 영역에서의 전류의 흐름이 보다 원활하게 이루어짐을 나타낸다.

표 2. Main Thyristor의 Latching Current 비교.
Table 2. Comparison of latching current of main thyristor.

DG-EST \ Gate Voltage		7 V	9 V
Conv. DG-EST	Latching Current Density [A/cm^2]	39	37
	Breakover Voltage [V]	2.54	2.49
Prop. DG-EST	Latching Current Density [A/cm^2]	6	6
	Breakover Voltage [V]	1.11	1.11

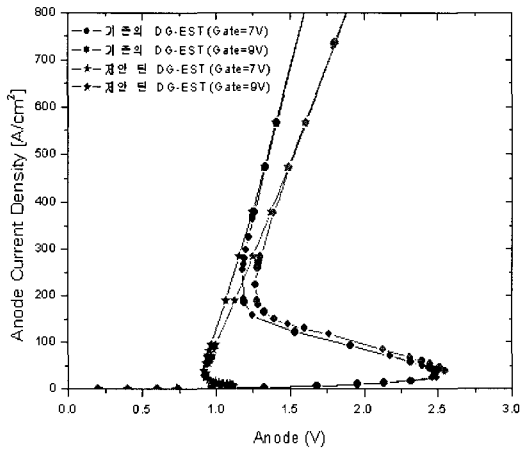

그림 5. 기존의 구조와 제안된 구조의 I-V 특성.
Fig. 5. The I-V characteristics of the conventional DG-EST and the proposed DG-EST.

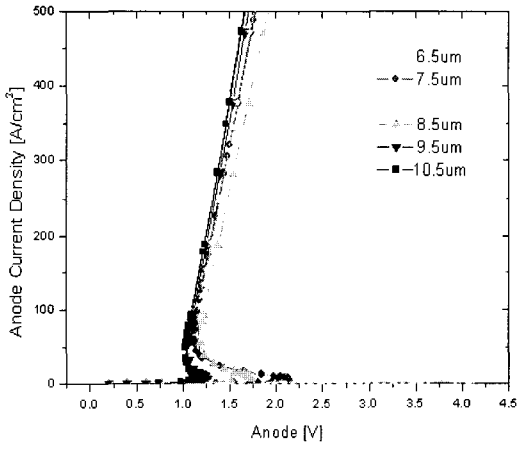

그림 6. 제안된 DG-EST의 gate 1의 길이에 따른 I-V 특성.
Fig. 6. The I-V characteristics of the proposed DG-EST with variation of length of gate 1.

그림 9는 latching-up 현상에 주요한 요인을 미치는 p-base 농도에 따른 순방향 전압강하와 breakover전압을 나타낸 것이다. 제안된 소자의 I-V 특성곡선에서 anode 전류밀도가 500 A/cm^2 일 때 얻은 것 인데, 농도가 증가함에 따라 ON전압강하와 breakover전압이 증가하는 현상을 보이고 있다. 이는 농도가 증가함에 따라 수평형 MOSFETs의 문턱전압은 증가하여, 순방향 ON 전압강하는 증가하게 되고, 또한 농도증가로 낮아진 N-drift 영역으로의 전자전류의 유입은 breakover전압의 증가를 초래했다고 생각된다. DG-EST 의 전기적 특성을 좋게 하기 위해서는, 회로 설계 측면에서는 gate 길이와 구조를 바꾸는 것이 고려 될 수 있겠으나, 제작 및 공정 측면에서는 gate 영역인 p-base부분의 농도를 변화 시켜 latch-up 특성을 조사하는 것이 보다 효과적인 연구라 생각되고, 본 실험에서 보인바와 같이 p-base 농도는 latch-up 특성에 많은 영향을 주었다.

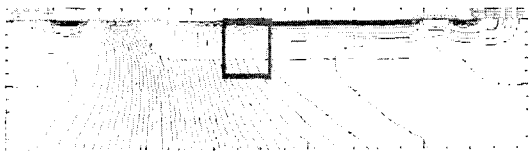

그림 7. 500 A/㎠에서 기존의 DG-EST의 전류 흐름도.

Fig. 7. Current flowline of the conventional DG-EST at 500 A/㎠.

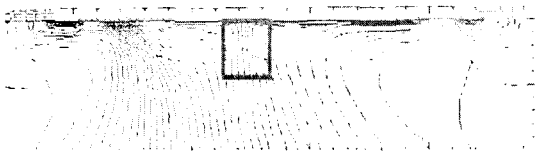

그림 8. 500 A/㎠에서 제안된 DG-EST의 전류 흐름도.

Fig. 8. Current flowline of the proposed DG-EST at 500 A/㎠.

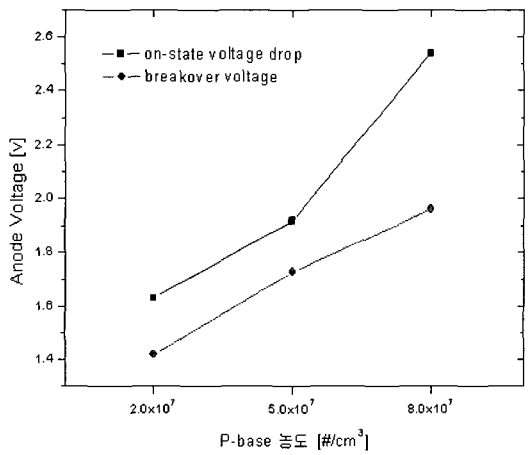

그림 9. p-base 농도 Vs. 순방향전압강하와 breakover 전압.

Fig. 9. The forward voltage drop and breakover voltage with the variations of p-base impurity concentrations.

그림 10에서는 제안된 소자의 turn-off 특성을 DG-EST 및 IGBT와 비교하였다. 기존의 DG-EST와 제안된 DG-EST는 거의 같은 감쇄시간을 가지지만, IGBT는 보다 빠른 감쇄특성을 가지고 있는데, 이는 IGBT가 보다 단순한 구조 즉 그림 1에서 양쪽의 parasitic thyristor만 동작하는 구조이므로 전자 및 정공이 양쪽의 p-base에서 양쪽의 cathode로 보다 쉽게 빠져 나기기 때문으로 보인다.

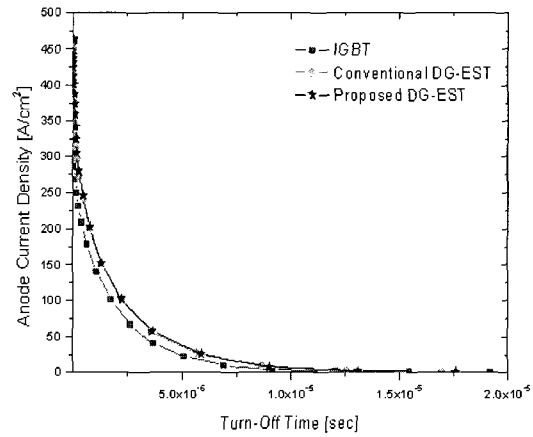

그림 10. DG-EST와 IGBT의 turn-off특성 비교.

Fig. 10. Comparison of turn-off characteristics of DG-EST와 IGBT.

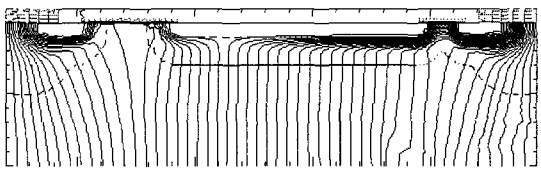

그림 11. Turn-off 직후의 전류 흐름도.

Fig. 11. Current flowline after turn-off state.

굴곡진 p-base를 적용한 제안된 DG-EST는 스위칭 특성 면에서 기존의 구조와 별 차이가 없을 것으로 보이는데, 그림 11의 turn-off 직후의 전류 흐름도 에서는, parasitic thyristor가 있는 양쪽 부위에서 cathode로 전류가 흐르고 있는데, floating N+ emitter를 통과하는 전류 흐름이 거의 정지 되어 있고 p-base를 따라 전류가 이동함을 보이고 있다.

3. 결 론

본 논문에서는 DG-EST의 전기적 특성을 latch-up 전류밀도, ON 전압강하, breakover voltage, turn-off 시간 관점에서 조사하였다. 그리고 DG-EST의 latch-up 특성을 개선하기 위한 방법으로 굴곡진 p-base 구조를 채택 하였다. 제안된 구조는 기존의 DG-EST보다 latch-up 전류밀도와 breakover voltage를 현저히 낮춤으로써, 전력소모가 적고 SOA 영역 범위가 확장된 전력소자 개발의 가능성을 제시 하였다.

굴곡진 p-base 구조를 적용한 DG-EST 전력소자는 기존의 DG-EST보다 latch-up 전류밀도는 6배 이상, breakover voltage는 2배 이상 낮추는 우수성을 보였다. turn-off 시간은 거의 동일한 감쇄시간을 보이지만, IGBT와 비교에서는 감쇄시간이 상대적으로 길었다. 제안된 소자에서 gate 1의 길이가 길어질수록 전기적 성질이 우수한 특성을 나타냈지만, p-base 불순물 농도 증가는 ON 전압강하와 breakover전압을 증가시켜 전기적 성질이 열화 하는 현상을 보았다.

감사의 글

이 논문은 2004년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음.

참고 문헌

[1] Mohan, Undeland, and Robbins, "Power Electronics", Wiley, 2nd ed., p. 505, 1995.

[2] B. J. Baliga, "Trends in power semiconductor device", IEEE Electron Device, Vol. 43, No. 10, p. 1717, 1996.

[3] B. J. Baliga, M. S. Adler, P. V. Gray, R. Love, and N. Zommer, "The Insulated Gate Transistor", IEEE Int. Electron Devices Meeting Dig., p. 264, 1982.

[4] 정태웅, 오정근, 이기영, 주병권, 김남수, "수평 구조의 MOS-controlled thyristor에서 채널길이 및 불순물 농도에 의한 Anode 전류 특성", 전기전자재료학회논문지, 17권, 10호, p. 1034, 2004.

[5] M. S. Shekar, B. J. Baliga, M. Nandakumar, S. Tandon, and A. Reisman, "Characteristics of the emitter switched thyristor", IEEE Trans. Electron Devices, Vol. 38, No. 7, p. 1619, 1991.

[6] N. Iwamuro, M. S. Shekar, and B. J. Baliga, "A Study of EST's Short Circuit SOA", in Proc. IEEE Int. Symp. Power Semiconductor Devices and IC's, p. 71, 1993.

[7] J. S. Ajit, "A new insulated-gate thyristor with turn-off achieved by controlling the base-resistance", IEEE Electron Device Lett., Vol. 16, No. 9, p. 411, 1995.

[8] S. Sridhar and B. J. Baliga, "The dual gate emitter sitched thyristor (DG-EST)", IEEE Electron Device Lett., Vol. 17, No. 1, p. 25, 1996.

[9] S. Sawant, S. Sridhar, and B. J. Baliga, "The dual gate EST: a new MOS-gated thyristor structure", '96 ISPSD, p. 125, 1996.

[10] N. Iwamuro, T. Iwaana. Y. Harada, Y. Onozawa, and Y. Seki, "A New Concept for High Voltage MCCT with no J-FET Resistance by using a very Thin Wafer", Electron Devices Meeting Dig,. p. 351, 1997.

[11] B. J. Baliga, Power Semiconductor Devices, PWS Publing Company, 1996.

[12] 변대석, 이병훈, 한민구, 최연익, "스냅-백 현상이 억제된 새로운 구조의 Emitter switched thyristor", 전기학회논문지, 46권, 11호, p. 1623, 1997.