

논문 2005-42TE-4-1

PCB용 임베디드 캐패시터에 관한 연구

(A Study on the Embedded Capacitor for PCB)

홍 순 관*

(Soon Kwan Hong)

요 약

최근 저항이나 캐패시터와 같은 수동소자를 PCB의 내층에 제조하는 임베디드 패시브 기술이 고성능의 IT 제품을 제조하는데 사용되고 있다. 그런데 임베디드 캐패시터는 정전용량 밀도가 낮아 회로소자로서의 전반적인 응용에 한계가 있다. 본 논문에서는 이러한 한계를 극복하기 위하여 wrinkle형의 전극과 유전체 층을 가진 새로운 임베디드 캐패시터를 제안하였다. FEM 기법을 사용하여 wrinkle형 임베디드 캐패시터의 정전용량 밀도를 평가하였다. Wrinkle형 임베디드 캐패시터는 기존의 평면형 임베디드 캐패시터에 비하여 25.6%~39.6% 정도 큰 정전용량 밀도를 나타내었다. 특히, thin film형 임베디드 캐패시터에 wrinkle 구조를 적용할 때 정전용량 밀도가 보다 많이 향상되었다.

Abstract

Recently embedded passive technology which fabricate passive elements such as resistors and capacitors at the inner layer of PCB(Printed Circuit Board) is used to make high performance IT products. However, embedded capacitor has limit in full range circuit applications because of the low capacitance density. In this paper, a new embedded capacitor which has wrinkled electrodes and dielectric layer was proposed to overcome the limits. FEM(Finite Elements Method) technique was used to evaluate capacitance density of the wrinkled type embedded capacitor. Capacitance density of the wrinkled type embedded capacitor is larger than that of conventional planar type embedded capacitor by about 25.6%~39.6%. In case of thin film type embedded capacitor, proposed wrinkled structure has more enhanced effect on the capacitance density.

Keywords : PCB, Embedded capacitors, Capacitance density, Wrinkled structure,

I. 서 론

임베디드 패시브(embedded passive) 기술은 PCB에 실장 되는 저항, 캐패시터와 같은 수동부품을 기판에 내장(embedding)하는 기술이다^[1,2]. 수동부품은 PCB기판에서 개수로는 약 90%를, 면적으로는 40% 정도를 차지한다. 따라서 수동부품을 PCB의 내층(inner layer)에 제작하면, IC와 같은 능동부품과 배선을 위한 공간이

추가로 확보된다. 나아가 PCB의 전기적인 특성을 향상시킬 수 있고, solder joint가 감소하여 제품의 신뢰성을 높일 수 있다. 또한, 수동부품과 능동부품이 수직으로 연결되므로 배선이 크게 줄어든다. 이로써 RF신호를 사용하는 전자기기에서 기생효과(parasitic effect)에 의한 임피던스 증가와 신호지연의 문제가 개선된다^[3,4].

임베디드 캐패시터(embedded capacitor ; 이하에서는 EC로 표기함)는 PCB의 내층에서 유전체를 중간에 놓고 양쪽에 Cu 전극을 형성하여 만든다. EC의 성능을 나타내는 중요한 factor는 단위면적당의 캐패시턴스인 정전용량 밀도이다. 단위는 nF/cm^2 이며, 유전체의 두께 및 유전율과 밀접한 관련이 있다.

* 정희원, 해전대학 디지털전자디자인과
(Dept. of Digital Electro-Design, Hyejeon College)
※ 본 연구는 2004년도 해전대학 연구비 지원에 의해 수행되었음.
접수일자: 2005년8월19일, 수정완료일: 2005년12월1일

EC는 유전체의 종류와 형성방법에 따라 thick film형과 thin film형으로 구분된다. Thick film형은 FR-4와 같은 PCB의 층간 절연재나 BaTiO₃+Polymer resin으로 구성된 paste를 유전체로 사용한다. Thin film형은 스퍼터링이나 sol-gel 등의 방법으로 1 μ m 내외의 박막 유전체를 형성하여 EC를 제작한 것이다. Thin film형은 유전체의 두께가 얇아 높은 정전용량 밀도를 얻을 수 있으나 생산성과 신뢰성(leakage current 등)이 낮다는 문제점을 가지고 있다^[5].

Thick film형 EC는 현재 양산기술이 확보되어 상용 제품에 적용되고 있다. 그런데 thick film형 EC는 정전용량 밀도가 수십 nF/cm²로 낮아 pF급의 캐패시터만을 구현할 수 있으며 이 때문에 주로 bypass 또는 decoupling용 등 제한적으로 사용된다^[6,7].

본 논문에서는 thick 및 thin film형 EC에서 정전용량 밀도를 높일 수 있는 방안으로 wrinkle형 EC를 제시하고 그 특성을 평가하였다.

II. Wrinkle형 임베디드 캐패시터(EC)

그림 1에 본 논문에서 제안한 wrinkle형 EC의 구조를 보였다. 그림 1의 (a)는 기존의 평면형 EC(planar type EC)이고, 그림 1의 (b)는 wrinkle형 EC이다.

Wrinkle형 EC는 캐패시터의 정전용량이 전극의 면적에 비례한다는 점에 착안한 것이다. 평면형 EC의 planar한 전극에 비하여 wrinkle형 EC는 요철(凹凸)을 가지도록 하여 동일한 소자면적을 점유할 때 전극의 면적이 확대되도록 하였다.

Wrinkle형 EC는 그림 2에 보인 제조공정을 사용하여

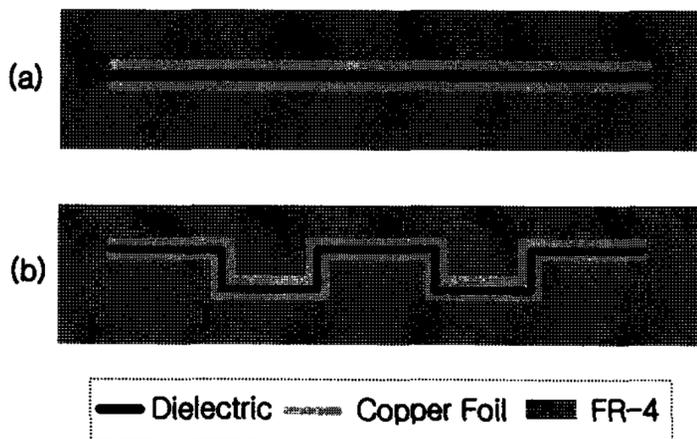


그림 1. 기존의 평면형 EC와 Wrinkle형 EC의 비교
Fig. 1. Comparison of the Wrinkle Type EC with Conventional Planar EC.

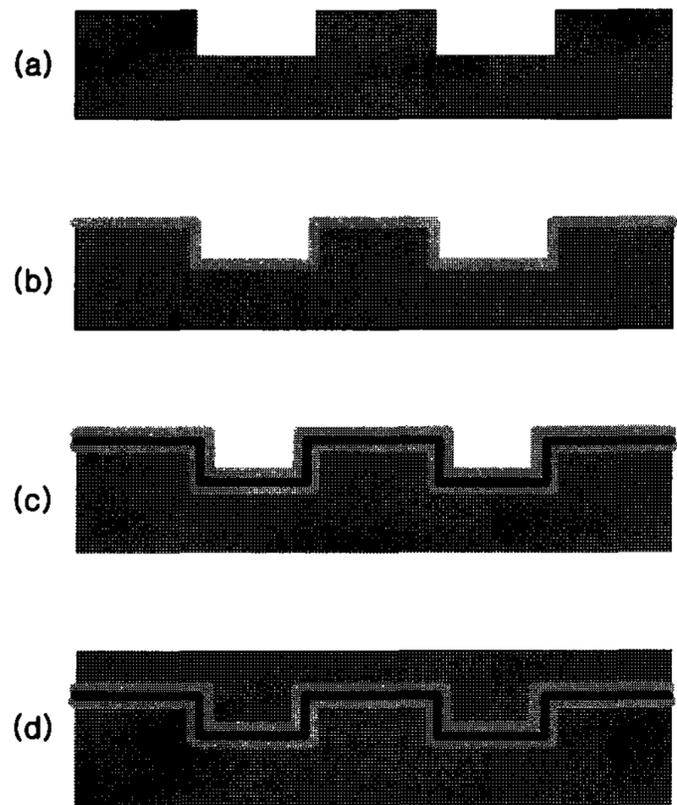


그림 2. Wrinkle형 EC의 제조공정
Fig. 2. Fabrication Steps for the Wrinkle Type EC.

제작할 수 있다. 이는 평면형 EC의 제조공정에 FR-4층을 식각하는 공정을 추가한 것이다. 그림 2에 보인 wrinkle형 EC의 제조공정을 간략히 설명한다.

먼저 식각 레지스트 층을 형성한 후 그림 2의 (a)와 같이 식각용액을 이용하여 요철모양으로 층간절연체를 가공한다. 이 공정은 층간 절연체 위에 polymer 등으로 bump를 형성하는 공정으로 대체할 수도 있다. 그림 2의 (b)는 vacuum press로 동박을 적층한 다음 식각하여 아래쪽의 전극을 형성한 상태이다. 그림 2의 (c)는 유전체 및 위쪽의 전극이 될 동박을 적층한 상태이다. 끝으로 그림 2의 (d)와 같이 층간 절연체를 다시 한 번 적층하여 wrinkle형 EC를 완성한다.

III. 실험 결과

본 논문에서는 범용적인 FEM tool의 하나인 FEMM을 사용하여 전위 시뮬레이션을 행하였다. 시뮬레이션을 수행함에 있어 모든 EC에 대하여 전극의 크기를 가로와 세로 공히 1mm로 하였다. Wrinkle형 EC의 경우에는 4개의 wrinkle을 형성하였고 그 깊이는 50 μ m로 하였다.

먼저 thick film형 EC에 대하여 시뮬레이션을 행하였다. 유전체로는 두께가 20 μ m이고 유전률이 43인 BaTiO₃/Epoxy를, 전극으로는 PCB 제조에 가장 많이

표 1. 시뮬레이션과 계산결과의 비교
Table 1. Comparison of Simulation with Calculation Result.

Calculation [nF/cm ²]	Simulation [nF/cm ²]	Ratio
90.4	191.2	1.004

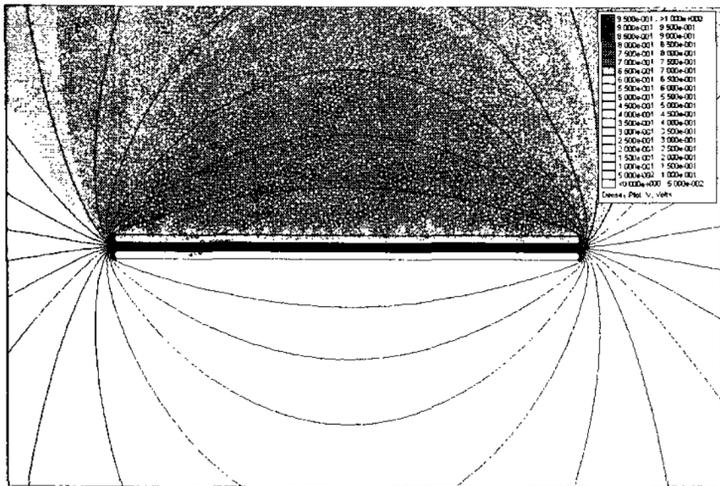
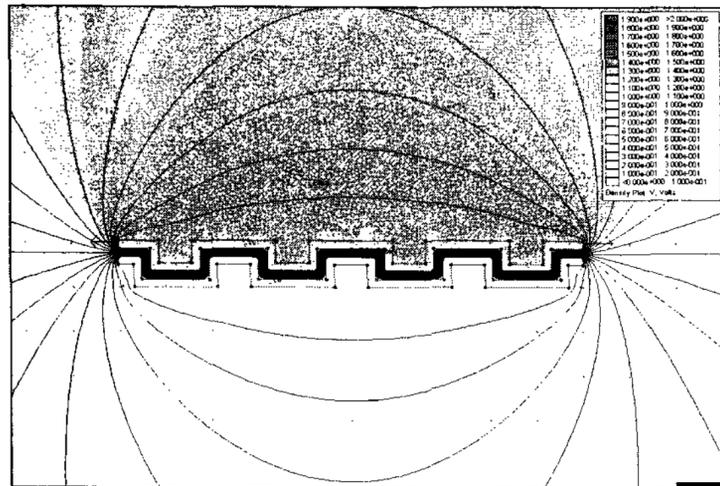
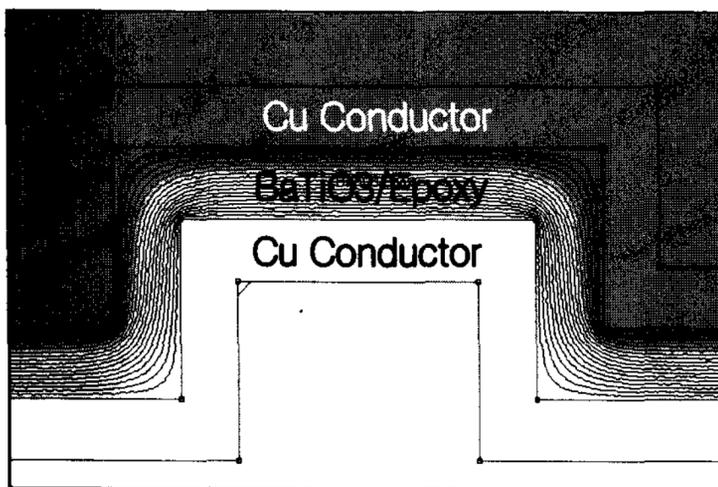


그림 3. 평면형 EC에 대한 시뮬레이션 결과
Fig. 3. Simulation Result for planar type EC.



(a) Overview



(b) Detailed

그림 4. Wrinkle형 EC에 대한 시뮬레이션 결과
Fig. 4. Simulation Result for the Wrinkle Type EC.

사용되는 half Oz(17μm) 두께의 Cu를 각각 적용하였다.

그림 1의 (a)에 보인 평면형 EC의 정전용량 밀도를 계산하고 이를 시뮬레이션 결과와 비교하여 FEM tool의 적정성을 확인하였다. 표 1을 살펴보면, 계산결과와 시뮬레이션 결과 간의 비율은 1.004이며 이로써 FEM tool이 적정함을 확인하였다.

그림 3과 그림 4에 평면형 EC 및 wrinkle형 EC의 전위 시뮬레이션 결과를 보였다. 그림에서 흑백의 농도는 전위의 높낮이를 나타내며 농도가 진할수록 높은 전위이다. 그림 3에 보인 평면형 EC에서는 평면(planar) 전극의 하부에 위치한 20μm 두께의 유전체에 전기력선이 밀집되어 있다.

그림 4의 (a)는 wrinkle형 EC 전체에 대한 전위분포이고, 그림 4의 (b)는 wrinkle부를 확대하여 보인 것이다. 그림 4의 (b)를 살펴보면 유전체인 BaTiO3/Epoxy에 전기력선이 밀집되어 있음을 알 수 있다.

그림 3에 보인 평면형 EC의 정전용량 밀도는 표 1에 제시한 바와 같이 191.2[nF/cm²]이다. 그림 4에 보인 wrinkle형 EC의 정전용량 밀도는 240[nF/cm²]으로, 평면형 EC보다 25.6% 정도 향상된 값을 나타내었다.

그림 5에 전극면적에 따른 캐패시턴스(capacitance)의 변화를 보였다. Wrinkle형 EC의 경우에 캐패시터 면적이 증가함에 따라 평면형 EC에 비하여 더 큰 캐패시턴스를 얻을 수 있음을 알 수 있다.

다음으로 thin film형에서의 특성을 평가하기 위하여 다른 조건은 동일하게 유지하면서 유전체의 두께를 2μm로 변경하여 그림 3과 그림 4에 보인 전위 시뮬레이션

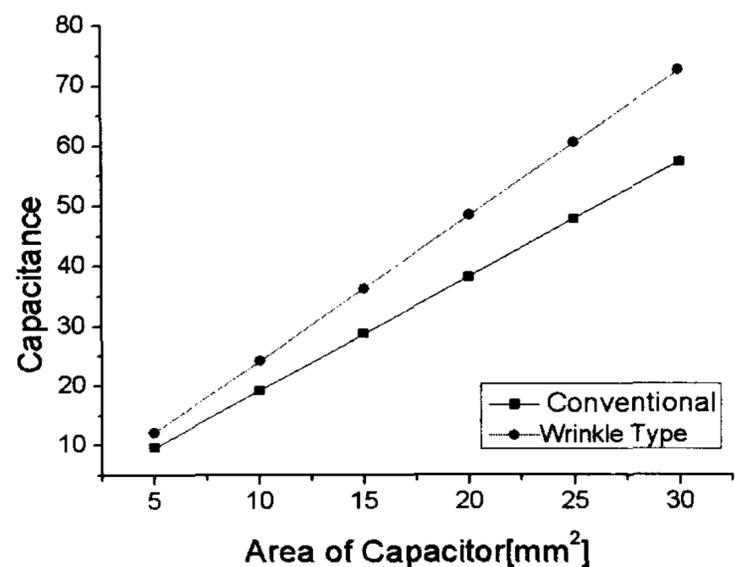


그림 5. 전극면적에 따른 캐패시턴스의 변화
Fig. 5. Variation of Capacitance according to the Capacitor Area(Thick film type EC).

표 2. Thick Film형 및 Thin Film형 EC의 정전용량 밀도 비교

Table 2. Comparison of Capacitance Density between Thick Film type EC and Thin Film type EC.

Capacitance Density [nF/cm ²]	Thick Film Type		Thin Film Type	
	Wrinkled	Planar	Wrinkled	Planar
	240.0	191.2	2660	1906

을 행하였다. 시뮬레이션 결과를 표 2에 정리하였다.

Thin film형 EC에서는 유전체의 두께가 감소함에 따라 정전용량 밀도가 크게 증가하였다. 표 2를 살펴보면 thin film형의 wrinkle형 EC가 평면형 EC보다 39.6% 정도 향상된 정전용량 밀도를 나타내고 있다. 이는 thick film형에서 얻을 수 있었던 25.6%보다 높은 값으로 유전체의 두께가 감소한 비율 이상으로 정전용량 밀도가 향상되었다. 이로부터 wrinkle 구조는 thin film형 EC의 경우에 정전용량 밀도를 향상시키는데 더욱 효과적임을 알 수 있다.

그림 6에 thin film형 EC에서 전극면적에 따른 캐패시턴스의 변화를 나타내었다. 그림 5와 마찬가지로 wrinkle형 EC가 평면형 EC보다 더 큰 캐패시턴스를 나타내고 있다. 나아가 유전체의 두께가 2 μ m이므로 thick film형 EC에 대한 그림 5의 결과보다 월등하게 큰 캐패시턴스를 얻을 수 있다.

캐패시터 면적이 25 mm²일 때 그림 5의 wrinkle형 EC는 60.5nF 정도의 캐패시턴스를 나타내지만 그림 6의 경우에는 665nF로 11배 정도 큰 캐패시턴스를 나타낸다. 이는 유전체의 두께를 줄인 비율(20 μ m를 2 μ m로,

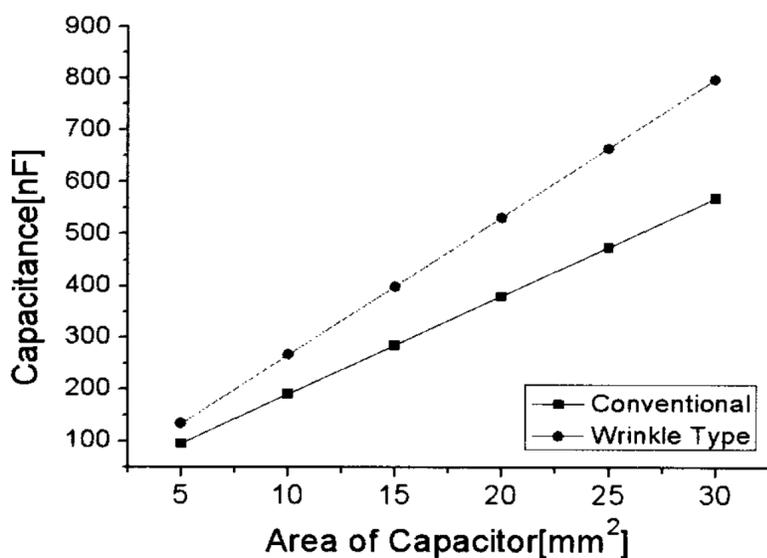
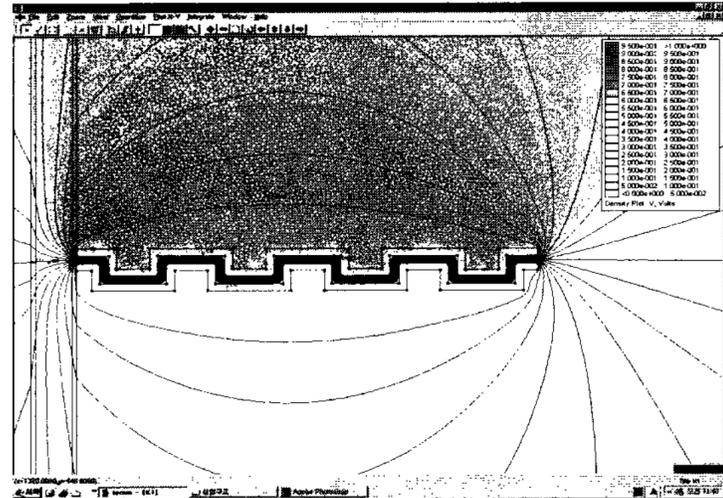
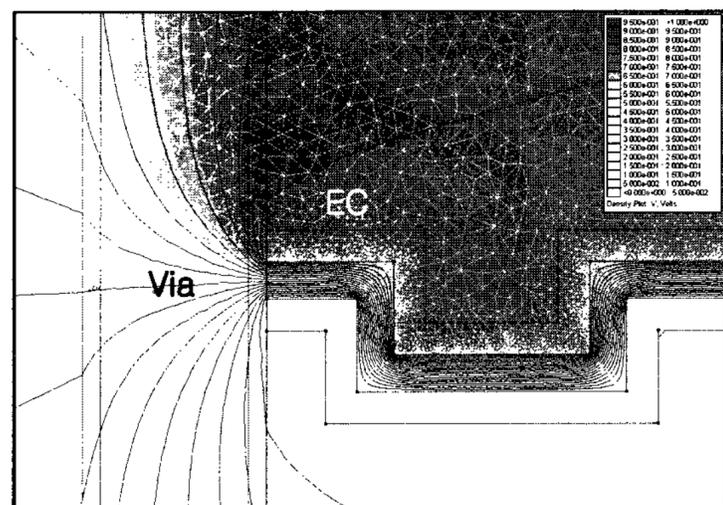


그림 6. 전극면적에 따른 캐패시턴스의 변화
Fig. 6 Variation of Capacitance according to the Capacitor Area(Thin film type EC).



(a)Overview



(b)Detailed

그림 7. 비아 홀과 연결된 Wrinkle형 EC의 시뮬레이션 결과

Fig. 7. Simulation Result for Wrinkle Type EC with Via Hole Connection.

즉 1/10로 줄임) 이상으로 정전용량 밀도가 증가한 것이다.

다음으로, wrinkle형 EC를 다층 PCB에서 층간연결을 위하여 사용되는 비아 홀(via hole)과 인접하여 설계한 경우의 특성을 살펴보았다. 그림 7에 비아 홀이 EC에 직접 연결된 경우의 결과를 보였다. 그림 7의 (a)는 비아 홀이 연결되었을 때 wrinkle형 EC 전체에 대한 전위분포이고, 그림 7의 (b)는 비아 홀과 wrinkle부의 전위분포를 확대하여 보인 것이다.

비아 홀과 연결된 wrinkle형 EC는 그림 4에 보인 것과 동일한 조건의 것이다. 그림 7에서 비아 홀의 내부 는 공기로 조건을 설정하였다. 또한, 비아 홀의 내벽은 Cu로 도금되어 있고 전압은 인가되지 않은 상태로 설정하였다. 이는 실제 PCB의 동작환경과 유사한 조건이며 이 상태에서 전위 시뮬레이션을 행하였다.

그림 7의 (a)와 (b)를 살펴보면 비아 홀 부근에서 전기력선이 왜곡되고 있음을 알 수 있다. 비아 홀의 안쪽

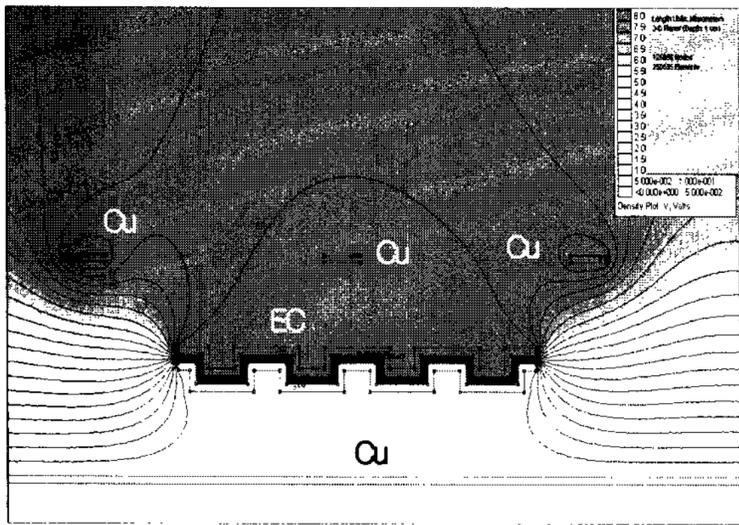


그림 8. Cu 배선이 이웃한 Wrinkle형 EC의 시뮬레이션 결과
 Fig. 8. Simulation Result for the Wrinkle Type EC neighboring Cu Conductors.

에서는 유전체의 차이에 따른 전기력선의 변화가 관찰되며 EC의 유전 층에 전기력선이 밀집되어 있음을 알 수 있다. 반면에 비아 홀의 안쪽은 매질이 공기이므로 전기력선의 밀도가 상대적으로 낮다. 그림 7에 보인 비아 홀과 연결된 EC의 정전용량 밀도는 $240 [nF/cm^2]$ 으로 그림 4에 보인 연결되지 않은 EC 보다 약간 감소하였다. 이것은 비아 홀로 인하여 EC에 분포하는 전기력선의 왜곡이 일어나고, 이로 인하여 정전용량이 감소되었기 때문으로 해석된다. 다만 그 영향은 작은 편이다. 평면형 EC의 경우에도 비아 홀이 연결되면 정전용량 밀도보다 약간 감소하였다.

다음으로 다층 PCB에 EC가 제작된 실제의 경우를 감안하여 EC의 위쪽과 아래쪽에 Cu 배선이 놓일 때의 영향을 평가하였으며 결과를 그림 8에 보였다.

그림 8에서 위쪽의 Cu 배선에는 1V의 신호전압을 인가하였고 아래쪽의 Cu 배선은 접지로 설정하였다. 정전용량 밀도는 Cu 배선이 없는 경우에 비하여 1% 정도 증가하였다. 이는 Cu 배선에 인가된 신호전압에 기인하여 원하지 않는 기생성분이 발생되었기 때문으로 생각된다. Via가 연결된 경우와 마찬가지로 EC의 정전용량 밀도에 미치는 영향은 작은 편이다.

IV. 결 론

본 논문에서는 기존의 평면형 EC가 가진 문제를 해결하기 위하여 새로운 wrinkle형 EC를 제안하고 그 특성을 평가하였다.

Wrinkle형 EC는 평면형 EC에 비하여 25.6%(thick film형 일 때)~39.6%(thin film형일 때) 정도 향상된 정전용량 밀도를 나타내었다. 특히 유전체가 $1\mu m$ 내외의 박막인 thin film형 EC에 wrinkle 구조를 적용할 때 정전용량 밀도가 39.6% 정도 크게 증가하였다. 이는 평면형 EC가 가진 낮은 정전용량 밀도로 인한 문제를 해결할 수 있는 방안이 된다.

Thin film형 EC는 제조공정상의 어려움과 누설전류 증가 등의 문제로 아직 상용화에는 미치지 못하고 있지만 차후 thick film형 EC를 대체할 것이 확실하다. Thin film형 EC에서 유전체의 두께를 증가시키면 누설전류는 줄일 수 있지만 정전용량 밀도가 감소되는 어려움이 있다.

Thin film형 EC에 본 논문에서 제안한 wrinkle구조를 적용하면 유전체를 $2\mu m$ 정도로 하여 누설전류를 줄이면서 정전용량 밀도는 높은 수준으로 유지할 수 있다. 이는 thin film형 EC를 상용 제품에 적용할 때 걸림돌이 되고 있는 누설전류의 문제를 해결할 수 있는 방안이 된다.

차후에 재료의 종류와 온도변화에 따른 wrinkle형 EC의 안정성을 평가하는 한편, test vehicle을 제작하여 실제적인 특성을 살펴보는 연구를 진행할 예정이다.

참 고 문 헌

- [1] C. S. Ryu, "Embedded PCB technology and market trend", *KPCA Show International Symposium Proceeding*, Seoul, Korea, April 2005.
- [2] Henry Utsunomiya, "最新 Embedded PCB 技術動向", *제1차 한·일 공동 Symposium Proceeding*, pp. 3~37, Seoul Korea, September 2004.
- [3] Jiming Zhou et. al., "Embedded passives technology for PCBs : materials, design, and process", *TPCA Forum 2002 Proceeding*, Taipei, Taiwan, Oct. 2002.
- [4] Gary min, "An overview of embedded passive materials and their impact on board performance", *TPCA Forum 2003 Proceeding*, pp. 96~101, Taipei, Taiwan, Oct. 2003.
- [5] Robert Crosswell, John Savic, "Embedded Mezzaine capacitor technology for PWB" *www.circuitree.com*, Aug. 2002.

- [6] Eric Liao, " An Improved Laminate for Buried Capacitance Application", *TPCA Forum 2002 Proceeding*, Taipei, Taiwan, oct. 2002.
- [7] R. Ulrich, "Integrated Passive component technology", *IEEE Press*, pp.55~74, 2003.

저 자 소 개



홍 순 관(정회원)

1987년 서울시립대학교 전자공학과 학사 졸업.

1989년 서울시립대학교 전자공학과 석사 졸업

1994년 서울시립대학교 전자공학과 박사 졸업.

1994년~현재 해전대학 디지털전자디자인과 교수

<주관심분야 : PCB제조기술, 반도체, >