

데드 타임 없는 공간 벡터 전압 변조 인버터에 관한 연구

徐一洙[†], 宋義鎬

A Study on the Space Vector PWM Inverter without Dead Time

Il-Soo Seo and Eui-Ho Song

요 약

전압형 인버터에서 데드 타임은 직류단 단락을 방지하기 위하여 필요하다. 데드 타임 효과는 출력 전압, 출력 전류의 왜곡으로 나타난다. 최근 많은 논문에서 데드 타임 보상 방법에 대한 연구가 이루어졌다. 본 논문에서는 데드 타임을 보상하는 것이 아니라 데드 타임이 없는 인버터를 제안한다. 부하전류를 측정할 필요도 없으며 데드 타임 보상을 위한 계산도 필요 없다. 이는 인버터의 각 레그에 트랜스포머를 추가함으로써 가능하다. 제안된 방법의 각 모드 해석이 선행되고 타당성을 위한 시뮬레이션 결과가 제시된다.

ABSTRACT

In a voltage source inverter, the dead time is necessary to prevent short circuits in the dc link. The dead time effect appears as a distortion of output voltages and currents. In recent years, the dead time compensation methods have been investigated in many literatures. This paper presents not the dead time compensation by sensing and calculation but the dead time elimination. The proposed inverter system doesn't need to sense load current and to calculate dead time. Adding some transformers to each leg, dead times in the inverter system are eliminated automatically. The proposed method is analyzed on each mode and verified through simulation results.

Key Words : VSI, SVPWM, Dead Time, Load current, Transformer

1. 서 론

최근 반도체 산업의 발달로 MOSFET, IGBT와 같은 빠른 스위칭(Switching) 소자가 등장하고 스위칭 속도는 날이 빨라지고 있다. 이런 소자들에 힘입어 오늘날 전압형(VSI: Voltage Source Inverter) 펄스폭 변조 인버터(Pulse Width Modulation Inverter)는 많은 산업응用に 사용되고 있다. 또한 마이크로프로세서(Micro-Processor)의 발달로 다른 전압 변조방식에 비해 직류 링크(DC Link) 전압의 이용률이 크고, 출력

상전류의 고조파 함유율이 낮은 공간 벡터 전압 변조 방식(Space Vector Pulse Width Modulation)이 널리 이용되고 있다. 이러한 전압형 인버터는 직류 링크단 단락을 방지하기 위하여 데드 타임을 사용한다. 데드 타임 효과는 출력전류와 출력전압의 왜곡으로 나타나고 소음과 진동 같은 문제를 야기 시킨다. 이러한 문제뿐만 아니라, 센스리스 벡터 컨트롤(Senseless Vector Control)에서는 자속 추정을 위해 필요한 출력 전압 대신에 지령전압을 사용하기 때문에 데드 타임으로 인한 출력전압과 지령전압의 차이는 기대 이하의 나쁜 제어결과를 낳는다.

최근, 데드 타임 보상에 대한 연구가 다양한 형태로 이루어 졌다. 가장 고전적인 방법으로써, 한주기 동안 데드 타임에 의한 오차전압의 평균값을 미리 계산하여 전류 방향에 따라 지령전압에 가감하여 보상하는 방법

[†]교신저자 : 정회원, 인텍FA 연구원
정회원, 창원대 공과대학 제어계측공학과 부교수
E-mail : seoilsoo@korea.com
접수일자 : 2004. 6. 17 1차 심사 : 2004. 8. 9
2차 심사 : 2004. 8. 31 심사완료 : 2004. 9. 17

[11][2]. 전류 정보로부터 계산된 오차전압을 전향 보상하는 방법[3]. 나아가 데드 타임뿐만 아니라 스위치의 턴 온 지연(Turn On Delay)시간, 턴 오프 지연(Turn Off Delay)시간, 소자의 전압강하(Voltage drop) 까지 보상하는 방법[4][8]. 스위칭 주기마다 스위칭 패턴을 조작하여 지령전압의 크기와 위상을 보상하는 방법[9]. 전류 방향에 따라 데드 타임이 필요 없는 시간을 파악하여 정군(upper leg) 혹은 부군(lower leg) 스위치의 게이트 신호를 인가하지 않는 방법[10] 등이 있다. 그리고 이들 방법을 기본으로, 부가적인 하드웨어나 소프트웨어를 추가하여 성능을 향상시킨 연구들이 계속되고 있다.

이들 연구에서 알 수 있듯이 데드 타임의 영향은 부하 전류의 방향에 따라서 다르게 나타난다. 다시 말해 부하 전류 방향이 데드 타임 보상의 가장 중요한 부분이다. 특히 영 전류(Zero Current) 부근에서의 잘못된 데드 타임은 영 전류 클램핑(Clamping) 현상으로 인해 전류 왜곡은 더 심각해진다. 이런 영 전류 부근에서의 데드 타임 보상에 대한 연구 또한 계속되어 왔다. 영 전류 근처에서 일정한 대역폭을 두어서 전류 리플 효과를 최소화하는 방법[10]. 역기전력을 바탕으로 영 전류 클램핑 영역을 정의하여 영역 내에서의 영역 밖에서 각기 다른 보상을 행하는 방법[4]. 측정된 전류를 d, q 축으로 변환하고 저역 통과 필터와 노치(notch) 필터를 이용하여 전류 크기와 위상 정보를 얻는 방법[6]. 스위칭 순간의 전류를 예측하는 방법[11][12]. 영 전류 근처의 일정한 영역 안에서 데드 타임의 크기를 선형적으로 감소, 혹은 증가 시키는 방법[13] 등이 있다.

본 논문에서는 데드 타임을 보상하는 것이 아니라 데드 타임 자체가 필요 없는 새로운 인버터를 제안한다. 부하 전류를 측정할 필요도 없으며 데드 타임 보상을 위한 계산도 필요 없다. 제안된 인버터의 각 레그(Leg)에는 단락 전류(Short Current)를 블로킹(Blocking) 할 수 있는 트랜스포머(Transformer)와 트랜스포머를 리셋(Reset) 하기 위한 다이오드가 들어간다.

제안된 인버터 설명에 앞서 데드 타임 효과에 대해 알아본다. 또한 제안된 방법의 동작 원리에 대한 설명이 선행되고 타당성을 위한 시뮬레이션(Simulation) 결과가 제시된다.

2. 데드 타임 해석

데드 타임 해석은 단상 해석, 삼상 해석, 상전압 해석, 극전압 해석 등 다양한 방법으로 해석이 가능하지만 본 논문에서는 간단하게 극전압에 대해서만 행한다.

그림 1에서 (a)는 지령전압과 삼각파를 나타낸 것이고, (b)는 실제의 게이트 파형이며, (c)는 이상적인 경우의 a상 극전압 V_{an} 이고, (d)는 실제 경우의 V_{an} 파형이며, (e)는 (c)와 (d)의 차 전압을 나타낸 것이다. 또한 V_{ce} 는 스위칭 소자의 전압 강하분이고, V_d 는 다이오드의 전압 강하분이다.

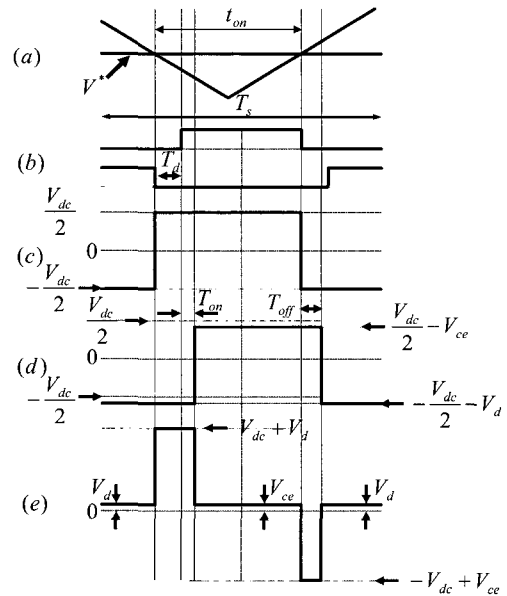


그림 1 부하 전류가 양 일 때 출력 오차 전압
Fig. 1 Output voltage error for a positive load current

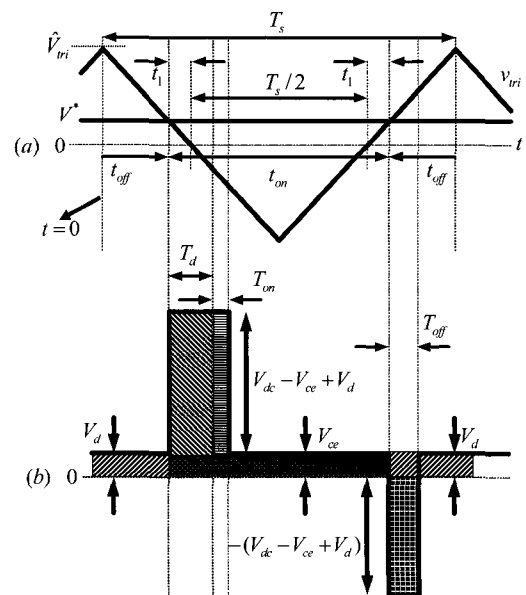


그림 2 오차 전압의 다섯 가지 영역
Fig. 2 five regions of voltage error

해석을 위하여, 그림 1의 (a)와 (e)를 그림 2에 다시 나타내었다. 그림 2에서 (b)는 t_{off} 구간(Off time), T_d 구간(Dead time), T_{on} 구간(Turn on delay), t_{on} 구간(On time) 그리고 T_{off} 구간(Turn off delay)의 다섯 개 영역으로 나눌 수 있다.

각 영역의 넓이를 계산하기에 앞서 먼저 t_{on} , t_{off} 에 대해서 정의 할 필요가 있다. 그림 2의 (a)에서 v_{tri} 함수는 구간 $0 \leq t \leq \frac{T_s}{2}$ 에서 단조 감소 함수이며 다음과 같이 나타낼 수 있다.

$$v_{tri} = -\frac{4\widehat{V}_{tri}}{T_s}t + \widehat{V}_{tri} \quad (1)$$

$t = \frac{T_s}{4} - t_1$ 일 때, $v_{tri} = V^*$ 이므로 식 (1)은 다음과 같이 쓸 수 있다.

$$V^* = -\frac{4\widehat{V}_{tri}}{T_s} \left(\frac{T_s}{4} - t_1 \right) + \widehat{V}_{tri} \quad (2)$$

따라서 t_1 은 다음과 같다.

$$t_1 = \frac{V^* T_s}{\widehat{V}_{tri} 4} \quad (3)$$

그림 2의 (b)에서 $t_{on} = 2t_1 + \frac{T_s}{2}$ 이므로,

$$t_{on} = \frac{T_s}{2} \left(1 + \frac{V^*}{\widehat{V}_{tri}} \right) \quad (4)$$

$$t_{off} = T_s - t_{on} = \frac{T_s}{2} \left(1 - \frac{V^*}{\widehat{V}_{tri}} \right) \quad (5)$$

오차전압의 다섯 개 영역을 주기 T_s 에 대해 시간 평균을 구하면 다음과 같다.

$$\begin{aligned} V^{err} &= \frac{t_{off}}{T_s} V_d + \frac{T_d}{T_s} (V_{dc} - V_{ce} + V_d) + \frac{T_{on}}{T_s} (V_{dc} \\ &\quad - V_{ce} + V_d) + \frac{t_{on}}{T_s} V_{ce} - \frac{T_{off}}{T_s} (V_{dc} - V_{ce} + V_d) \\ &= \frac{T_d + T_{on} - T_{off}}{T_s} (V_{dc} - V_{ce} + V_d) \\ &\quad + \frac{V_d + V_{ce}}{2} + \frac{V^*(V_{ce} - V_d)}{2\mathcal{V}_{tri}} \end{aligned} \quad (6)$$

이렇게 구한 오차전압 V^{err} 을 부하 전류 크기에 따른 전압 강하분과 함께 지령전압에 가감하여 보상할 수 있다. 그러나 이렇게 오차전압을 보상하더라도 그림 3에서 이상적인 출력전압 (a)와 실제의 출력전압 (d) 사이에는 (e)와 같이 시간 지연이 생기게 된다(그림 3의 (b)는 보상 전 실제 출력전압이고, (c)는 오차 전압 V^{err} 을 부하 전류 크기에 따른 전압 강하분과 함께 지령전압에 가감한 후 생성한 게이트 파형으로써 데드 타임을 삽입하기 전의 파형이다). 다시 말해 출력 전압은 중심축에서 벗어나게 되어 출력 전압의 고조파 함유율을 증가 시킨다^{[14][15]}.

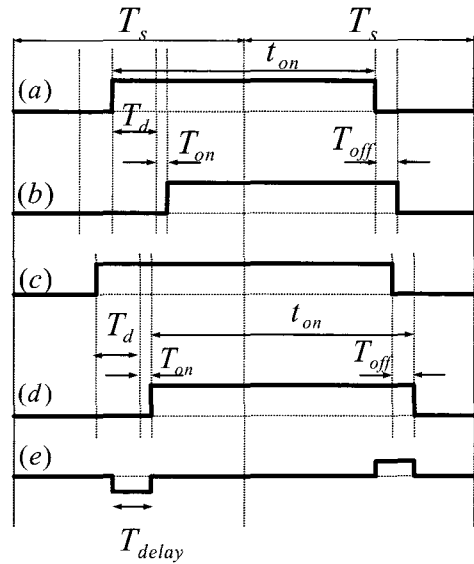


그림 3 출력 전압 오차
Fig. 3 Output voltage error

그러므로 부하 전류가 양 일 때는 시간 T_{delay} 만큼 정준 스위치를 빨리 켜고, 부하 전류가 음 일 때는 T_{delay} 만큼 정준 스위치를 빨리 끈다면, 이상적인 출력전압과 동일한 출력전압을 얻을 수 있다. 하지만 이는 부하 전류 방향의 정확한 측정이 필요하고 데드 타임 보상을 위한 계산으로 프로세서의 부담을 가중시킨다.

3. 제안된 인버터

그림 4는 제안된 인버터이다. 제안된 방법의 인버터 해석은 한 레그에 대해서만 행하며, 부하 전류가 양 일 때에 대해서만 설명한다.

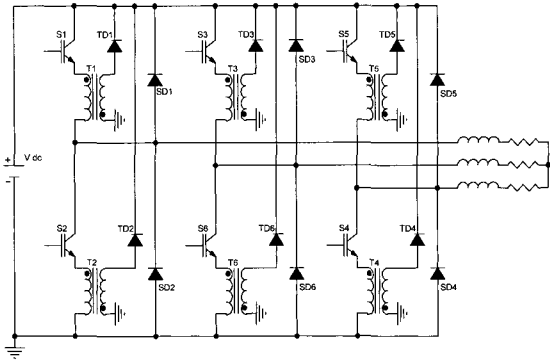


그림 4 제안된 인버터
Fig. 4 The proposed inverter

그림 5는 부하 전류가 양 일 때 각 모드(Mode)에 대한 전압 전류 파형이다. V_{G1}, V_{G2} 는 스위치 S_1, S_2 의 각 게이트 전압파형이고, i_{S1}, i_{S2} 는 스위치 S_1, S_2 에 흐르는 전류파형이고, i_{TD1}, i_{TD2} 는 각 트랜스포머의 리셋 다이오드 전류파형이며, i_{SD2} 는 부근 스위치 환류 다이오드 전류파형이다.

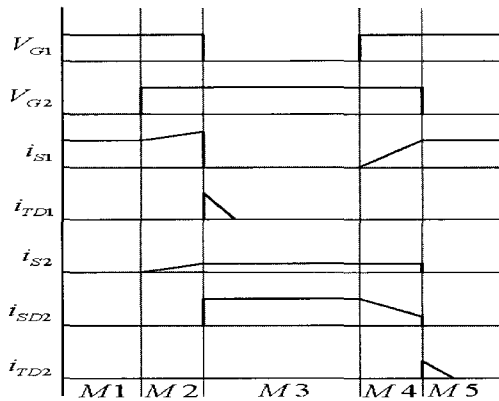


그림 5 부하 전류가 양 일 때 파형
Fig. 5 A wave for a positive load current

여기서 V_{G1}, V_{G2} 파형이 겹치는 것을 볼 수 있는데, 이는 실제 소자에서 정준 스위치와 부근 스위치 사이에 데드 타임 없이 게이트 신호가 인가될 때의 상황을 연출한 것이다. 제안된 인버터의 신뢰성을 확실히 하기 위해 $6\mu s$ 로 크게 주었다.

3.1 모드 1

모드 1은 그림 5에서 스위치 S_1 만 켜져 있는 상태이다. 그림 6과 같이 전류 i_{S1} 은 스위치 S_1 , 트랜스포머 T_1 을 통해 부하로 흐른다.

3.2 모드 2

모드 2는 그림 5에서 스위치 S_1 과 S_2 가 동시에 켜져 있는 상태이다. 그림 7과 같이 부하 전류는 스위치 S_1 , 트랜스포머 T_1 을 통해 부하로 흐른다. 스위치 S_1 과 S_2 를 따라 흐르는 단락 전류는 트랜스포머 T_2 가 막고 있기 때문에 트랜스포머 인덕턴스의 크기에 따라 선형적으로 증가한다. 그림 5에서 전류 i_{S1}, i_{S2} 가 선형적으로 증가하는 것을 알 수 있다.

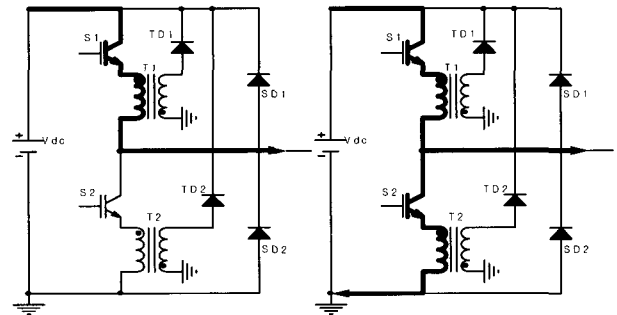


그림 6 모드 1
Fig. 6 Mode 1

그림 7 모드 2
Fig. 7 Mode 2

3.3 모드 3

모드 3은 그림 5에서 스위치 S_2 만 켜져 있는 상태이다. T_1 에 저장된 에너지는 스위치 S_1 이 꺼지는 순간 TD_1 을 통해 리셋 된다. 그리고 부하 전류는 그림 5의 모드 3에서 다이오드 SD_2 를 통해 환류하고, 단락 시간 동안 선형적으로 증가했던 스위치 S_2 의 전류 (T_2 에 저장된 에너지)는 T_2 와 SD_2 그리고 S_2 를 통해 계속 흐른다. 전류 i_{SD2} 는 전류 i_{S2} 와 부하 전류의 합이다.

3.4 모드 4

모드 4는 그림 5에서 스위치 S_1 과 S_2 가 동시에 켜져 있는 상태이다. 그림 9에서 트랜스포머 T_1 때문에 부하 전류는 갑자기 스위치 S_1 을 따라 흐를 수 없다. 그러므로 전류 i_{S1} 이 부하 전류를 모두 감당할 때 까지 스위치 S_1 과 환류 다이오드 SD_2 를 통해 나누어 흐른다. 만약 모드 4가 끝나기 전에 전류 i_{S1} 이 부하 전류를 모두 감당한다면, 그 이후의 전류 i_{SD2} 는 전류 i_{S2} 와 동일한 양 일 것이다. 반면에 모드 4의 시간 동안 전류 i_{S1} 이 부하 전류를 모두 감당하지 못하면

모드 5에서 전류 i_{S1} 이 부하 전류를 모두 감당할 때까지 전류 i_{SD2} 는 남아 있게 된다.

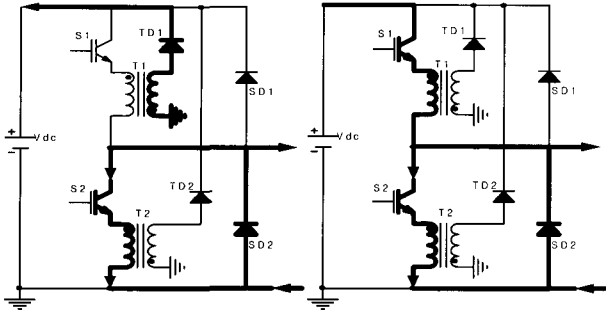


그림 8 모드 3
Fig. 8 Mode 3

그림 9 모드 4
Fig. 9 Mode 4

3.5 모드 5

모드 5는 그림 5에서 스위치 S_1 만 켜진 상태이다. 스위치 S_2 가 꺼지는 순간 환류 다이오드에 흐르는 전류 i_{SD2} (전류 i_{SD})는 경로를 잃고 TD_2 를 통해 리셋된다. 부하 전류는 스위치 S_1 , 트랜스포머 T_1 을 통해 부하로 흐르고 모드 1로 돌아간다.

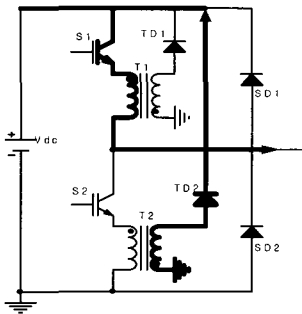


그림 10 모드 5
Fig. 10 Mode 5

4. 시뮬레이션

시뮬레이션에서 사용된 인버터는 3장에서 제안된 그림 4와 같다. 사용된 프로그램은 Psim version 4.1 이다. 변조 방식은 옵셋 전압을 이용한 공간 벡터 전압 변조 방식을 사용하였다. 입력전압은 380V이고, 각 트랜스포머의 자화 인덕턴스 L_m 은 0.5mH이며, Y결선된 3상 부하는 각각 1Ω, 30mH이다. 지령 전압의 크기는 최대 출력의 약 43%, 지령 주파수는 60Hz, 스위칭 주파수는 20KHz이다.

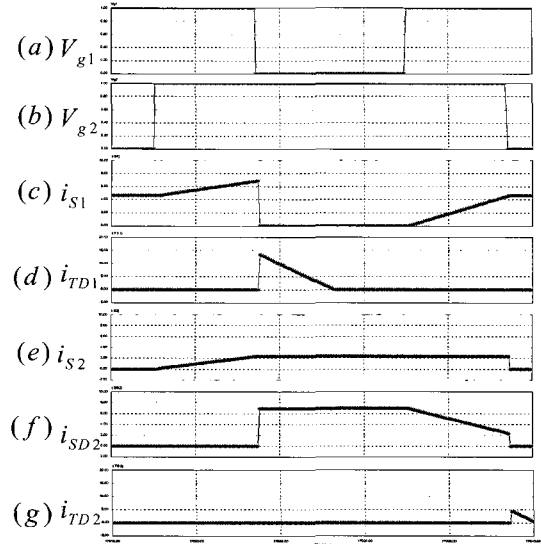


그림 11 부하 전류가 양 일 때 파형
Fig. 11 A waveform for a positive load current

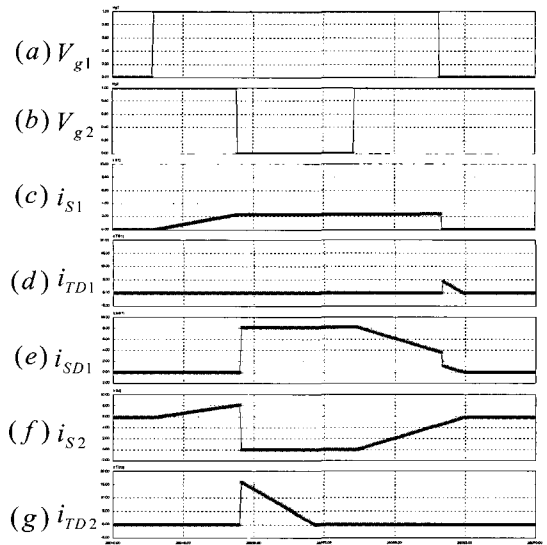


그림 12 부하 전류가 음 일 때 파형
Fig. 12 A waveform for a negative load current

그림 11은 부하 전류가 양 일 때의 시뮬레이션 파형으로 3장의 해석과 동일한 결과를 보여준다.

그림 12는 부하 전류가 음 일 때의 시뮬레이션 파형이다. 이는 부하 전류가 양 일 때와 같은 방법으로 각 모드에 대해 해석이 가능하며 또한 삼상의 경우에도 마찬가지이다. 그림 12에서 모드 5에서 남아 있는 전류 i_{SD1} 은 모드 4에서 스위치 S_2 가 부하 전류를 모두 감당하지 못했기 때문이다.

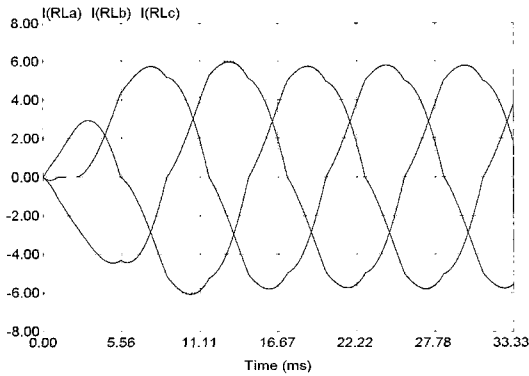


그림 13 6 μ s의 데드 타임을 삽입한 인버터
Fig. 13 A inverter with 6 μ s dead time

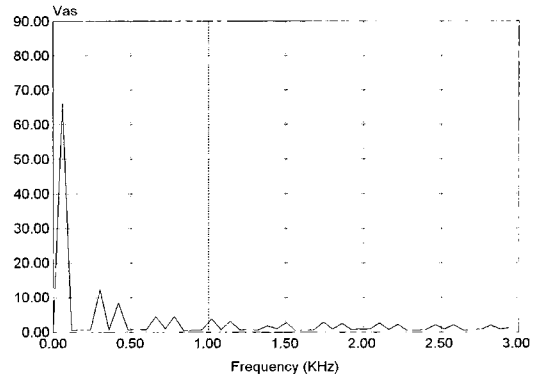


그림 15 μ s의 데드 타임을 삽입한 인버터
Fig. 15 A inverter with 6 μ s dead time

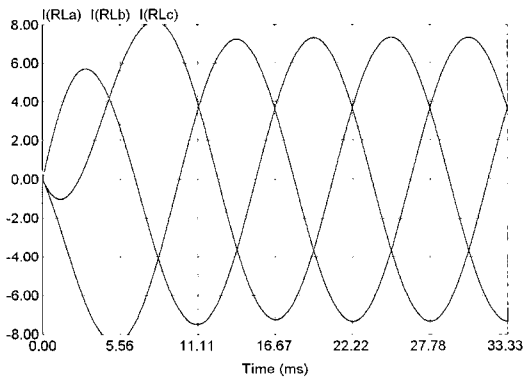


그림 14 제안된 인버터의 출력전류 파형
Fig. 14 A output current waveform of the proposed inverter

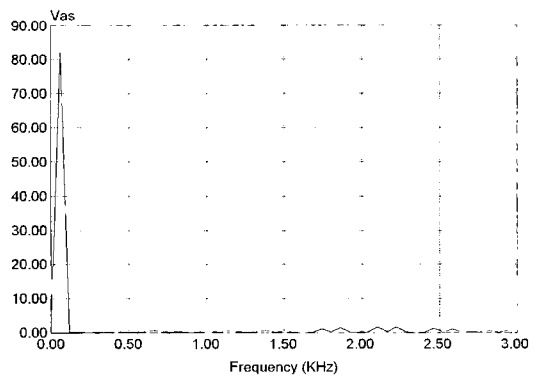


그림 16 제안된 인버터의 출력전압 FFT
Fig. 16 A output voltage FFT of the proposed inverter

그림 13은 트랜스포머가 없는 기존의 인버터에 6 μ s의 데드 타임을 삽입한 경우의 출력 전류 파형이다. 변조방식, 입력전압, 3상 부하, 지령 전압 및 지령 주파수의 크기와 스위칭 주파수는 제안된 인버터와 동일한 조건에서 시뮬레이션 하였다. 인버터 출력전류는 데드 타임으로 인해 각 상전류의 부호가 바뀔 때 마다 왜곡이 일어난다. 데드 타임으로 인한 출력 전류 왜곡은 지령 전압의 크기가 작을수록 더욱 심하게 나타난다.

그림 14는 제안된 인버터의 부하 전류 파형이다. 부하 전류는 깨끗한 정현파이며, 제안된 방법의 우수성을 확인할 수 있다.

그림 15는 제안된 인버터와 동일한 조건에서, 기존의 인버터에 6 μ s의 데드 타임을 삽입한 경우의 출력 상전압 (V_{as}) FFT(Fast Fourier Transform)이다. 데드 타임으로 인한 5차, 7차 그리고 고차 고조파를 확인할 수 있으며, 이로 인해 출력 전압의 기본파의 크기

는 현저하게 줄어들어 있다.

그림 16은 제안된 방법의 인버터 출력 상전압 (V_{as}) FFT이다. 제안된 방법의 출력전압 FFT에서는 고조파를 거의 찾아 볼 수 없다.

이상으로, 시뮬레이션을 통하여 제안된 방법의 타당성을 검증하였다.

5. 결 론

본 논문에서는 데드 타임 자체가 필요 없는 새로운 인버터를 제안하였다. 제안된 인버터의 각 레그에 트랜스포머를 삽입함으로써 단락 시간 동안 단락 전류를 효과 적으로 블로킹 할 수 있었으며, 이를 통해 기존의 부하전류 측정 및 연산에 대한 부담을 없앨 수 있었다.

그리고 제안된 인버터 해석과 시뮬레이션을 통해 그 타당성을 입증하였다.

이 논문은 2004년도 창원대학교 연구비지원 및 한국 과학재단 지정 창원대학교 공작기계연구센터의 지원에 의하여 연구되었음.

참 고 문 헌

- [1] R. C. Dodson, P. D. Evans, H. T. Yazdi and S. C. Harley, "Compensating for dead time degradation of PWM inverter waveforms", in *Proc. Inst. Elect. Eng. B*, Vol. 137, No. 2, pp.73~81, 1990.
- [2] S. G. Jeong and M. H. Park, "The analysis and compensation of dead-time effects in PWM inverters", *IEEE Trans. on Ind. Electron*, Vol. 38, No. 2, pp.108~114, Apr. 1991.
- [3] T. Sukegawa, K. Kamiyama, K. Mizuno, T. Matsui, and T. Okuyama, "Fully digital, vector-controlled PWM VSI-fed AC drives with an inverter dead-time compensation strategy", *IEEE Trans. on Ind. Applicat*, Vol. 27, No. 3, pp. 552~559, May/June 1991.
- [4] J. W. Choi and S. K. Sul, "A new compensation strategy reducing voltage/current distortion in PWM VSI systems operating with low output voltages", *IEEE Trans. on Ind. Applicat*, Vol. 31, pp. 1001~1008, Sep./Oct. 1995.
- [5] J. W. Choi and S. K. Sul, "Inverter output voltage synthesis using novel dead time compensation", *IEEE Trans. on Power Electron*, Vol. 11, No. 2, pp. 221~227, Mar. 1996.
- [6] A. R. Muñoz and T. A. Lipo, "On-line dead-time compensation technique for open-loop PWM-VSI drives", *IEEE Trans. on Power Electron*, Vol. 14, No. 4, pp. 683~689, July 1999.
- [7] N. Urasaki, T. Senjyu, K. Uezato and T. Funabashi, "On-line dead-time compensation method for permanent magnet synchronous motor drive", in *IEEE ICIT'02 Conf*, pp. 268~273, 2002.
- [8] H. S. Kim, K. H. Kim and M. J. Youn, "On-line dead-time compensation method based on time delay control", *IEEE Trans. on Contr. Syst. Technol*, Vol. 11, No. 2, pp. 279~285, Mar. 2003.
- [9] D. Leggate and R. J. Kerkman, "Pulse-based dead-time compensator for PWM voltage inverters", *IEEE Trans. on Ind. Electron*, Vol. 44, No. 2, pp. 191~197, Apr. 1997.
- [10] J. S. Choi, J. Y. Yoo, S. W. Lim and Y. S. Kim, "A novel dead time minimization algorithm of the PWM inverter", in *IEEE IAS Annu. Meeting, Conf. Rec*, Vol. 4, pp. 2188~2193, 1999.
- [11] R. B. Sepe and J. H. Lang, "Inverter nonlinearities and discrete-time vector current control", *IEEE Trans. on Ind. Applicat*, Vol. 30, No. 1, pp. 62~70, Jan./Feb.1994.
- [12] C. Attaianesi and G. Tomasso, "Predictive Compensation of dead-time effects in VSI feeding induction motors", *IEEE Trans. on Ind. Applicat.*, Vol. 37, No. 3, pp. 856~863, May/June 2001.
- [13] T. Summers and R. E. Betz, "Dead-time issues in predictive current control", in *IEEE IAS Annu. Meeting, Conf. Rec*, pp. 2086~2093, 2002.
- [14] A. C. Oliveira, C. B. Jacobina, A. M. N. Lima and E. R. C. da Silva, "Dead-time compensation in the zero-crossing current region", in *IEEE PESC'03 Annu. Conf*, pp. 1937~1942, 2003.
- [15] A. Trzynadlowski and S. Legowski, "Minimum-loss vector PWM strategy for three-phase inverter", *IEEE Trans. on Power Electron*, Vol. 9, No. 1, pp. 26~34, Jan. 1994.
- [16] D. G. Holmes, "The significance of zero space vector placement for carrier-based PWM schemes", *IEEE Trans. on Ind. Applicat*, Vol. 32, No. 5, pp. 1122~1129, Sep./Oct. 1996.

저 자 소 개



서일수(徐一洙)

1974년 11월 18일생. 2001년 창원대 공대 제어계측공학과 졸업. 2004년 동 대학원 제어계측공학과 졸업(석사). 2004년~현재 인텍FA 연구원.



송의호(宋義鎬)

1963년 7월 19일생. 1988년 부산대 전자공학과 졸업. 1990년 포항공대 전기전자공학과 졸업(석사). 1993년 동 대학원 전기전자공학과 졸업(공학박). 1993년~1996년 삼성전기(주) 선임연구원. 1996년~현재 창원대 공과대학 제어계측공학과 부교수.