

## 실리콘-게르마늄 바이시모스 공정에서의 실리콘-게르마늄 이종접합 바이폴라 트랜지스터 열화 현상

김상훈† · 이승윤 · 박찬우 · 강진영

한국전자통신연구원 기반기술연구소 SiGe 소자팀  
(논문접수일 : 2005년 1월 18일)

### Degradation of the SiGe hetero-junction bipolar transistor in SiGe BiCMOS process

Sang-Hoon Kim†, Seung-Yun Lee, Chan-Woo Park, Jin-Young Kang

SiGe Devices Team, Basic Research Laboratory, Electronics and Telecommunications Research Institute (ETRI),  
Yuseong gu, Daejeon 305-350, Korea

(Received January 18, 2005)

#### 요 약

실리콘-게르마늄 바이시모스(SiGe BiCMOS) 소자 제작시 발생하는 실리콘-게르마늄 이종접합 바이폴라 트랜지스터(SiGe HBT) 열화 현상에 대하여 고찰하였다. 독립적으로 제작된 소자에 비해 SiGe BiCMOS 공정에서의 SiGe HBT 소자는 얼리 전압(Early voltage), 콜렉터-에미터 항복전압 및 전류이득등의 DC 특성이 열화되고 상당한 크기의 베이스 누설전류가 존재한다는 것을 알 수 있었다. 또한 AC 특성인 차단주파수( $f_T$ ) 및 최대 진동주파수( $f_{max}$ )도 1/2이하로 현저하게 저하되는 것을 확인하였다. 이는 고온의 소오스-드레인 열처리에 의한 붕소의 농도분포 변화가 에미터-베이스 및 콜렉터-베이스 접합 위치에 변화를 주고, 결국 실리콘-게르마늄 내에서의 접합 형성이 이루어지지 않아 전류 이득이 감소하고 기생 장벽이 형성되어서 발생한 현상이다.

주제어 : 실리콘-게르마늄, 바이시모스, 이종접합 트랜지스터, 베이스 손실

#### Abstract

The degradation of the SiGe hetero-junction bipolar transistor(HBT) properties in SiGe BiCMOS process was investigated in this paper. The SiGe HBT prepared by SiGe BiCMOS process, unlike the conventional one, showed the degraded DC characteristics such as the decreased Early voltage, the decreased collector-emitter breakdown voltage, and the highly increased base leakage current. Also, the cutoff frequency( $f_T$ ) and the maximum oscillation frequency( $f_{max}$ ) representing the AC characteristics are reduced to below 50%. These deteriorations are originated from the change of the locations of emitter-base and collector-base junctions, which is induced by the variation of the doping profile of boron in the SiGe base due to the high-temperature source-drain annealing. In the result, the junctions pushed out of SiGe region caused the parasitic barrier formation and the current gain decrease on the SiGe HBT device.

Key Words : SiGe, BiCMOS, HBT, base leakage

## 1. 서 론

수 기가비트의 데이터 전송능력과 광대역에서 사용가능한 통신시스템을 구축하기 위해서는 빠른 속도의 다양한 기능을 수행하는 디지털 특성과 초고주파의 아날로그의 동작특성이 동시에 요구된다. 이러한 관점으로 볼 때, 초고속의 SiGe HBT 소자, 혹은 CMOS 기술에 SiGe HBT를 접목한 BiCMOS 기술은 가장 적합한 기술로 생각되며 이에 대한 연구가 활발히 진행되고 있다 [1-3]. 이는 실리콘-게르마늄의 고유 물성에 기인하는 것으로 실리콘-게르마늄을 바이폴라 트랜지스터의 베이스로 사용하는 경우, 베이스와 에미터 사이의 밴드 갭 차이에 의한 전류이득 향상을 가져온다. 따라서 SiGe HBT는 Si BJT에 비해 월등한 전류이득을 약간 손해보더라도 베이스의 농도를 높일 수 있고 결국에는 베이스 두께를 얇게 하여 100GHz 이상의  $f_T$  값을 얻을 수 있으며 ECL (Emitter Coupled Logic) 게이트 지연시간도 10ps 정도로 향상을 기대 할 수 있다. 또한 SiGe BiCMOS 기술은 기존의 실리콘 공정을 이용하여 SiGe HBT의 장점인 높은 구동력과 CMOS의 장점인 높은 집적도와 낮은 소비전력을 결합 시켜서 전체적인 성능 향상을 가져온다. 하지만 SiGe BiCMOS 소자를 제작하는 데는 HBT에 미치는 열적 부담이나 실리콘-게르마늄막에서의 self heating, avalanche 효과 그리고 회로 구현시 디지털과 아날로그 회로간의 노이즈 격리 등의 문제에 대한 명확한 해결도 필요로 한다. 더불어 응용분야의 폭을 넓히기 위해서는 높은 Q값을 갖는 바랙터나 인덕터, MIM 캐패시터 그리고 저항 성분 등의 수동소자에 대한 성능향상도 요구된다. 많은 연구 결과등을 통해 근래에는 7백만 개 이상의 CMOS 트랜지스터와 RF 아날로그 회로를 포함한 0.18 $\mu\text{m}$  SiGe BiCMOS 소자가 발표되기도 했다.

일반적으로 SiGe BiCMOS 집적회로 공정기술은 크게 두 가지로 구분되는데 HBT를 형성한 후에 CMOS를 형성하는 방법과 HBT를 나중에 형성하는 방법이 있다. 이를 Fig. 1에 대략적으로 도식하였다. CMOS를 먼저 형성하는 경우에는 소오스-드레인의 열처리에 의한 베이스의 도핑농도에 영향을 미치지 않는 장점이 있는 반면 게이트 폴리를 별도로 형성

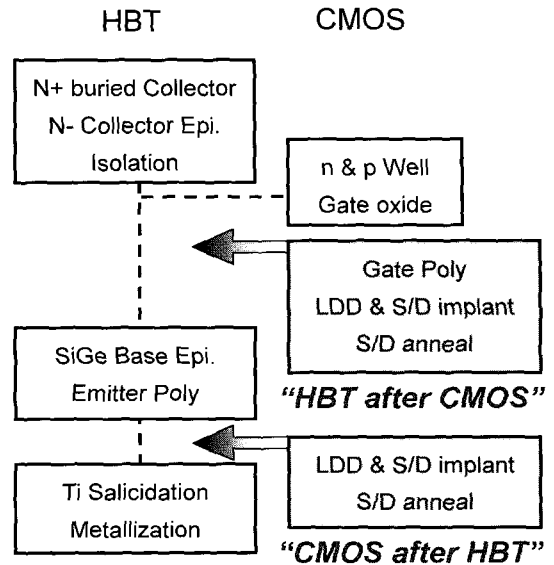


Fig. 1. Integration process schemes of SiGe BiCMOS for high-speed SiGe HBT embedded with scaled CMOS

하여야 하므로 공정이 복잡해 진다. 반면 CMOS를 나중에 형성하는 방법은 베이스와 에미터를 게이트 폴리과 공유 할 수 있으나 후속 열처리 공정에 의해 베이스 및 에미터의 도핑농도 변화가 예상된다. 본 실험에서는 HBT 이후에 CMOS를 형성하는 방법으로 SiGe BiCMOS 소자를 제작하여 소오스-드레인의 열처리 온도에 따른 베이스 및 에미터의 도펀트 농도를 분석하고 그에 따른 소자의 동작특성 변화에 대해 알아보았다.

## 2. 실험방법

독립적으로 set-up된 self-aligned SiGe HBT 공정 [4] 및 0.5 $\mu\text{m}$  Si CMOS 공정을 집적한 SiGe BiCMOS 공정으로 SiGe HBT 및 Si CMOS를 제작하였다. Si CMOS의 게이트 폴리막으로도 사용되는 SiGe HBT 베이스의 성장은 미국 ASM사의 "Epsilon One" AP/ RPCVD를 이용하여 증착온도 650 $^{\circ}\text{C}$ , 증착압력 30 atm 조건에서 SiGe 단결정막을 성장시켰다. 소자간의 전기적 절연을 위해서 conventional LOCOS 공정을 채택하였고, 콘택 저항 및 SiGe HBT의  $f_{max}$  및 잡음 특성을 향상시키기 위하여 2-step Ti salicide

공정을 실시하였다. Fig. 2에 SiGe BiCMOS 주요공정의 대략적인 흐름도를 나타내었다. 이를 더욱 자세하게 설명하면 다음과 같다.

1. 콜렉터와 웰이 형성된 p-type 실리콘 기판에 LOCOS 공정을 이용하여 활성 영역을 정의한다.
2. 전 영역에 걸쳐 게이트 산화막을 형성한 후 SiGe HBT 활성 영역의 산화막만을 선택적으로 제거한다.

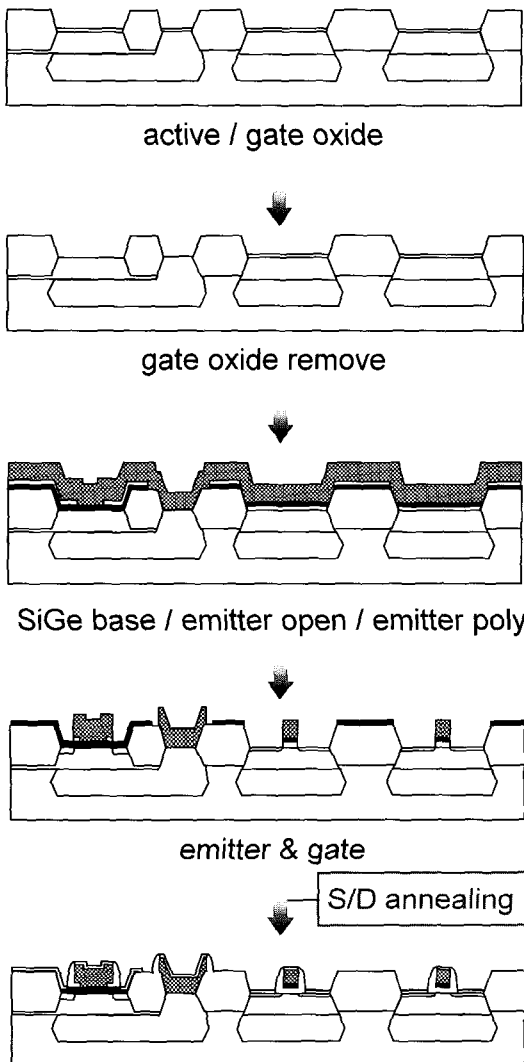


Fig. 2. Schematic cross section of the SiGe BiCMOS process from gate oxidation to source/drain annealing

3. 베이스인 120nm 두께의 p형 Si/SiGe/Si 단결정층을 감압 화학기상 증착법(RPCVD: Reduced Pressure Chemical Vapor Deposition)을 이용하여 성장시킨다.
4. 그 위에 저온 산화막을 증착하고 베이스-에미터 콘택을 개방한 후에 단일 n형 폴리 실리콘층을 증착하고 건식식각하여 HBT의 에미터와 CMOS의 게이트를 동시에 만든다.
5. 이후에 LDD 및 소오스-드레인 이온주입을 실시하고 열처리하여 소자를 제작한다.

위와 같이 제작된 소자는 웨이퍼 상태에서 HP 4145B 반도체 파라미터 분석기와 Probe station을 이용하여 전류-전압(IV) 특성 및 전류이득( $\beta$ ) 등의 DC 특성을 측정하였고,  $f_T$  및  $f_{max}$  등의 AC 특성은 HP 8510B 네트워크 분석기와 UTMOST3 파라미터 추출 소프트웨어를 이용하여 측정하였다. 또한 "CAMECA ims-4f" SIMS 분석기를 통해 열처리 온도에 따른 붕소 및 인의 도펀트 농도 분포를 확인하였다.

### 3. 결과 및 고찰

BiCMOS 공정으로 제작된 BiCMOS HBT 소자는 SiGe HBT 공정으로만 제작된 HBT 소자에 비해 DC 및 AC 특성이 크게 저하되었다. Fig. 3(a)는 IC-VCE 곡선을 비교한 것으로 HBT 소자에 비해 BiCMOS HBT 소자의 Early voltage 및  $BV_{CEO}$ 가 작은 것이 관찰된다. 각각의 Early voltage 및  $BV_{CEO}$ 는 HBT 소자가 245V, 3.2V, BiCMOS HBT 소자가 2.38V, 2.4V 였다. Fig. 3(b)는 Gummel 곡선을 비교한 것으로 BiCMOS HBT 소자의 경우 상당한 크기의 베이스 누설전류가 존재함을 알 수 있다. 이러한 베이스 전류의 증가에 의하여 Fig. 3(c)에서와 같이 IC와 IB의 비인 전류이득은 감소하게 된다. Fig. 3(d)는  $f_T$  및  $f_{max}$  특성으로 BiCMOS HBT 소자의  $f_T$  및  $f_{max}$ 가 HBT 소자 경우의 1/2 미만에 해당되는 매우 낮은 값을 나타내었다. 이와같은 DC 및 AC 특성의 저하는 BiCMOS 제작 시에 실시되는 소오스-드레인 열처리가 직접적인 원인임을 확인하였다.

Fig. 4는 소오스-드레인 열처리 온도에 따른 Gummel 곡선의 변화를 나타낸 것이다. 콜렉터 전류는

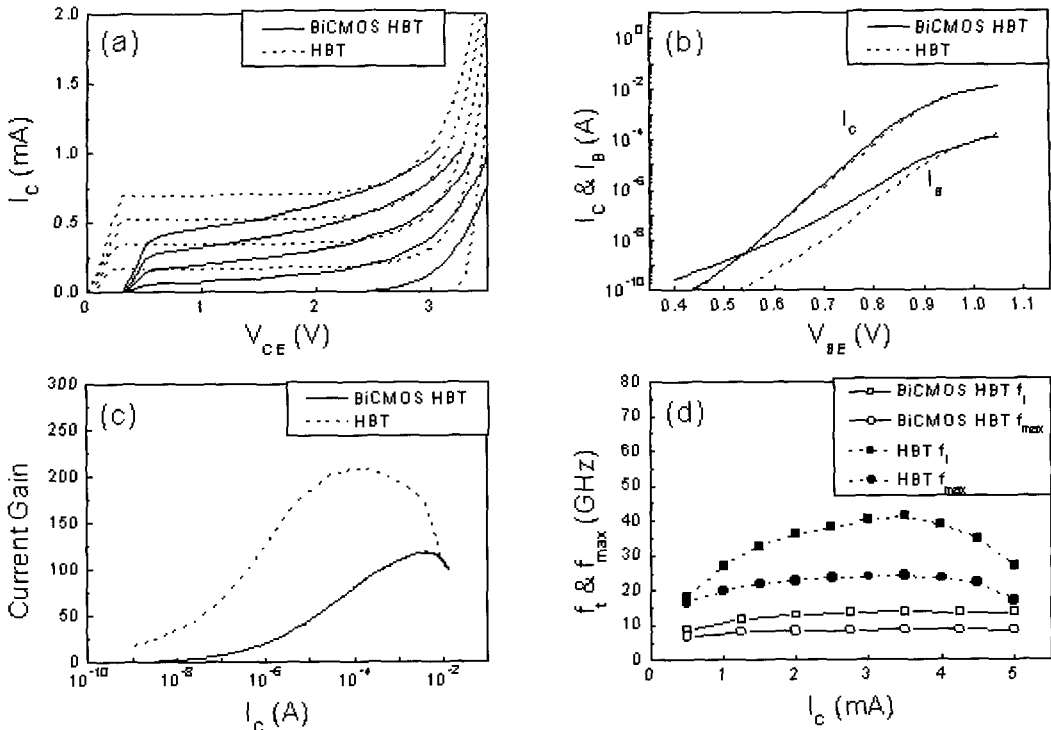


Fig. 3. (a) Common emitter output characteristics, (b) Gummel plots, (c) Current gain curves and (d) AC performances for the  $0.5 \times 6.0 \mu\text{m}^2$  SiGe HBTs built in BiCMOS process or single HBT process

열처리 온도와 관계없이 거의 일정하였고 열처리 온도가 감소함에 따라 베이스 누설전류만 점진적으로 감소하여 열처리 온도가 825 °C인 경우에는 HBT 소자의 경우와 거의 동일한 수준을 나타내었다. 베이스 누설 전류 이외의 Early voltage, 항복전압, 전

류이득,  $f_t$  및  $f_{max}$  등의 다른 특성들도 열처리 온도가 낮아짐에 따라 HBT 소자의 특성에 근접하는 경향을 보였다.

열처리 온도에 따라 SiGe HBT의 특성이 변화되는 이유는 Fig. 5에서 관찰되는 바와 같이 SiGe 베이스에 in-situ로 도핑된 붕소의 확산에 의한 것으로 생각된다. Fig. 5에서 열처리 온도가 900 °C인 BiCMOS HBT 소자의 경우 에미터 및 콜렉터 방향으로 붕소가 확산되어 농도 분포가 넓어진 것을 뚜렷이 볼 수 있다. HBT 형성후에 CMOS를 형성하는 BiCMOS 공정에서는 SiGe 베이스 증착 후에 소오스-드레인 열처리가 실시되므로 붕소가 확산하는데 필요한 열 에너지가 소오스-드레인 열처리로부터 공급될 수 있다. 붕소의 농도 분포가 넓어지면 각각의 접합이 에미터 및 콜렉터 쪽으로 이동되어 베이스 폭이 커지게 된다. 이때 베이스 중에서 Ge가 존재하지 않는 영역이 생기게 되며, 이곳의 에너지 밴드 갭은 큰 값을 갖게 된다. Ge가 에미터-베이스 접합에 존재하지 않으면 전류이득이 감소하며, Ge가 콜

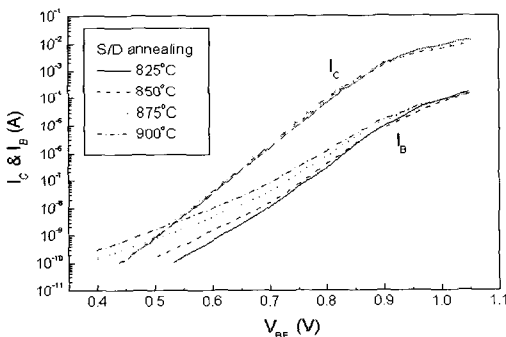


Fig. 4. Gummel plot of the collector and base currents of the  $0.5 \times 6.0 \mu\text{m}^2$  HBT as a function of source/drain annealing temperature

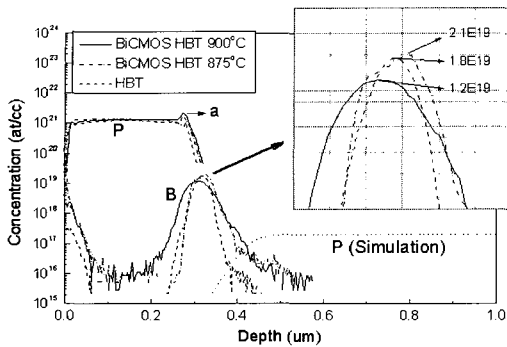


Fig. 5. SIMS doping profiles in the active region of the SiGe HBT, with a simulation collector profile doped at  $10^{17} \text{cm}^{-3}$

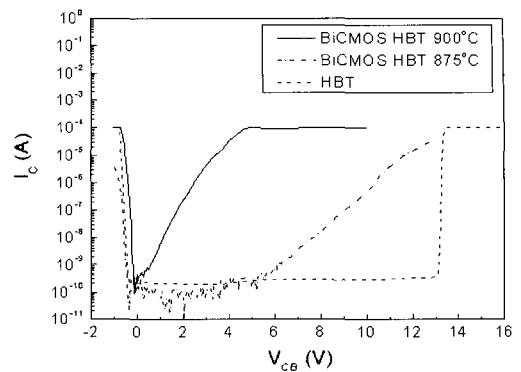


Fig. 6. Leakage current as a function of VCB

렉터-베이스 접합에 존재하지 않으면 콜렉터 방향으로의 전자 이동을 방해하는 기생 장벽(parasitic barrier)이 형성되어 Early 전압 및 HBT의 AC 특성이 떨어지게 된다 [5].

전류이득, Early 전압, 및 AC 특성 이외에도 BiCMOS HBT 소자의 BVCEO가 HBT 소자에 비해 작은 값을 나타냈는데 이것은 Fig. 6에서와 같은 콜렉터-베이스 접합 특성의 저하에 따른 것이다. BVCEO는 콜렉터-베이스 접합 특성의 영향을 직접적으로 받으며 그 값은 콜렉터-베이스 항복전압(BVCBO)에 비례한다 [6]. Fig. 6에서 Gummel 특성과 마찬가지로 열처리 온도가 감소함에 따라 BVCBO가 증가하고 접합 누설 전류가 감소하는 것이 관찰된다. 열처리 온도가 높을수록 콜렉터-베이스 접합특성이 열화되는 이유는 붕소의 확산에 의해 콜렉터-베이스 접합에 높은 전기장이 형성되기 때문이라고 생각된다. 앞에서 언급한 바와 같이 붕소가 확산되면 콜렉터 방향으로의 전자 이동을 방해하는 기생 장벽이 형성되는데 이것을 방지하기 위하여 일반적으로 SiGe 베이스 증착 전에 intrinsic Si를 증착하여 pin 구조의 콜렉터-베이스 접합을 형성한다. 그런데 붕소가 확산되어 높은 농도의 인과 만나게 되면 전기장이 크게 형성되고 avalanche multiplication이 증가하여 콜렉터-베이스 접합에서 누설전류가 발생하고 BVCBO가 감소한다고 알려져 있다 [7].

Fig. 4에서 관찰되는 베이스 누설전류의 증가는 붕소 확산에 의하여 에미터-베이스 접합이 poly/epi

계면 쪽으로 이동하여 나타난 현상으로 보인다. 에미터-베이스 공간전하영역(SCR : Space Charge Region)에 poly의 grain boundary가 위치하게 되면 이것이 트랩 역할을 하여 베이스 전류가 증가하게 된다 [8]. Fig. 5의 에미터인 농도분포에서 “a”로 표시된 부분이 metallurgical junction인데 열처리 온도가 900°C인 경우에 붕소 농도 분포 tail이 metallurgical junction을 훨씬 넘어간 것이 관찰되며 이러한 경우에 에미터-베이스 공간전하영역의 상당 부분이 poly/epi 계면 바깥쪽에 놓인 것으로 판단된다. 850°C 이하에서 소오스-드레인 열처리를 실시한 BiCMOS HBT 소자는 HBT 소자와 특성이 비슷하여 RF IC 회로의 능동소자로 사용하는 것이 가능하였다. 한편 열처리 온도 저하에 따라 CMOS 특성이 변화되었는데 CMOS 단위 공정을 수정하여 기존의 CMOS 특성을 재현하는 것이 가능하였다. 예를 들어 열처리 온도 저하에 의해 증가된 CMOS의 문턱전압을 이온주입량을 증가시킴으로써 원래 값으로 만들 수 있었다.

#### 4. 결 론

초고주파의 아날로그 특성을 대변하는 SiGe HBT에 CMOS공정을 집적하는 SiGe BiCMOS 제작시 HBT의 AC 및 DC의 특성 저하가 나타났다. 이는 공정 순서상 HBT 형성후에 실시하는 소오스-드레인 열처리에 의한 것으로 SiGe 베이스에 실시간 도핑된 붕소의 확산이 주요한 원인으로 확인된다. 붕소의 농도분포 변화는 베이스와 에미터 및 콜렉터의 접합

위치에 변화를 주고 결국 Ge내에서의 접합 형성이 이루어지지 않아 전류 이득의 감소와 기생 장벽의 형성으로 인한 소자 특성 저하를 가져 왔다. 또한 열 처리 온도가 증가함에 따라 콜렉터와 베이스의 접합 특성이 열화됨을 확인하였으며 베이스 누설전류의 증가는 에미터-베이스 공간전하영역에 poly의 grain boundary가 위치하기 때문인 것으로 보인다. 이러한 붕소의 확산에 의한 소자의 열화 현상을 방지하기 위한 방법으로는 90년대 중반에 처음으로 도입된, 실리콘-게르마늄 베이스에 탄소를 1% 미만으로 주입하는 방법이 있다 [9,10]. 실리콘-게르마늄 막에 침입형 자리로 위치한 탄소는 결함을 유도하기도 하지만 치환형으로 주입되면 붕소의 확산을 방해하는 역할을 하게 된다. 따라서 실리콘-게르마늄 베이스 단결정 성장상에 소량의 탄소를 주입하는 방법에 대한 연구 결과가 보고되고 있으며 본 연구진에서도 수소에 희석된 메틸사이렌( $\text{SiCH}_3\text{H}_3$ )가스를 이용하여 이에 대한 연구를 활발히 진행하고 있고 조만간 SiGe BiCMOS 소자에도 적용할 예정이다.

### 감사의 글

이 논문은 정부통신부의 연구비 지원 및 한국과학재단의 해외 Post-doc. 연수 지원에 의하여 연구되었으며 이에 감사드립니다.

### 참 고 문 헌

[1] E. Ohue, K. Oda, R. Hayami, and K. Washio,

IEEE BCTM Tech. Dig., p.97 (1998).  
 [2] J. L. Regolini, J. Pejnefors, T. Baffert, C. Morin, P. Ribot, S. Jouan, M. Marty, and A. Chantre, Mater. Sci. in Semi. Pro., p.317 (1998).  
 [3] S. Decoutere, F. Vleugels, R. Kuhn, R. Loo, M. Caymax, S. Jenei, J. Croon, S. V. Huylenbroeck, M. Da Rold, E. Rosseel, P. Chevalier, and P. Coppens, IEEE BCTM Tech. Dig., p.106 (2000).  
 [4] S.-Y. Lee, H.-S. Kim, S.-H. Lee, K.-H. Shim, J.-Y. Kang, and M.-K. Song, J. Mater. Sci.-Mater. El. **12**, 467 (2001).  
 [5] S. C. Jain, S. Decoutere, M. Willander, and H. E. Maes, Semicond. Sci. Technol. **16**, R67 (2001).  
 [6] S. Wolf, *Silicon Processing for the VLSI Era*, Vol. 2. p. 469.  
 [7] P. F. Lu, J. H. Comfort, D. D. Tang, B. S. Meyerson, and J. Y. -C. Sun, IEEE Electron Device Lett. **11**, 336 (1990).  
 [8] J. N. Burghartz, J. Y. -C. Sun, C. L. Stanis, S. R. Mader, and J. D. Warnock, IEEE Tran. Electron Devices, **39**, 1477 (1992).  
 [9] T. J. Grasby, T. E. Whall, and E. H. C. Parker, Thin Solid Film **412**, 44 (2002).  
 [10] D. Knoll, B. Heinemann, K. E. Ehwald, H. Rucker. B. Tillack. W. Winkler, and P. Schley, IEEE BCTM **9.2**, 162 (2002).