

교류자기장에 의한 유도가열체를 이용한 평판 디스플레이용 COG (Chip On Glass) 접속기술

이윤희 · 이광용 · 오태성*

홍익대학교 신소재공학과

COG (Chip On Glass) Bonding Technology for Flat Panel Display Using Induction Heating Body in AC Magnetic Field

Yoon-Hee Lee, Kwang-Yong Lee, and Tae-Sung Oh*

Department of Materials Science and Engineering, Hongik University, Seoul 121-791

초 록: 교류자기장에 의한 유도가열체를 이용하여 LCD 평판 디스플레이 패널의 가열을 최소화 하면서 IC 칩을 실장시킬 수 있는 COG 접속기술에 대해 연구하였다. 크기 5 mm × 5 mm, 두께 600 μm의 Cu 도금막으로 제조한 유도가열체에 14 kHz, 230 Oe의 교류자기장을 인가시 60초 이내에 유도가열체의 온도가 Sn-3.5Ag 무연솔더의 리플로우에 필요한 250°C에 도달하였으며, 유도가열체로부터 2 mm 떨어진 부위에서부터 기판의 온도는 100°C 이하로 유지되었다. 이와 같은 Cu 도금막 유도가열체에 14 kHz, 230 Oe의 교류자기장을 120초 동안 인가하여 Sn-3.5Ag 솔더범프를 리플로우 시켜 COG 실장을 하는 것이 가능하였다.

Abstract: Chip-on-glass technology to attach IC chip directly on the glass substrate of flat panel display was studied by using induction heating body in AC magnetic field. With applying magnetic field of 230 Oe at 14 kHz, the temperature of an induction heating body made with Cu electrodeposited film of 5 mm × 5 mm size and 600 μm thickness reached to 250°C within 60 seconds. However, the temperature of the glass substrate was maintained below 100°C at a distance larger than 2 mm from the Cu induction heating body. COG bonding was successfully accomplished with reflow of Sn-3.5Ag solder bumps by applying magnetic field of 230 Oe at 14 kHz for 120 seconds to a Cu induction heating body of 5 mm × 5 mm size and 600 μm thickness.

Keywords: Electronic packaging, Flip chip, Chip on glass, Induction heating body

1. 서 론

LCD 패널에 구동 IC 칩을 연결하는 방법으로서 IC 칩을 LCD 패널의 유리기판에 직접 실장하는 COG (chip on glass) 실장기술이 개발되었다.¹⁻⁹⁾ COG 공정에서는 IC 칩의 점유면적을 최소화시킬 수 있어 평판 디스플레이의 소형화와 박판화가 가

능하고, IC 칩과 평판 디스플레이 패널간의 거리 감소에 따른 신호전달 속도의 증가로 해상도의 향상이 가능하다. 현재까지 개발된 COG 기술로는 이방성 전도필름을 이용한 방법^{5,9)}과 솔더범프의 리플로우를 이용한 방법¹⁾이 있다. 이방성 전도필름을 이용하는 COG 기술에서는 평판 디스플레이 패널에 형성된 패드와 IC 칩의 범프 사이에 압착

*Corresponding author
E-mail: ohts@hongik.ac.kr

된 전도입자의 기계적 접촉에 의해 전기가 통하므로 접촉저항이 큰 문제점이 있다. 또한 접합시 IC 칩의 범프와 평판 디스플레이 패널의 패드 사이에 정렬오차가 발생하여도 자체 정렬이 안되기 때문에 $50\ \mu\text{m}$ 이하의 매우 미세한 피치를 갖는 IC 칩의 실장에는 적용하기 어려운 단점이 있다.^{1,9)}

이에 반해 IC 칩에 형성한 솔더범프를 리플로우하여 IC 칩을 평판 디스플레이 패널의 패드에 접속하는 COG 기술에서는 접속저항이 이방성 전도 필름을 사용한 경우에 비해 현저하게 낮으며, 접속부의 신뢰도가 이방성 전도 필름을 사용한 경우보다 뛰어나다는 장점이 있다.¹⁾ 또한 솔더범프의 리플로우시 액상솔더의 표면장력으로 자체정렬이 되기 때문에, $50\ \mu\text{m}$ 이하 크기의 매우 미세한 피치를 갖는 IC 칩의 경우에도 정밀한 실장이 가능한 장점이 있다.

솔더범프의 리플로우에 의한 COG 기술을 사용하여 IC 칩을 평판 디스플레이 패널에 실장하기 위해서는 IC 칩과 평판 디스플레이 패널을 모두 솔더범프의 리플로우 온도로 가열하여야 한다. 따라서 리플로우 공정 중에 LCD 패널의 손상을 방지하기 위해서는 리플로우 온도가 150°C 이하로 제한되기 때문에 Sn-3.5Ag, Sn-0.7Cu와 Sn-Ag-Cu와 같은 무연솔더의 사용이 어렵게 된다. 이에 따라 리플로우 온도가 150°C 이하인 In, In-Ag, In-Sn, Bi-Sn 등의 저융점 솔더범프를 이용하는 COG 기술이 제안되었다.¹⁾ 그러나 이와 같은 저융점 솔더들은 기계적 강도가 낮기 때문에 솔더 접속부의 신뢰도가 떨어지며 열피로에 취약하고, 가격이 비싸다는 문제점이 있다. 따라서 저온솔더범프를 이용한 기술보다 저가이며 신뢰성이 우수한 새로운 COG 기술의 개발이 요구되고 있다.

본 연구에서는 Sn-Ag 등의 무연솔더의 적용이 가능한 새로운 COG 공정기술로서 평판 디스플레이 패널의 가열은 최소화 하면서 IC 칩을 선택적으로 가열하여 솔더범프를 리플로우시킬 수 있는 방안으로서 교류자기장에 의한 유도가열체를 이용한 COG 실장기술에 대해 연구하였다.

교류자기장에 의한 유도가열체를 이용한 COG 기술의 개념도를 Fig. 1에 나타내었다. 유도코일에 교류전류를 인가하면 유도코일의 내부에 교류자기장이 발생된다. 이와 같은 교류자기장에 의해 IC 칩 위에 설치한 판 형태의 유도가열체에 와전

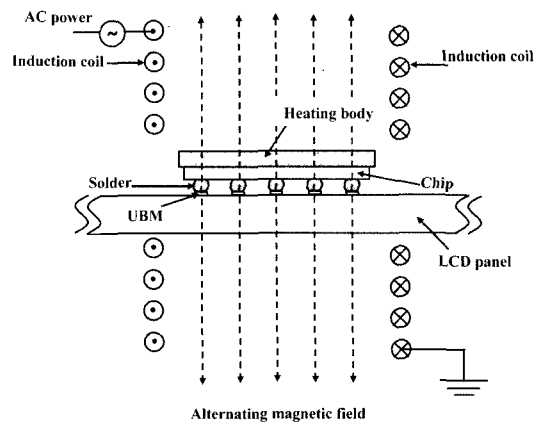


Fig. 1. Schematic illustration for the COG process using induction heating body in the AC magnetic field.

류가 발생하여 유도가열체가 가열되며, 이 열이 열전도도가 우수한 IC 칩을 통해 IC 칩의 솔더범프로 전도되고 솔더범프가 리플로우 되어 기판 패드에 용착되어 접속이 가능하게 된다. 반면에 평판 디스플레이 패널의 기판재료인 유리의 열전도도는 $2\ \text{W/m}\cdot\text{K}$ 로 IC 칩 재료인 Si의 열전도도인 $148\ \text{W/m}\cdot\text{K}$ 에 비해 매우 낮아¹⁰⁾ 유도가열체에서 발생한 열이 평판 디스플레이 패널로 전도되기 어렵기 때문에 유도가열체를 이용한 COG 실장시 평판 디스플레이 패널의 손상을 방지할 수 있다.

일반적으로 전기전도체인 금속은 전기비저항이 낮기 때문에 교류자기장 인가에 의해 와전류가 발생하여 유도 가열이 가능하며, 이를 금속제품의 유도 용해와 유도 열처리 등에 활용하고 있다. 그러나 금속의 경우에도 단면적이 임계크기 이하로 작아지게 되면 와전류가 흐를 수 있는 통로가 확보되지 않아 와전류가 흐르지 않게 되어 교류자기장에 의한 유도 가열이 일어나지 않게 된다. 교류자기장을 인가하여 솔더범프를 유도 가열시켜 리플로우하기 위한 최소지름은 교류자기장의 주파수 $10\ \text{kHz}$ 에서는 $14\ \text{mm}$, $50\ \text{kHz}$ 에서는 $6.4\ \text{mm}$, $200\ \text{kHz}$ 에서는 $3.3\ \text{mm}$, $450\ \text{kHz}$ 에서는 $2.1\ \text{mm}$, $2\ \text{MHz}$ 에서는 $1\ \text{mm}$, 즉 $1000\ \mu\text{m}$ 정도이다.¹¹⁾ 솔더범프의 지름이 교류자기장의 각 주파수에서의 임계지름보다 작으면 교류자기장을 인가하여도 솔더범프의 유도 가열에 의한 리플로우가 일어나지 않는다.

현재 IC 칩을 플립칩 실장하는데 사용되는 솔더

범프의 크기는 100 μm 정도이며, 향후 더욱 작아질 것으로 전망되고 있다.¹⁾ 따라서 플립칩에 사용되는 솔더범프의 지름이 교류자기장의 각 주파수에서 유도가열이 가능한 최소지름보다 매우 작기 때문에 교류자기장을 인가하더라도 IC 칩의 솔더범프는 유도가열에 의해 리플로우 되지 않는다. 따라서 현재에는 교류자기장 인가를 이용하여 IC 칩을 LCD 평판 디스플레이 패널에 COG 실장하는 것이 어렵기 때문에, 이에 대한 연구가 이루어지지 않고 있었다. 이에 반해 본 연구에서는 Fig. 1과 같이 IC 칩 위에 Cu 등의 전기전도체로 이루어진 유도가열체를 구비하고 교류자기장을 인가하면 유도가열체에서 와전류에 의해 Joule 열이 발생하게 된다. 유도가열체에서 발생한 열은 열전도도가 우수한 Si인 IC 칩에 전도되어 IC 칩에 형성된 솔더범프가 리플로우 되어 기판 패드에 융착됨으로써 실장이 가능하게 된다.

2. 실험방법

교류자기장에 의한 유도가열체로는 전기비저항이 낮고 제조가 간단한 Cu 도금막을 사용하였다. Si 기판을 30 mm \times 30 mm 크기 및 5 mm \times 5 mm 크기로 절단하여 세척 후, 접착층인 Ti를 100 nm의 두께로 스퍼터 증착한 다음 그 위에 전기도금 씨앗층으로 100 nm 두께의 Cu 박막을 스퍼터 증착하였다. 이와 같이 제작한 시편을 CuSO_4 0.4M, H_2SO_4 1M의 도금용액에 담구고 20 mA/cm²의 전류밀도를 인가하여 Cu 도금막을 형성하여 유도가열체로 사용하였다. 이와 같은 유도가열체에 열전대를 부착한 후 권선수 14회의 유도코일내에 장입하고 14 kHz, 230 Oe의 교류자기장 인가에 따른 유도가열체의 온도변화를 측정하였다.

Photolithography와 스퍼터링 공정을 이용하여 COG 실장용 Si 칩과 유리기판을 제작하였다. Corning 1730 유리기판 위에 100 nm 두께의 Ti를 접착층으로 스퍼터 증착 후 그 위에 UBM (Under Bump Metallurgy)으로 3 μm 두께의 Cu를 스퍼터 증착하였다. 그 위에 100 nm 두께의 Ti를 다시 스퍼터 증착하여 솔더 마스크를 형성하였다. 이와 같은 유리기판에 photolithography를 사용하여 형성한 미세패턴에 용융온도가 221°C인 Sn-3.5Ag 솔더를 진공증착하고 유도가열체를 이용하여 리

플로우 시켜 솔더범프를 형성하였다.

교류자기장에 의한 유도가열체를 이용하여 COG 본딩을 하기 위해 Fig. 1에 나타난 모식도와 같이 솔더범프가 리플로우된 Si 칩을 유리기판에 배열하고 그 위에 Cu 도금막으로 이루어진 유도가열체를 올려놓았다. 이들을 권선수 14회의 유도코일 내에 장입한 다음에, 14 kHz, 230 Oe의 교류자기장을 120초 동안 인가하였다. 이와 같이 형성한 COG 시편의 단면을 주사전자현미경 (SEM)을 사용하여 관찰하였다.

3. 결과 및 고찰

3.1 유도가열체의 발열 특성

권선수 14회인 유도코일의 중심에서 측정된 인가전류에 따른 유도자기장을 Fig. 2에 나타내었다. 인가전류 30A까지는 유도코일에서 발생하는 자기장이 인가전류의 세기에 직선적으로 비례하였다. 인가전류 35A~50A의 범위에서는 유도자기장과 인가전류 사이의 관계가 직선적 관계에서 약간 벗어났으나, 그 크기가 크지 않아 본 실험에서는 인가전류 0A~50A의 전범위에서 유도자기장과 인가전류 사이의 관계를 직선적으로 고려하였다.

Fig. 3에 각기 서로 다른 두께의 Cu 도금막으로 이루어진 30 mm \times 30 mm 크기의 유도가열체에서 교류자기장의 세기에 따른 유도가열체의 발열특성을 나타내었다. 교류자기장의 크기가 증가함에

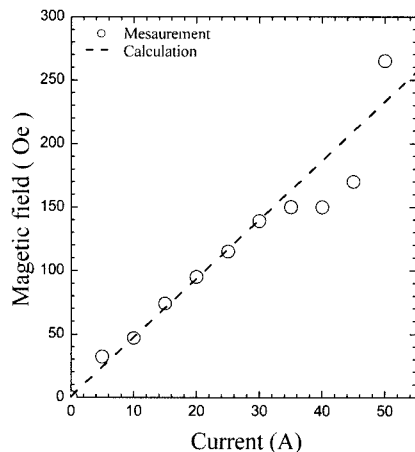


Fig. 2. Magnetic field induced in a solenoid coil vs. applied current.

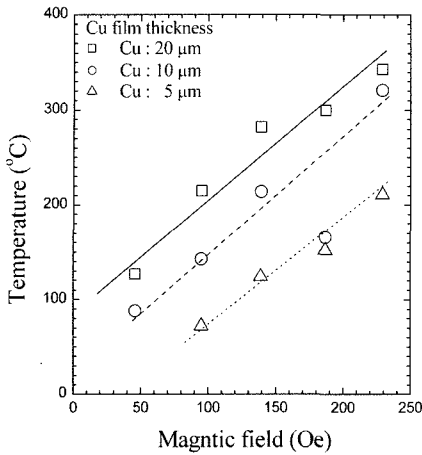


Fig. 3. Temperature of the induction heating body vs. AC magnetic field.

따라 유도가열체의 발열 온도가 직선적으로 증가하였으며, 또한 유도가열체로 사용하는 Cu 도금막의 두께가 5 μm에서 20 μm로 증가함에 따라 유도가열체의 발열특성이 증가하였다. 교류자기장에 의한 와전류에 의해 유도가열체에서 발생하는 열은 식 1과 같이 표현할 수 있다. 이 식에서 k는 교류자기장의 주파수, Cu 도금막의 형상 및 크기에 의존하는 상수이며, t는 유도가열체의 두께, A는 교류자기장에 수직한 유도가열체의 면적, ρ는 유도가열체의 전기비저항, dH/dt는 교류자기장의 변화율이다.

$$W = \frac{(10^{-8})}{kp} tA^2 \left(\frac{dH}{dt} \right) = \frac{k t A^2}{\rho} \left(\frac{dH}{dt} \right)^2 \quad (\text{Eq. 1})$$

Fig. 3에 나타낸 것과 같이 교류자기장의 세기 증가 및 Cu 도금막의 두께 증가에 따라 Cu 도금막 유도가열체의 발열온도가 증가한다는 것을 식 1로부터 알 수 있다.

유도가열체를 사용하여 IC 칩을 LCD 패널에 COG 실장할 때 유도가열체 부위에서 유리기판의 온도가 솔더범프의 리플로우 온도에 도달하기 때문에, COG 공정시 LCD 패널의 손상을 최소화하기 위해서는 가급적 유도가열체의 크기가 5 mm×5 mm 정도 크기의 bare 칩과 유사하여야 한다. Cu 도금막 유도가열체의 크기를 감소시키면서 솔더

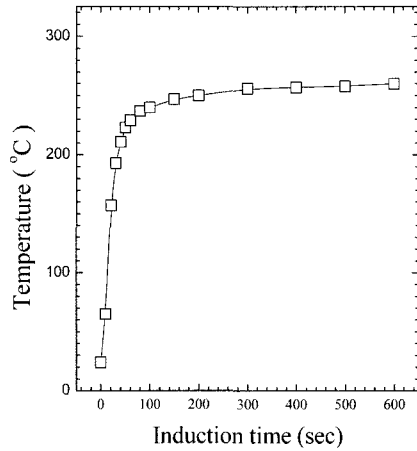


Fig. 4. Temperature of the induction heating body vs. induction time.

범프의 리플로우에 요구되는 발열특성을 만족시키기 위해서는 Cu 도금막의 두께가 두꺼워져야 한다. 식 1로부터 Cu 도금막 유도가열체의 발열특성은 A²에 의존하기 때문에, 더 작은 크기의 유도가열체를 사용하여 유사한 발열특성을 유지하기 위해서는 Cu 도금막의 두께 t가 1/A²에 비례하여 두꺼워져야 한다는 것을 알 수 있다.

Cu 도금막으로 제조한 유도가열체의 크기에 따른 발열특성을 분석하기 위해 5 mm×5 mm 크기에 두께 600 μm인 Cu 도금막으로 이루어진 유도가열체에 14 kHz, 250 Oe의 교류자기장을 인가하여 발열온도를 측정하였으며, 이 결과를 Fig. 4에 나타내었다. 크기 5 mm×5 mm, 두께 600 μm인 Cu 도금막 유도가열체에서는 60초 내에 250°C에 도달하였으며, 그 이후에는 시간에 따른 발열량의 변화가 거의 없이 일정한 온도가 유지되었다. Fig. 4와 같이 크기 5 mm×5 mm, 두께 600 μm인 Cu 도금막으로 이루어진 유도가열체에 14 kHz, 250 Oe의 교류자기장을 인가시 Sn-3.5Ag 무연솔더의 리플로우에 필요한 250°C^[12-14)]를 얻을 수 있으므로, 본 연구에서는 Sn-Ag-Cu 솔더범프의 리플로우 및 플립칩 본딩 실험에 크기 5 mm×5 mm, 두께 600 μm인 Cu 도금막 유도가열체를 사용하였다.

3.2 유리기판 온도분포 분석 및 COG 공정

교류자기장에 의한 유도가열체를 이용하여 IC 칩을 COG 공정시 유리기판에서의 온도분포를 분

석하기 위하여서는 유리기판의 온도를 측정하여야 하나, 열전대를 사용하는 일반적인 방법으로는 1 mm 이내 간격으로 온도분포를 분석하는 것이 어렵다. 따라서 본 연구에서는 COG 공정시 유리기판에서의 온도분포를 1 mm 보다 더 작은 간격으로 정확히 분석하기 위해 다음과 같은 방법을 사용하였다.

Corning 1730 유리기판에 패턴을 형성한 후 용융온도가 221°C인 Sn-3.5Ag 솔더를 진공증착하였다. 이와 같이 유리기판에 형성한 Sn-3.5Ag 무연솔더의 예를 Fig. 5(b)에 나타내었으며, 이들 증착솔더 패턴의 피치는 300 μm 이었다. 크기 5 mm × 5 mm, 600 μm 두께의 Cu 도금막으로 이루어진 유도가열체를 이와 같은 진공증착 솔더패턴 위에 올려놓고 14 kHz, 250 Oe의 교류자기장을 120초 동안 인가하여 유도가열체의 온도를 250°C로 유지하면서 솔더범프를 리플로우 하였다. 그런 다음 유도가열체로부터 거리에 따른 증착솔더의 용융여부를 관찰함으로써 300 μm 간격으로 온도분포를 분석하는 것이 가능하였다. 유도가열체를 진공증착 솔더패턴 위에 올려놓을 때, 유도가열체의 Si 기판면이 진공증착 솔더패턴과 맞닿도록, 즉 유도가열체의 Cu 도금막, 유도가열체의 Si 기판, 증착솔더패턴, 유리기판의 순서로 배열이 되도록 하였다. 이와 같은 배열은 실제 COG 공정시의 배열인 유도가열체의 Cu 도금막, Si 칩, 솔더범프, 유리기판의 순서와 동일하기 때문에 본 실험에서 측정된 유리기판의 온도분포가 실제 COG 공정시의 온도분포와 같다고 가정할 수 있다.

유리기판의 온도분포 분석에 사용된 Sn-3.5Ag 증착솔더 패턴의 주사전자현미경 사진을 Fig. 5에 나타내었다. Fig. 5(a)는 유리기판에 형성한 솔더패턴에 유도가열체를 배열한 모식도이며, Fig. 5(b)는 유도가열체에 교류자기장을 인가하기 전의 Sn-3.5Ag 증착솔더 패턴의 주사전자현미경 사진인데 여기서 1은 유도가열체로 덮여 있는 마지막 증착솔더이며, 2는 유도가열체의 모서리로부터 첫 번째 줄의 증착솔더, 3은 두 번째 줄의 증착솔더이다. 이와 같은 증착솔더 패턴에 유도가열체를 올려놓고 교류자기장을 인가하면 유도가열체가 250°C로 가열되어 유도가열체 아래에 놓여 있던 증착솔더들은 Fig. 5(c)와 같이 모두 리플로우 되었다. 반면에 Fig. 5(d)와 같이 유도가열체의 모서리로부터

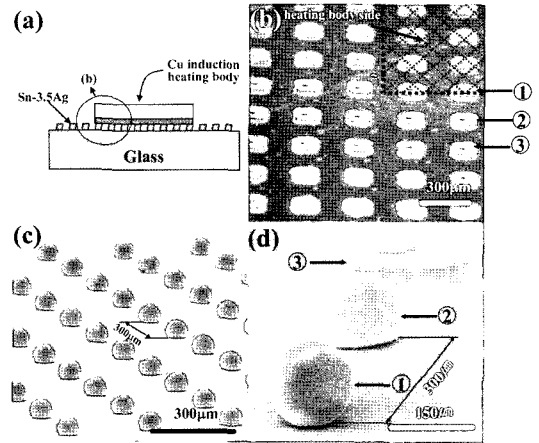


Fig. 5. (a) Schematic illustration of reflow process of the solder pattern by using a induction heating body. and SEM micrographs of (b) Sn-3.5Ag solder pattern vacuum-deposited on a glass substrate, (c) solder bumps formed by reflowing the solder pattern underneath the Cu induction heating body after reflow, and (d) shape of the solder patterns at different location on the glass substrate.

터 첫 번째 줄에 있던 증착솔더 2는 리플로우가 되었으나, 두 번째 줄에 있는 증착솔더 3은 용융되지 않은 것을 알 수 있다. 이로부터 유도가열체의 모서리로부터 150 μm 거리에서 온도는 Sn-3.5Ag의 용융온도인 221°C 이상이나, 이로부터 300 μm 떨어진 부위, 즉 유도가열체의 모서리로부터 450 μm 거리에서 온도는 221°C 이하임을 알 수 있다.

유도가열체로 덮여 있지 않은 부위의 유리기판 온도를 측정하기 위해 유도가열체의 모서리로부터 2 mm 간격으로 유리기판에 열전대를 설치하고, 교류자기장을 인가하여 유도가열체를 250°C로 유지하면서 유리기판의 온도를 측정하였다. Fig. 6에서 보는 것과 같이 유도가열체의 모서리로부터의 거리가 멀어짐에 따라 유리기판의 온도가 현저히 저하하였으며, 이는 유리기판의 열전도도가 0.002 cal/cm · sec · °C로 크게 낮았는데 기인한다.¹⁵⁾

Fig. 5 및 Fig. 6에 있는 유리기판의 온도분포를 종합하여 유도가열체로부터 거리에 따른 유리기판의 온도를 Fig. 7에 나타내었다. 이때 유리기판의 온도는 교류자기장을 120초 인가한 때의 유리기판 온도이다. Fig. 7에서와 같이 유도가열체로부터 거리 증가에 따라 유리기판의 온도가 급격히

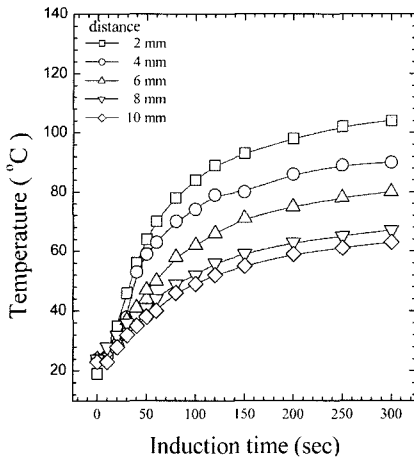


Fig. 6. Glass substrate temperature at different distance from the Cu induction heating body vs. induction time.

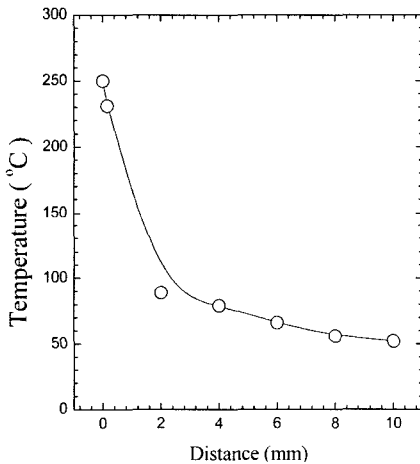


Fig. 7. Temperature profile of the glass substrate vs. distance from the Cu induction heating body.

떨어짐을 알 수 있다. 이로부터 교류자기장을 120 초 동안 인가하여 유도가열체를 250°C로 가열시 Sn-3.5Ag 솔더범프가 리플로우 되어 COG 본딩이 가능하며, 이때 유리기판의 거의 모든 부위에서의 온도를 150°C 이하로 유지할 수 있기 때문에 COG 공정시 LCD 패널의 특성 저하를 최소화하는 것이 가능할 것임을 알 수 있다.

교류자기장에 의한 유도가열체를 이용하여 COG 본딩을 실시하기 위하여 5 mm × 5 mm 크기의 Si 기판에 플립칩 본딩용 칩을 제조하였다. 이

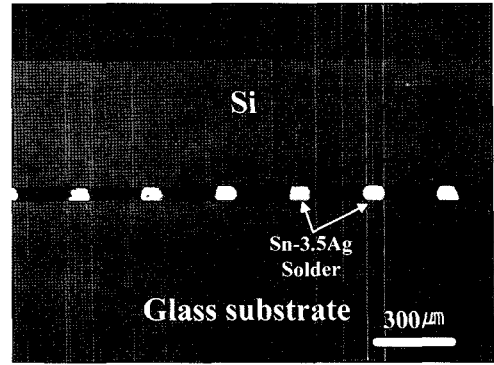


Fig. 8. Scanning electron micrograph of a specimen bonded by the COG process to reflow Sn-3.5Ag solder bumps using the Cu induction heating body.

와 같은 플립칩 본딩용 칩에 Sn-3.5Ag 솔더를 진공증착하여 Fig. 5(b)와 같은 형태의 증착솔더 패턴을 제조하였다. 단 이때 차이점으로는 Fig. 5(b)에서 관찰한 시편은 유리기판에 형성한 것이나, 플립칩 본딩용 칩 시편은 Si 기판에 형성하였다는 것이다. 플립칩 본딩용 Si 칩을 크기 5 mm × 5 mm, 두께 600 μm의 Cu 도금막 유도가열체 위에 올려 놓고 이들을 유도코일 내에 장입하여 14 kHz, 250 Oe의 교류자기장을 120초 인가하여 플립칩 본딩용 Si 칩에 형성되어 있는 증착솔더 패턴을 리플로우 하였다. 플립칩 본딩용 Si 칩에서 리플로우된 Sn-3.5Ag 솔더범프의 형상은 Fig. 5(c)와 동일하다.

이와 같은 플립칩 본딩용 Si 칩을 유리기판에 COG 본딩하기 위해 유리기판 상에 COG 본딩용 Ti/Cu UBM을 형성하였다. 플립칩 본딩용 Si 칩을 유리기판의 UBM에 배열한 후 이들을 유도코일 내에 장입하고 14 kHz, 250 Oe의 교류자기장을 120초 동안 인가하여 COG 본딩을 실시하였다. 이와 같이 COG 본딩한 시편의 단면을 주사전자현미경으로 관찰하였다. 그 결과 Fig. 8과 같이 교류자기장에 의한 유도가열체를 이용하여 Si 칩과 유리기판 사이에서 COG 본딩이 잘 이루어져 있는 것을 관찰할 수 있었다. 이와 같은 결과로부터 COG 공정에 교류자기장에 의한 유도가열체를 이용함으로써, LCD 패널의 손상을 최소화 하면서도 Sn-Ag 등의 무연솔더의 적용이 가능한 새로운 COG 공정기술을 구현할 수 있음을 확인할 수 있었다.

4. 결 론

(1) 교류자기장에 의한 유도가열체를 이용하여 LCD 패널의 가열을 최소화 하면서 IC 칩의 솔더 범프를 리플로우 시켜 IC 칩을 LCD 패널의 유리 기판에 실장시킬 수 있는 새로운 COG 실장기술의 개념을 수립하였다.

(2) 크기 5 mm × 5 mm, 두께 600 μm의 Cu 도금막으로 이루어진 유도가열체를 사용하여 Si 칩의 Sn-3.5Ag 솔더범프를 리플로우 시킴으로써 유리 기판 상에 COG 본딩이 가능하였다.

(3) Cu 도금막으로 이루어진 유도가열체의 발열 특성은 Cu 도금막의 면적 A와 두께 t에 대해 A2t의 관계를 만족하였다. Bare IC 칩과 유사한 크기인 5 mm × 5 mm의 크기 및 600 μm 두께의 Cu 도금막으로 제조한 유도가열체에 14 kHz, 230 Oe의 교류자기장을 인가시 60초 이내에 유도가열체의 온도가 Sn-3.5Ag 무연솔더의 리플로우에 필요한 250°C에 도달하였으며, 유도가열체로부터 2 mm 떨어진 부위에서부터 기판의 온도는 100°C 이하로 유지되었다.

(4) 유리기판에 증착솔더범프 패턴을 형성하고, 유도가열체로부터의 거리에 따른 증착솔더 패턴의 용융 여부를 관찰함으로써 COG 공정과 같은 조건에서 유리기판에서의 온도분포를 분석하는 것이 가능하였다.

감사의 글

본 연구는 한국학술진흥재단의 2004년도 선도 연구자 지원 (과제번호: KRF-2004-D00838)에 의해 이루어졌으며, 이에 감사드립니다.

참고문헌

1. U. B. Kang and Y. H. Kim, *Proc. 2001 Int. Symp.*

Electronic Materials & Packaging, (2001) 129-134

2. R. Joshi, *Microelectron. J.*, **29** (1998) 343-340

3. H. Kristiansen and J. Liu, *IEEE Trans-CPMT-A*, **21** (1998) 208-214

4. I. Watanabe, Y. Gotoh, and K. Kbyashi, *Proc. Aisa Display/IDW'01* (2001) pp.553-556

5. N. R. Basavanhally, D. D. Chang, B. H. Cranston, and S. G. Seger, *Proc. 42nd Electronic Components and Technol. Conf.*, San Diego, CA, 1992.

6. W. Takakahashi, K. Murakoshi, J. Kanazawa, M. Ikehata, Y. Iguchi, and T. Kanamori, *IMC 1992 Proc.*, Yokohama (1992)

7. K. Hatada and H. Fujimoto, *Proc. 38th Electronic Components and Technol. Conf.*, Houston (1989)

8. H. Hirosawa, I. Tsukagoshi, H. Matsuoaka, I. Watanabe, K. Takemura, and T. Ohta, *1995 Display Manufacturing Technol. Conf., Digest of Technical Papers*, Society for Information Display, **Vol. 2** (1995)

9. D. Wojciechowski, J. Vanfleteren, E. Reese, and H.-W. Hagedorn, *Microelectron. Reliab.*, **40** (2000) 1215-1226

10. J. P. Schaffer, A. Saxena, S. D. Antolovich, T. H. Sanders, and S. B. Warner, "The Science and Design of Engineering Materials", Irwin, Chicago (1995) p.577

11. B.D. Cullity, "Introduction to Magnetic Materials", Addison-Wesley, Reading, Mass. (1972)

12. M. Abtey and G. Selvaduray, *J. Mater. Sci. Eng.*, **27** (2000) 95-141

13. S. K. Kang, D.Y. Shih, K. Fogel, P. Lauro, M. J. Yim, G. Advocate, M. Griffin, C. Goldsmith, D. W. Henderson, T. Gosselin, D. King, J. Konrad, A. Sarkhel, and K. J. Putlitz, *Proc. 51st Electronic Components and Technol. Conf.*, Orlando (2001) p.448

14. J. W. Jang, D. R. Frear, T. Y. Lee, and K. N. Tu, *J. Appl. Phys.*, **88** (2000) 6359-6363

15. J. P. Schaffer, A. Saxena, S. D. Antolovich, T. H. Sanders, and S. B. Warner, "The Science and Design of Engineering Materials," McGraw-Hill, New York (2000), p.725