

논문 2005-42SC-6-4

향상된 부 스큐 고속 VCO를 이용한 초고주파 PLL

(A Radio-Frequency PLL Using a High-Speed VCO with an Improved Negative Skewed Delay Scheme)

김 성 하*, 김 삼 동**, 황 인 석**

(Sungha Kim, Samdong Kim, and Inseok Hwang)

요 약

PLL은 통신을 포함한 여러 분야에서 광범위 하게 사용된다. 본 논문에서는 향상된 부스큐 지연 방식을 이용한 고속 VCO 와 이를 이용한 PLL을 제안하였다. 제안한 VCO와 PLL은 0.18um CMOS 공정을 기본으로 하여 1.8V의 전원전압에서 동작 하도록 설계되었다. 제안한 VCO는 서브 피드백 루프를 패스 트랜지스터로 설계 하였으며, 이 패스 트랜지스터는 NMOS PMOS 가 사용되어서 주파수 이득이 반대인 2개의 주파수 제어전압이 필요하게 되며, 이로 인해 우수한 잡음 성능을 가지게 된다. 또한, 이 서브 피드백 루프와 부 스큐 지연방식은 보다 높은 주파수를 생성하게 된다. 실제 제안한 회로의 검증 을 위하여 7단의 링 구성의 VCO를 설계하였으며, 설계된 VCO는 3.2GHz~6.3GHz로 동작하며, 1MHz 오프셋 주파수에서 -128.8dBc/Hz의 위상 잡음성능을 가짐을 검증 하였다. 이때의 전원 전압은 1.8V이며 VCO의 소비 전류는 3.8mA이다. 그리고, 제안한 VCO를 이용하여 설계된 이중 루프 필터 구조의 PLL이 5GHz 대역에서 안정적으로 동작함을 검증하였다. 따라서, 제안한 VCO가 고주파 대역인 통신기기에서 LC 공진회로를 대체 할 수 있음을 보였다. 본 논문에서 제안한 회로는 0.18um TSMC 라이브러리를 기본 으로 하여 설계 하였다.

Abstract

PLLs have been widely used for many applications including communication systems. This paper presents a VCO with an improved negative skewed delay scheme and a PLL using this VCO. The proposed VCO and PLL are intended for replacing traditional LC oscillators and PLLs used in communication systems and other applications. The circuit designs of the VCO and PLL are based on 0.18um CMOS technology with 1.8V supply voltage. The proposed VCO employs sub-feedback loops using pass-transistors and needs two opposite control voltages for the pass transistors. The subfeedback loops speed up oscillation depending on the control voltages and thus provide a high oscillation frequency. The two voltage controls have opposite frequency gain characteristics and result in low phase-noise. The 7-stage VCO in 0.18um CMOS technology operates from 3.2GHz~6.3GHz with phase noise of about -128.8 dBc/Hz at 1MHz frequency offset. For 1.8V supply voltage, the current consumption is about 3.8mA. The proposed PLL has dual loop-filters for the proposed VCO. The PLL is operated at 5GHz with 1.8V supply voltage. These results indicate that the proposed VCO can be used for radio frequency operations replacing LC oscillators. The circuits have been designed and simulated using 0.18um TSMC library.

Keywords : PLL, VCO, Dual Loop-Filter, Negative Skewed Delay Scheme, Subfeed Back Loop

I. 서 론

* 학생회원, LG전자(주) 시스템IC사업부
(System IC Div., LG Electronics)

** 평생회원, 동국대학교 전자공학과
(Dept. of Electronics Engineering, Dongguk Univ.)

※ 본 연구는 동국대학교 밀리미터파 신기술 연구센터
를 통한 한국 과학 재단의 우수 연구센터 지원금에
의하여 수행되었습니다.

접수일자: 2005년1월5일, 수정완료일: 2005년11월8일

최근 초고주파를 사용하는 통신기와, 군용 기기의
급증으로 초고주파를 출력하는 회로의 필요성이 증대
되고 있으며, 다양한 연구가 진행 되고 있다. 특히 주파
수 합성기에 관한 분야는 통신 분야에서 필수적인 분야
로 자리 잡고 있어서 많은 사람들에 의해 연구가 이루

어져 왔다. 초기에는 주파수 합성기로서 단순한 크리스탈 소자를 이용하였지만 점차 디지털 칩이 고속화되면서 발생한 여러 가지 문제로 인해 다른 방법을 이용한 주파수 합성기의 본격적인 연구가 시작되었다. 이러한 주파수 합성기들은 기본적으로 PLL(Phase Locking Loop)을 기초로 한 기술을 이용하고 있다.

PLL의 성능을 좌우하는 회로인 VCO는 고주파 특성이 우수하며 위상 잡음 성능이 우수한 LC 공진회로를 주로 사용하여 왔다. 그러나 LC 공진회로를 구성하는 인덕터를 양질로 제작하기 힘들고, 실제 칩 제작시 큰 면적을 차지하는 문제점이 있다. 반면에 링 형태의 VCO는 구조가 간단하고, LC 공진회로 보다 작은 면적으로 제작 할 수 있다. 따라서, 링 발진기는 다중위상 클럭 발생과 넓은 조정 범위를 위해 널리 사용된다. 그러나, 링 발진기는 동작 속도에 제한이 있으며, 위상 잡음 성능이 우수하지 못하다.

이에 대해 부 스큐 지연 방식이 제안 되어 링 발진기의 동작 속도를 향상 시켰으나, 인버터의 PMOS와 NMOS의 전류 구동능력의 차이로 위상 잡음 성능은 여전히 개선되지 못 하였다.

본 논문에서는 부 스큐 지연 방식에 전압 제어 패스트랜지스터를 이용하여 전단의 출력과 3단 전의 출력을 연결하는 서브 피드백 구조를 추가하여 동작 속도를 더욱 향상 시켰다. 또한, 전압 제어 발진기에 주파수 이득이 반대인 2개의 제어 전압을 사용하여 인버터의 PMOS와 NMOS의 전류 구동 능력을 정합 시켜서 위상 잡음 성능을 향상 시키는 VCO를 제안 하였다. 또한 제안한 VCO를 사용하여, 실제 LC 공진회로가 많이 사용되는 5GHz대역에서 동작하는 링구성의 VCO를 사용한 PLL을 직접 설계 및 검증함으로써 링 구성의 VCO가 LC 공진회로를 대체 할 수 있음을 보였다.

II. 본 론

1. 제안한 부스큐 지연방식의 VCO

VCO(voltage controlled oscillator)는 입력전압(v_f)에 변화에 대해 대체로 선형적으로 변하는 출력 주파수(ω_2)를 출력시키는 소자로, 크게 사인파(sine wave)를 출력시키는 발진기와 구형파(square wave)를 출력시키는 VCO로 구분된다. 사인파를 출력시키는 VCO는 피드백 루프 내에 주파수에 대해 선택적으로 동작하는

RC, LC 혹은 크리스탈 등의 소자를 사용한다. 구형파를 출력시키는 VCO로는 링형(Ring) VCO와 릴렉세이션(Relaxation) VCO가 있다^[1].

이중 링형 VCO는 작은 면적과 제작의 편의성 때문에 계속 연구 되어 왔다. 본 논문에서는 이러한 링형 VCO 중 일반적인 인버터 체인(chain)만으로 구성된 링형 VCO와 부 스큐 지연방식의 VCO 그리고, 서브 피드백 방식의 VCO의 구성을 살펴보고, 각각의 VCO를 소신호 분석하여 최대 출력 주파수를 살펴볼 것이다. 또한, 제안한 VCO의 구성과, 동작원리를 설명하고 소신호 분석을 통하여 기존의 방법에서 보다 향상된 점을 살펴볼 것이다.

가. 일반적인 링형 VCO

(1) 일반적인 링형 VCO의 구조

링형 VCO는 그림 1에 보인 대로 홀수 개(그림 1은 7개)의 반전(inverting) 증폭기인 CMOS 인버터를 루프 형태로 연결한 회로이다. 그림 1에 보인 링형 VCO에서 각 인버터의 입력 캐패시터로 인해 입력 신호와 출력 신호 사이에 위상 차(phase difference)가 발생한다. 이 위상차는 신호 주파수에 따라 달라지게 되는데, 루프를 한 바퀴 돌았을 때의 위상차가 180°가 되는 주파수에서 링형 발진기는 발진하게 된다. 또 발진이 이루어 지려면 발진 주파수에서의 루프이득(loop gain) 크기가 1 또는 그 이상의 값을 가져야 한다.

위상차는 아날로그 회로 해석에서 사용되는 용어인데 이는 디지털 회로 해석의 게이트 지연시간에 비례하는 양이다. 그림 1에 보인 링형 VCO에서 인버터 한 개의 지연시간을 t_{DR} 라고 하고, 링형 VCO에 사용된 반전 증폭기의 개수를 N(N은 홀수)이라고 하면, 링형 발

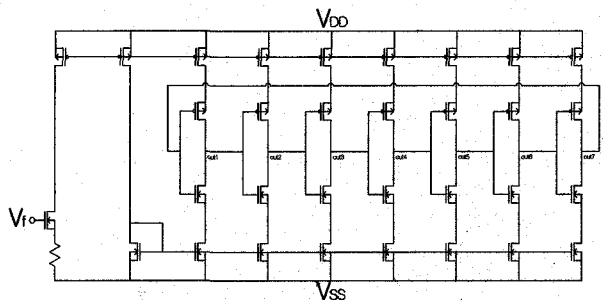


그림 1. 일반적인 링형 VCO의 구조
Fig. 1. The configuration of a typical ring type VCO.

진기가 발전하려면 루프를 한 바퀴 돌았을 때의 지연시간인 루프 지연시간 값($N \cdot t_{DR}$)이 발전 주기(T)의 절반 값과 같게 되어 식 (1)과 같은 관계식이 성립한다.

$$N \cdot t_{DR} = \frac{T}{2} \quad (1)$$

발전 주파수 f_{osc} 는 발전 주기(T)의 역수와 같으므로 f_{osc} 는 다음 식 (2)와 같이 표시된다.

$$f_{osc} = \frac{1}{2N \cdot t_{DR}} \quad (2)$$

그리하여 반전 증폭기의 지연시간 t_{DR} 는 어떤 제어(control) 전압 값에 따라 변하게 하면 링 발전기의 발전 주파수(f_{osc})를 바꿀 수 있다^[1].

(2) 일반적인 링형 VCO의 소신호 분석

링형 VCO의 단일 단의 소신호 등가회로는 그림 2와 같다. 여기서, gm은 outn을 출력하는 인버터의 트랜스 컨덕턴스를 나타낸 것이며, R과 C는 outn 노드 전체의 기생 저항과 기생 캐패시턴스를 나타낸 것이다. 이 등가회로의 전달함수를 구하면 식 (3)과 같이 된다.

$$H(j\omega) = \frac{V_n}{V_{n-1}} = \frac{-g_m R}{1 + j\omega RC} \quad (3)$$

N 단의 일반적인 링형 VCO가 발전을 하기 위해서는 바르하우스젠(Barkhausen)의 조건에 의해서 발전 주파수인 ω_0 에서는 위 식 (3)의 이득(gain)이 1이 되어야 한다. 따라서, 아래 식 (4)와 같은 조건이 성립되어야 한다.

$$g_m R = \sqrt{1 + (\omega_0 RC)^2} \quad (4)$$

또한 링형 VCO가 발전을 할 때 전체 루프의 위상차가 $m\pi$ 이어야 하며, 이때 m 은 $N/2$ 보다 작은 홀수 이어야 한다. 이때 m 을 1이라 하면, 기준단과 인접한 단과의 위상차는 $\pi/2$ 이어야 한다.

이 조건에 의해 링형 VCO의 발전 주파수 ω_0 는 다음 식 (5)와 같이 된다.

$$\omega_0 = \frac{\tan(\pi/N)}{RC} \quad (5)$$

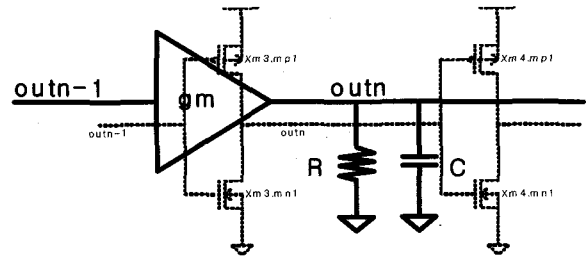


그림 2. 일반적인 링형 VCO의 소신호 등가회로
Fig. 2. The small-signal equivalent circuit of a typical ring type VCO.

나. 부 스쿼 지연방식 VCO

(1) 부 스쿼 지연방식 VCO의 구조

부 스쿼 지연방식 VCO는 그림 3에 보인 대로 홀수 개(그림은 7개)의 반전(inverting) 증폭기인 CMOS 인버터의 PMOS와 NMOS의 입력을 서로 다르게 연결한 회로이다. 이렇게 인버터의 입력을 다르게 함으로써 인버터의 출력이 변하기 전에 PMOS의 게이트로 전단보다 위상이 빠른 3단 이전의 출력이 입력되어 기존의 링형 구조보다 인버터가 빠르게 동작한다.

그림 3에 보인 부 스쿼 지연방식 VCO에서 인버터 한 개의 지연시간 t_{DN} 는 기존의 링형 VCO의 t_{DR} 보다 더 작다. 따라서, 발전 주파수는 다음 식 (6)과 같이 되며, 이것은 링형 VCO의 발전 주파수 보다 크다.

$$f_{osc} = \frac{1}{2N \cdot t_{DN}} \quad (6)$$

또한 인버터의 지연시간 t_D 는 어떤 제어(control) 전압 값에 따라 변하게 하며, 결과적으로 VCO의 발전 주파수(f_{osc})를 바꿀 수 있다^[2].

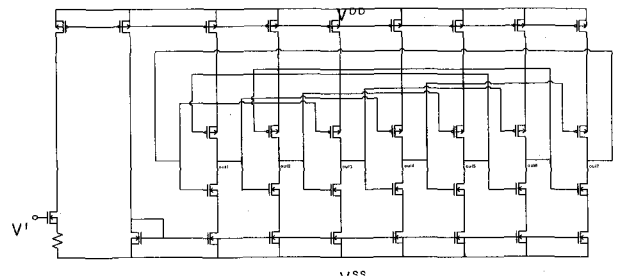


그림 3. 부 스쿼 지연방식 VCO의 구조
Fig. 3. The VCO configuration for negative skewed delay.

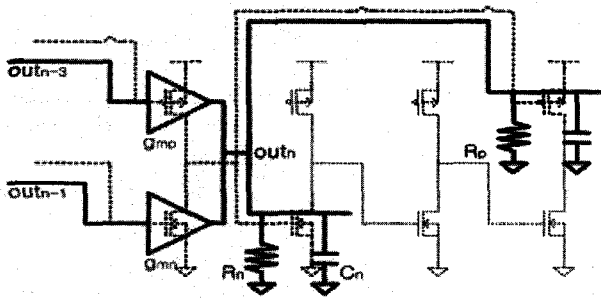


그림 4. 부 스큐 지연방식 VCO의 소신호 등가회로
Fig. 4. The small-signal equivalent circuit of a VCO with negative skewed delay.

(2) 부 스큐 지연방식 VCO의 소신호 분석

부 스큐 지연방식 VCO의 단일단 소신호 등가회로는 그림 4와 같다. 여기서 g_{mp} 는 인버터의 PMOS 트랜스 컨덕턴스를 나타내며, g_{mn} 은 인버터의 NMOS 트랜스 컨덕턴스를 나타낸다. 그림 4의 C_p , R_p 는 2단 앞 인 버터의 PMOS에 의해서 발생하는 입력 캐패시터와 저항을 나타낸 것이며, C_n , R_n 는 바로 앞단 인버터의 NMOS에 의하여 나타나는 입력 캐패시터와 저항을 나타낸 것이다. 그림 4의 단일단 출력 노드에 대한 기생 저항과 캐패시턴스 전체를 각각 C와 R로 표기 하겠다. 이때 단일 단 인버터의 PMOS에는 out_{n-3} 의 입력이 들어가고, NMOS에는 out_{n-1} 의 입력이 들어간다.

또한 부 스큐 지연방식 VCO가 발진을 할 때 전체 루프의 위상차가 $m\pi$ 이어야 하며, 이때 m 은 $N/2$ 보다 작은 홀수이어야 한다. 이때 m 을 1이라 하면, out_n 과 out_{n-a} 의 전압은 다음 식 (7)과 같은 관계를 만족한다.

$$V_{n-a} = V_n e^{-j\frac{a\pi}{N}} \quad (7)$$

식 (7)을 이용하여 그림 4의 전달함수를 구하면 식 (8)과 같이 된다.

$$H(j\omega) = \frac{-g_{mn}R}{(1 + g_{mp}R\cos\frac{3\pi}{N}) + j(\omega RC - g_{mp}R\sin\frac{3\pi}{N})} \quad (8)$$

이 단의 부 스큐 지연방식 VCO가 발진하기 위해서는 바크하우젠의 조건에 의해 발진 주파수인 ω_0 에서 는 위 식 (8)의 이득이 1이 되어야 한다. 따라서, 아래의

식 (9)와 같은 조건이 성립된다.

$$g_{mn}R = \sqrt{(1 + g_{mp}R\cos\frac{3\pi}{N})^2 + (\omega_0 RC - g_{mp}R\sin\frac{3\pi}{N})^2} \quad (9)$$

이제 식 (8)과 식 (9)의 조건을 이용하여 앞서 링형 VCO에서의 과정을 반복하면 다음 식 (10)과 같은 발진 주파수를 구할 수 있다.

$$\omega_0 = \frac{\tan\frac{\pi}{N}}{RC} + \frac{g_{mp}(\sin\frac{3\pi}{N} + \tan\frac{\pi}{N} \cdot \cos\frac{3\pi}{N})}{C} \quad (10)$$

식 (10)의 첫 번째 항은 일반전인 링형 VCO의 발진 주파 수이며, 두 번째 항은 부 스큐 지연방식에 의한 주파수 향상 분이다.

다. 서브 피드백 방식 VCO

(1) 서브 피드백 방식 VCO의 구조

서브 피드백 루프 방식 VCO는 그림 5에 보인바와 같이 루프를 서브 루프와 메인 루프로 나누어서 설계한 구조이다. 이때 서브 루프는 피드백 루프이며 메인 루프 보다 상대적으로 작은 인버터만으로 구성된다. 이렇게 구성함으로써 발진 주파수는 서브 피드백 루프에 의 해서 결정되고, 주파수 튜닝 범위는 메인 루프로 결정 된다. 따라서, 기존의 방법보다 높은 출력 주파수 얻을 수 있다. 또한, 기존의 인버터 체인을 짧게 하여 얻는 방법 보다 넓은 튜닝 범위를 가지게 된다.^{[3][4]}

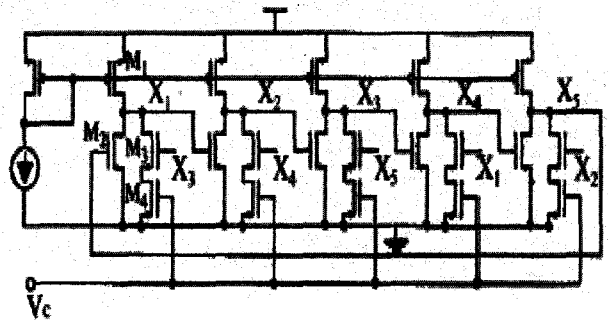


그림 5. 서브 피드백 방식 VCO의 구조
Fig. 5. The configuration of a VCO with subfeedback loops.

(2) 서브 피드백 방식 VCO의 소신호 분석

서브 피드백 루프 방식 VCO의 단일단 소신호 등가 회로는 그림 6과 같다. 여기서 a_n 는 인버터의 트랜스

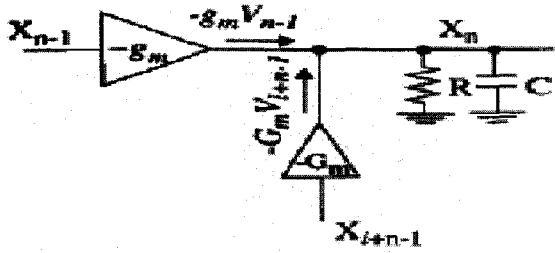


그림 6. 서브 피드백 방식 VCO의 소신호 등가회로
Fig. 6. The small-signal equivalent circuit of VCO with sub-feedback loops.

컨덕턴스를 나타내며, G_m 은 서브 피드백 루프의 트랜스 컨덕턴스를 나타낸다. 또, C 와 R 은 단일 단의 출력 노드 전체에 대한 캐패시터와 저항을 나타낸 것이다.

또한 부 스쿼 지연방식 VCO가 발진을 할 때 전체 루프의 위상차가 $m\pi$ 이어야 하며, 이때 m 은 $N/2$ 보다 작은 홀수이어야 한다. 이때 m 을 1이라 하면, out_n 과 out_{n-a} 의 전압은 다음 식 (11)과 같은 관계를 만족한다.

$$V_{n-a} = V_n e^{-j\frac{a\pi}{N}} \quad (11)$$

식 (11)을 이용하여 그림 3-6의 전달함수를 구하면 식 (12)와 같이 된다.

$$H(j\omega) = \frac{-g_m R}{\left(1 + G_m R \cos \frac{2\pi}{N}\right) + j\left(\omega RC - G_m R \sin \frac{2\pi}{N}\right)} \quad (12)$$

N 단의 부 스쿼 지연방식 VCO가 발진하기 위해서는 바크하우젠의 조건에 의해 발진 주파수인 ω_0 에서는 위 식 (12)의 이득이 1이 되어야 한다. 따라서, 아래의 식 (13)과 같은 조건이 성립된다.

$$g_m R = \sqrt{\left(1 + G_m R \cos \frac{2\pi}{N}\right)^2 + \left(\omega_0 RC - G_m R \sin \frac{2\pi}{N}\right)^2} \quad (13)$$

이제 식 (12)와 식 (13)의 조건을 이용하면 다음 식 (14)와 같은 발진 주파수를 구할 수 있다.

$$\omega_0 = \frac{\tan \frac{\pi}{N}}{RC} + \frac{G_m \left(\sin \frac{2\pi}{N} + \tan \frac{\pi}{N} \cdot \cos \frac{2\pi}{N}\right)}{C} \quad (14)$$

식 (14)의 첫 번째 항은 일반전인 링형 VCO의 발진 주파수이며, 두 번째 항은 서브 피드백 루프 방식에 의한 주파수 향상 분이다.^{[3][4]}

라. 제안한 링형 VCO

(1) 제안한 링형 VCO의 구조

제안한 VCO는 그림 7과 같이 기존의 부 스쿼 지연 방식에 서브 피드백 방식을 추가하여 설계한 구조이다. 즉 부 스쿼 지연 방식에 주파수 제어용 패스 트랜지스터를 PMOS 부분과 NMOS 부분에 각각 추가하여 더욱 출력 주파수를 향상 시켰다.

제안한 VCO는 기존의 방식보다는 다음과 같이 개선 되었다. 기존 방식은 서브 피드백 루프에 인버터를 사용하였지만, 제안한 VCO는 패스 트랜지스터를 사용하였다. 즉 기존의 방식은 위상이 앞선 단의 출력이 MOS의 게이트로 입력 되었지만, 제안한 VCO는 MOS의 소스로 입력된다. 이렇게 함으로서 기존의 방식은 주파수 조절을 위해 MOS를 각단마다 하나씩 더 추가하여야 하지만, 제안한 VCO는 주파수 향상을 위한 MOS와 주파수 조절을 위한 MOS를 하나로 사용하여 보다 작은 면적으로 설계할 수 있다.

또, 제안한 VCO는 주파수 제어에 이용되는 NMOS와 PMOS가 패스 트랜지스터로 인해 위상잡음에 대한 다음과 같은 우수한 특성이 있다. 패스 트랜지스터는 각각의 게이트에 주파수 제어용 전압을 받는다. NMOS 패스 트랜지스터의 게이트에 낮은 제어 전압이 인가되면 3단 이전의 출력전압과 NMOS의 게이트의 전압차인 VGS 전압이 낮아져서 NMOS는 on 되는 시간보다 off 되는 시간이 길어진다. 그러면, Out_{n-2} 과 Out_n 의 전류이동이 작아져 발진기의 출력 주파수가 낮아진다.

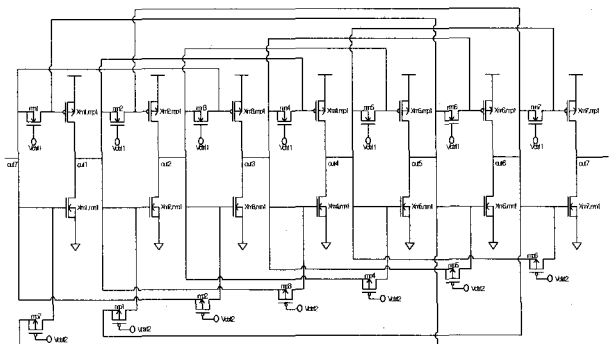


그림 7. 제안한 링형 VCO의 구조
Fig. 7. The proposed VCO configuration.

즉, NMOS 패스 트랜지스터의 게이트에 인가되는 주파수 제어 전압은 커질수록 출력 주파수는 높아진다. 이와 반대로 PMOS 패스 트랜지스터는 제어 전압이 낮아질수록 PMOS의 on 시간이 길어져 출력 주파수는 높아진다. 따라서, 주파수 이득이 반대인 2개의 주파수 제어 전압이 필요하며, 이 2개의 제어 전압에 의해서 인버터의 PMOS와 NMOS의 전류 구동 능력을 정합 하면 위상 잡음이 획기적으로 우수해진다.

또한, 제안한 VCO는 주파수 이득이 반대인 2개의 주파수 제어 전압을 사용함으로써 VCO 외부에서 발생하는 잡음에 대해 우수한 특성을 가진다. 즉, 외부에서 발생한 잡음이 주파수 제어 단 2개에 동일하게 발생할 경우, 각각의 주파수 제어 전압에 대해 제안한 VCO는 서로 반대되는 주파수 이득을 가지므로 잡음에 의해 생기는 위상 오차를 최소화 할 수 있다. 이는 하나의 주파수 제어 전압을 사용하는 기존의 방식이 외부의 잡음에 의해 직접적인 영향을 받는 것에 비해 획기적이다. 이러한 이유로 제안한 VCO는 열 잡음(Thermal Noise)에 대해서도 우수한 성능을 가진다.

(2) 제안한 링형 VCO의 소신호 분석

제안한 VCO의 1단 소신호 등가회로는 그림 8과 같다. 여기서 g_{mp} , g_{mn} 은 인버터의 PMOS와 NMOS 각각의 트랜스 컨덕턴스를 나타내며, G_{mp} , G_{mn} 는 서브 피드백 루프를 구성하는 PMOS와 NMOS 각각의 트랜스 컨덕턴스를 나타낸다. 또, C와 R은 단일 단의 출력 노드 전체에 대한 캐패시터와 저항을 나타낸 것이다.

또한 제안한 VCO가 발진을 할 때 전체 루프의 위상차가 $m\pi$ 이어야 하며, 이때 m 은 $N/2$ 보다 작은 홀수이어야 한다. 이때 m 을 1이라 하면, out_n 과 out_{n-a} 의 전압은 다음 식 (15)와 같은 관계를 만족한다.

$$V_{n-a} = V_n e^{-j\frac{a\pi}{N}} \quad (15)$$

식 (15)를 이용하여 그림 8의 전달함수를 구하면 식 (16)과 같이 된다.

$$H(j\omega) = \frac{-g_{mn}R}{\left(1 + g_{mp}R\cos\frac{3\pi}{N} + G_mR\cos\frac{2\pi}{N}\right) + j\left(\omega RC - g_{mp}R\sin\frac{3\pi}{N} - G_mR\sin\frac{2\pi}{N}\right)} \quad (16)$$

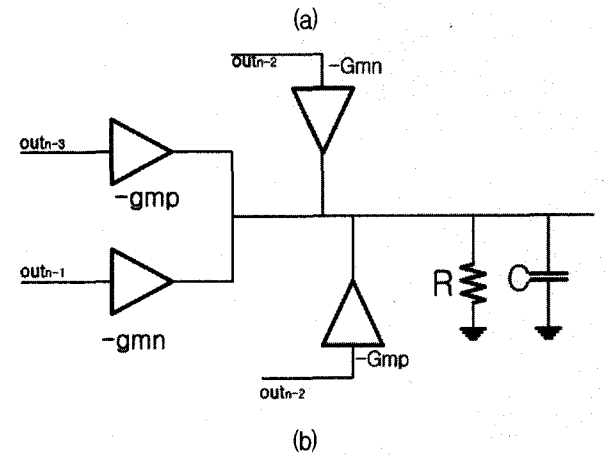
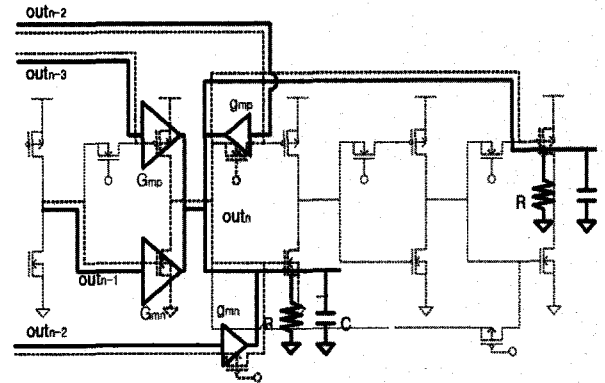


그림 8. 제안한 링형 VCO의 1단 소신호 등가회로
Fig. 8. The small-signal equivalent circuit for a single-stage of the proposed ring-type VCO.

N 단의 제안한 VCO가 발진하기 위해서는 바크하우젠의 조건에 의해 발진 주파수인 ω_0 에서는 위 식 (16)의 이득이 1이 되어야 한다. 따라서, 아래의 식 (17)과 같은 조건이 성립된다.

$$g_{mn}R = \sqrt{\frac{\left(1 + g_{mp}R\cos\frac{3\pi}{N} + G_mR\cos\frac{2\pi}{N}\right)^2}{\left(\omega_0 RC - g_{mp}R\sin\frac{3\pi}{N} - G_mR\sin\frac{2\pi}{N}\right)^2}} \quad (17)$$

이제 식 (16)과 식 (17)의 조건을 이용하면 다음 식 (18)과 같이 발진 주파수를 구할 수 있다.

$$\omega_0 = \frac{\tan\frac{\pi}{N}}{RC} + \frac{g_{mp}\left(\sin\frac{3\pi}{N} + \tan\frac{\pi}{N} \cdot \cos\frac{3\pi}{N}\right)}{C} + \frac{G_m\left(\sin\frac{2\pi}{N} + \tan\frac{\pi}{N} \cdot \cos\frac{2\pi}{N}\right)}{C} \quad (18)$$

식 (18)의 첫 번째 항은 일반전인 링형 VCO의 발진 주파수이며, 두 번째 항은 부 스큐 지연방식에 의한 주

표 1. 각 VCO의 발진 주파수 분석 비교

Table 1. Comparison of the oscillation frequency of each VCO.

	N단일 경우	7단일 경우 (N = 7)
일반적인 링형 VCO	$\omega_0 = \frac{\tan(\pi/N)}{RC}$	$\omega_0 = \frac{0.23}{RC}$
부스큐 지연 방식 VCO	$\omega_0 = \frac{\tan(\pi/N)}{RC} + \frac{k_1 \cdot g_{mp}}{C}$	$\omega_0 = \frac{0.23}{RC} + \frac{1.08g_{mp}}{C}$
서브 피드백 방식 VCO	$\omega_0 = \frac{\tan(\pi/N)}{RC} + \frac{k_2 \cdot G_m}{C}$	$\omega_0 = \frac{0.23}{RC} + \frac{1.92G_m}{C}$
제안한 VCO	$\omega_0 = \frac{\tan(\pi/N)}{RC} + \frac{k_1 \cdot g_{mp}}{C} + \frac{k_2 \cdot G_m}{C}$	$\omega_0 = \frac{0.23}{RC} + \frac{1.08g_{mp}}{C} + \frac{1.92G_m}{C}$

과수 향상 분이고, 세 번째 항은 서브 피드백 방식에 의한 주파수 향상 분이다.

위의 표 1에서 k_1, k_2 는 다음 식 (19), (20)와 같이 정의된다.

$$k_1 = \sin \frac{3\pi}{N} + \tan \frac{\pi}{N} \cdot \cos \frac{3\pi}{N} \tag{19}$$

$$k_2 = \sin \frac{2\pi}{N} + \tan \frac{\pi}{N} \cdot \cos \frac{2\pi}{N} \tag{20}$$

표 1의 결과를 보면, 제안한 VCO는 부스큐 지연방식 VCO와, 서브 피드백 방식 VCO 보다 더 높은 발진 주파수를 가짐을 알 수 있다.

2. 제안한 VCO를 이용한 초고주파 PLL

그림 9는 제안한 VCO를 사용한 초고주파 PLL의 전체 회로이며, 앞서 설계하고 검증한 PFD, 차지펌프, 루프필터, 50비트 카운터를 사용하였다. 특히, 본 논문에서는 2종의 루프 필터를 제어하기 위하여 각각의 루프필터 입력단에 패스트랜지스터를 배치하였다. 이 패스트랜지스터는 기준 신호에 배치된 2비트 카운터에 의해 2분주된 기준 주파수에 의해서 교대로 동작을 한다. 또한 제안한 VCO는 2개의 주파수 제어 전압이 서로 반대의 주파수 이득을 가지므로, 주파수 이득이 반대인 2개의 차지 펌프가 필요하다. 이에 본 논문에서는 3상태 PFD(Phase Frequency Detector : 위상/주파수 검출기)의 서로 반대의 출력을 입력으로 사용하는 차지 펌프(charge pump)를 2개 사용하였다. 또한, 50비트 카운터에 안정적인 디

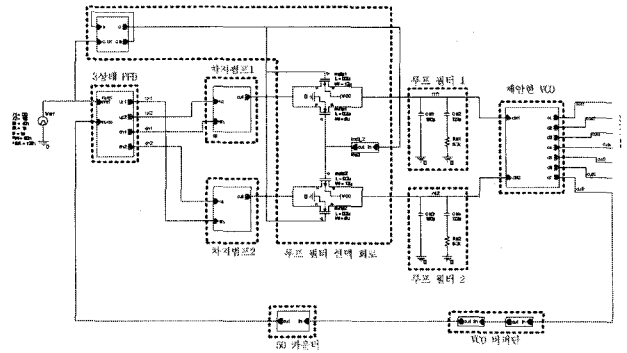


그림 9. 제안한 VCO를 사용한 초고주파 PLL의 블럭도
Fig. 9. The block diagram of a radio-frequency PLL with the proposed VCO.

지털 신호를 보내기 위하여 VCO 출력단에 별도의 버퍼를 배치하였다.

가. PFD(Phase Frequency Detector)의 설계

그림 10은 본 논문에 사용된 3상태 위상검출기의 회로도이다. 기존의 3상태 위상검출기의 구조를 따르며 빠른 속도의 reset 동작을 위하여 pseudo-NOR 게이트를 이용하였다. PFD의 고속 동작을 위해 TSPC 포지티브 에지-트리거(positive edge triggered) 방식의 D-플립플롭을 이용하였다.

그림 11은 본 논문에 쓰인 TSPC D-플립플롭의 회로이다. clk 신호와 reset 신호가 모두 low 일 경우 A 노드는 M1, M2에 의해 VDD와 연결되어 high값을 가진다. 이때 A 노드의 값은 clk 신호 값에 의해 변하지 않고 reset 신호가 들어오기 전까지 high 값을 유지한다. clk의 라이징 에지에서 M5와 M6에 의해서 Qbar는 low 값을 가지게 된다. 그 이후에 clk 신호가 변해도 A

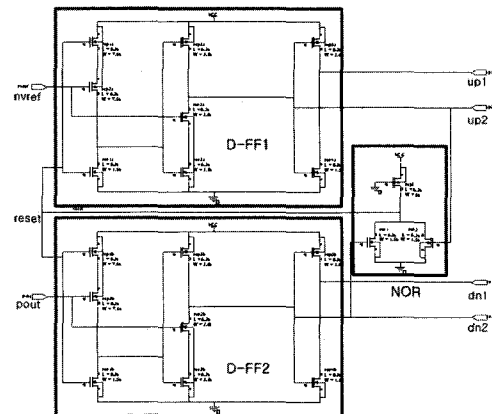


그림 10. 제안한 PLL의 PFD 회로도
Fig. 10. The PFD circuit for the proposed PLL.

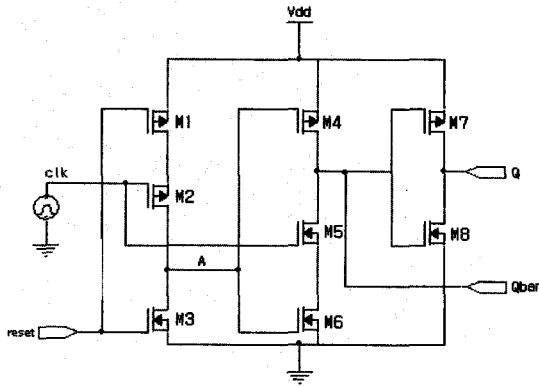


그림 11. PFD에 사용된 TSPC D-FF 회로도
Fig. 11. The TSPC D-FF used for PFD.

값이 유지되어서 Qbar 값 역시 변하지 않는다. reset 신호가 high 값을 가지면 A 노드는 M1과 M3에 의해 low 값을 가진다. A 노드가 low 값을 가지면 M4에 의해 Qbar 값은 high가 된다. 이때 M6에 의해 Qbar가 clk 값에 의해 풀다운 되는 것을 막아준다. M1은 reset 신호와 clk 신호가 high일 때 VDD와 그라운드가 연결되는 것을 막아준다. 만약 M1이 없다면 clk가 low 값을 가지고 reset 신호가 high값을 가질 때 VDD와 그라운드 간에 전류 path가 생겨서 전력소모가 발생하고 A 노드의 discharge가 느려져서 reset 시간이 증가하게 된다.^[5]

나. 차지 펌프(Charge Pump)의 설계

그림 12는 제안한 PLL에 사용된 차지펌프 회로이다.

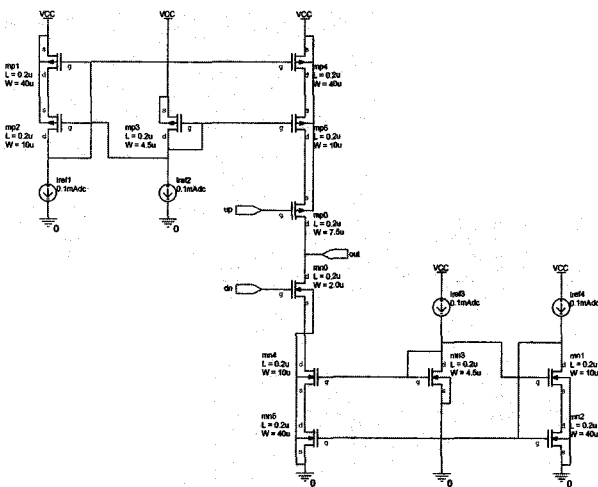


그림 12. 제안한 초고주파 PLL의 차지 펌프 회로도
Fig. 12. The charge pump circuit for the proposed radio-frequency PLL.

이 차지펌프의 전류원으로는 출력전압 범위를 증가 시킨 cascode 전류원 회로를 사용하였다. 이 전류원 회로는 출력전압 V_{out} 의 동작범위를 최대로 증가 시키고 전류이득 I_{out}/I_{ref} 이 문턱전압 V_{TH} 에 무관하게 1이 되게 하는 회로이다.^[1]

다. 이중 루프 필터(Dual Loop Filter)의 설계

그림 13은 제안한 PLL에 사용된 이중 루프필터 구성도이다. 이중 루프에서는 2개의 루프 필터를 제어하기 위하여 각각의 루프필터 입력단에 패스트랜지스터를 배치하였다. 이 패스트랜지스터는 기준 신호에 배치된 2비트 카운터에 의해 2분주된 기준 주파수에 의해서 교대로 동작을 한다. 또한 제안한 VCO는 2개의 주파수 제어 전압이 서로 반대의 주파수 이득을 가지므로, 주파수 이득이 반대인 2개의 차지 펌프가 필요하다. 이에 본 논문에서는 3상대 PFD(Phase Frequency Detector : 위상/주파수 검출기)의 서로 반대의 출력을 입력으로 사용하는 차지 펌프를 2개 사용하였다.

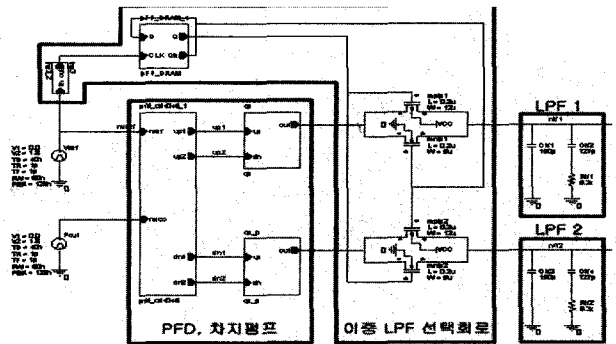


그림 13. 제안한 초고주파 PLL의 이중 루프필터 회로도
Fig. 13. The dual Loop filter circuit for the proposed radio-frequency PLL.

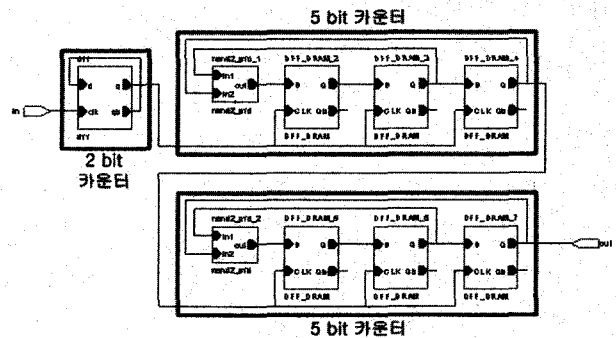


그림 14. 제안한 초고주파 PLL의 프리스케일러 회로도
Fig. 14. The prescaler circuit for the proposed radio-frequency PLL.

라. 프리스케일러(Prescaler)의 설계

그림 14는 제안한 PLL의 프리스케일러의 회로도이다. 설계된 PLL은 기준 전압 주파수가 100MHz이고, 위상을 고정시키는 목표 주파수가 5GHz 이다. 따라서, PLL의 프리스케일러 설계는 2 bit 카운터 1개와 5bit 카운터 2개를 직렬로 연결하여 프리스케일러 전체의 분주비가 50이 되도록 설계했다.

이때, 2비트 카운터는 VCO의 고주파 출력을 입력으로 받기 때문에 고속 동작에 용이한 D-FF를 사용하였고, 첫 번째의 5비트 카운터는 뒷단의 구동능력이 떨어지는 2비트 카운터를 고려하여 2비트 카운터와 동일한 D-플리플롭을 이용하였다. 마지막 5비트 카운터의 경우 PFD에 보다 정확한 디지털 신호를 보내기 위하여 static logic 인버터로 구성된 D-플리플롭을 이용하였다.

그림 15는 프리스케일러의 2비트 카운터와 2번째의 5비트 카운터에 사용된 고속 동작에 용이한 네가티브 에지-트리거(negative edge-triggered) 방식의 D-플리플롭의 회로도이다. 이 D-플리플롭은 ratioed latch 방식에 따라 설계되었는데, 이 구조는 두개의 모드에 따라 동작을 한다. 첫 번째는 홀드(hold) 모드로 클럭이 low 상태일 때의 동작모드이다. 이때 노드 NA의 전압이 D 전압에 상관없이 M6의 소오스단 전압에서 V_{th} 를 뺀 전압 ($V_{DD} - V_{th}$)보다 높게 유지되도록 M3와 M4의 L/W 비율을 결정한다. 클럭이 low일 때 M6와 M7이 cut-off 상태로 유지되기 때문에 출력 Q에서는 풀업(pull-up)이나 풀다운(pull-down)이 일어나지 않는다. 두 번째, 클럭이 low에서 high로 상태가 변할 때, 래치는 evaluation 모드가 된다. D 전압이 low일 때는 M5가

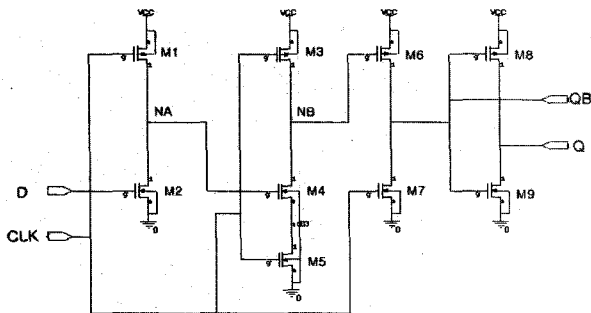


그림 15. 프리스케일러의 2비트 카운터에 사용된 ratioed latch 방식 고속 D-FF
Fig. 15. The high-speed, ratioed latch-type D-FF for a 2-bit counter of the prescaler

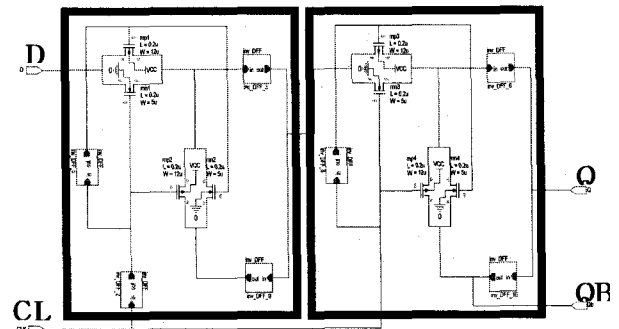


그림 16. 프리스케일러의 5비트 카운터에 사용된 인버터 래치형 D-FF
Fig. 16. The inverter latch-type D-FF for a 2-bit counter of the prescaler.

작동하게 되지만 M4가 cur-off 상태가 됨에 따라 이전 클럭의 n1 노드에 있던 전압(high)이 그대로 M6의 게이트에 전달된다. 따라서 M6는 cut-off 상태가 되고 high 클럭에 의해 작동되어진 M7에 의해 출력 Q는 low 상태가 된다. D 전압이 high일 때는 M4에 의해 n1 노드의 전압이 그라운드로 풀다운되어 M6가 작동하게 된다. 이 때 M7도 작동하게 되는데 M6의 W/L의 비율 M6보다 크게 만들어서 전체 래치동작이 M6에 의해 좌우되게 한다. 따라서 ratioed 래치는 한 클럭 주기동안 단 한번 상태변화를 겪게 된다.^[6]

그림 16은 프리스케일러의 마지막 5비트 카운터에 사용된 에지 센스티브(edge sensitive) D-플리플롭이다. 인버터로 구성된 level sensitive latch 2개를 직렬로 연결하여 마스터-슬레이브(master-slave) 구조로 한 것이다. Static logic인 인버터로 latch를 구성하여서 그림 15에서 보인 D 플리플롭 보다 안정적이 디지털 신호를 출력한다.^[7]

III. 실험

본 논문에서 제안한 VCO 및 PLL을 검증하기 위하여 TSMC 0.18um 공정 라이브러리를 이용하여 회로를 설계하였으며, Avanti사의 Hspice를 이용하여 실험하였다.

1. 제안한 부스큐 지연방식의 VCO의 실험 결과

그림 17은 제안한 발진기와 부스큐 지연 방식의 발진기, 고전적인 링 인버터 발진기를 전류 제어 발진기 형태로 7단으로 설계하여 출력 주파수를 비교하여 본

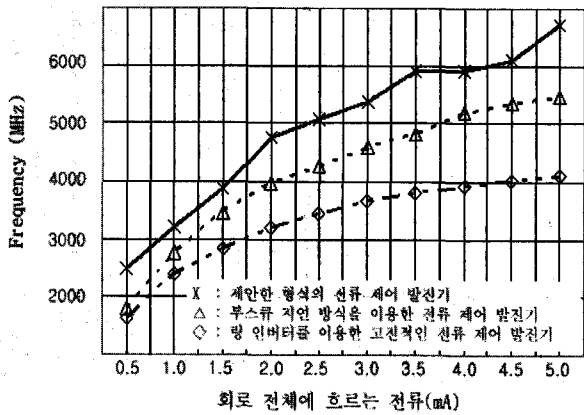


그림 17. 각 오실레이터 형식의 전류 제어 주파수 특성
 Fig. 17. The current-controlled oscillation frequency characteristics of each type of oscillator.

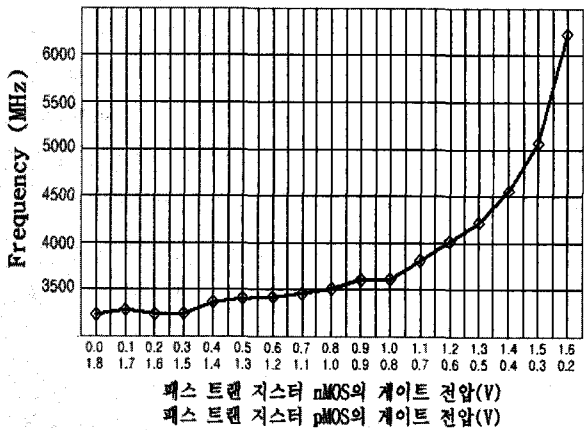


그림 18. 설계된 VCO의 출력 주파수
 Fig. 18. The output frequency of the designed VCO.

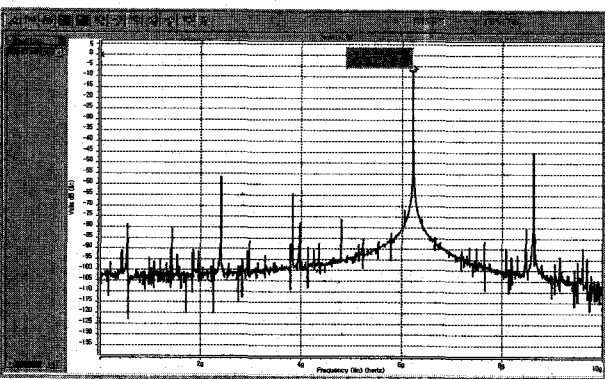


그림 19. 설계된 VCO의 출력 주파수 스펙트럼
 Fig. 19. The output frequency spectrum of the designed VCO.

것이다. 위 그림의 결과를 보면 제안한 발진기는 5.0mA의 전류가 흐를 때 고전적인 링 인버터 발진기 회로보다 64%, 부 스쿼 지연 방식 발진기보다 23% 더 높은 주파수를 생성한다.

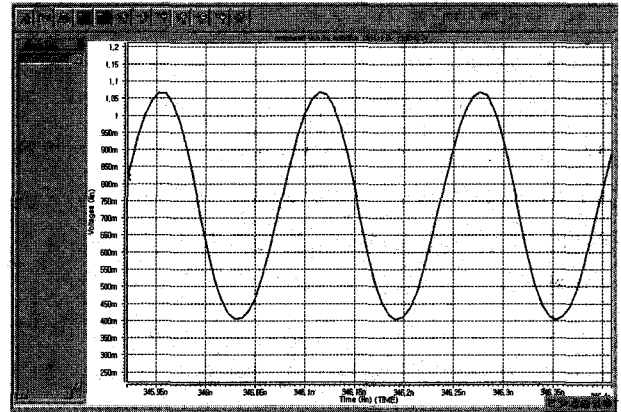


그림 20. 설계된 VCO의 출력 파형
 Fig. 20. The output signal of the designed VCO.

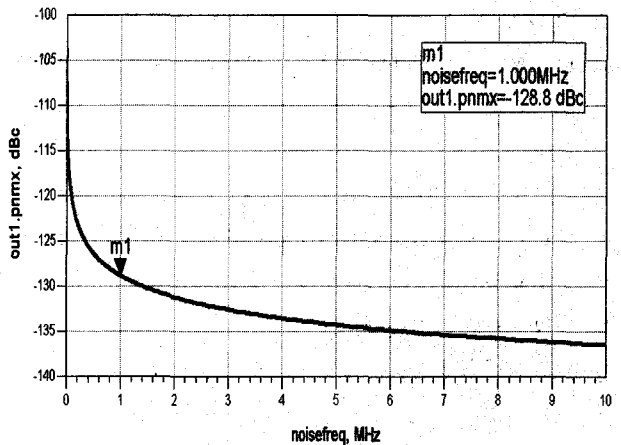


그림 21. 설계된 VCO의 위상 잡음 특성
 Fig. 21. The phase noise characteristics of the designed VCO.

그림 18은 제안한 VCO를 7단으로 설계하여 실험한 결과이다. 제안한 VCO는 2개의 주파수 이득이 반대인 제어 전압을 사용하므로, PMOS/NMOS 패스트랜지스터의 게이트 전압을 각각 따로 인가하였다. 그림 18의 X-축은 패스트랜지스터의 게이트 전압이며, Y-축은 VCO의 출력 주파수이다. 제안한 VCO는 0.0V/1.8V (NMOS 게이트 전압/ PMOS 게이트 전압)~1.6V/0.2V의 입력을 받아서 3.2GHz~6.3GHz의 주파수를 출력한다.

그림 19는 제안한 전압 제어 발진기의 주파수 스펙트럼을 보여 주는 것이다. 위 결과 출력 주파수는 6.23GHz이며, 10MHz spur는 -46.98dBc, 20MHz spur는 -53.24dBc이다.

그림 20은 제안한 VCO의 출력 신호를 나타낸 것이다. 그림에서와 같이 출력 신호는 인버터의 PMOS 동작과 NMOS 동작이 정합하여 라이징 타임과 펄링 타임

이 같다. 또, 출력파형은 VDD와 VSS를 완전히 스윙하지 못하고 0.4V~1.2V를 스윙한다. 이때 VCO 전체에 흐르는 전류는 3.8mA이다.

그림 21은 제안한 VCO를 7단으로 설계하여 위상잡음 특성을 ADS를 이용하여 시뮬레이션한 것으로, 5.5GHz의 주파수로 발진할 때 1MHz의 오프셋 주파수에서 -128.8dBc의 위상잡음 특성을 가진다.

2. 제안한 VCO를 이용한 5GHz PLL의 실험 결과

그림 22는 제안한 VCO를 사용한 5GHz PLL의 루프 필터 출력단 파형을 나타낸 것이다. 이때 nfl1은 양의 이득을 가지는 VCO 주파수 제어 입력인 루프필터의 출력이며, nfl2는 음의 이득을 가지는 VCO 주파수 제어 입력인 루프필터의 출력이다. 검증용 위한 시뮬레이션의 최초 상태는 VCO의 NMOS 패스 트랜지스터의 게

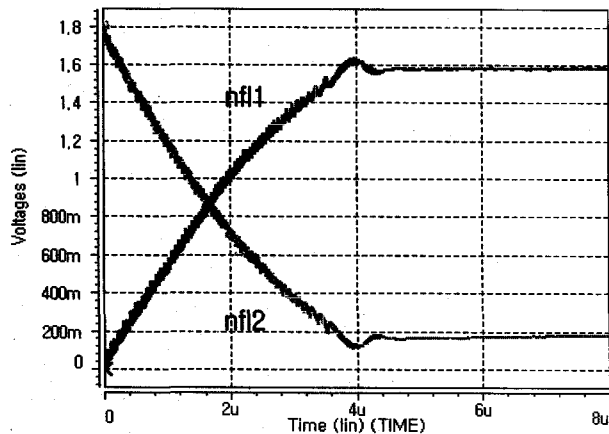


그림 22. 설계된 5GHz PLL의 루프 필터 출력 전압
Fig. 22. The loop filter output signals of the designed 5GHz PLL

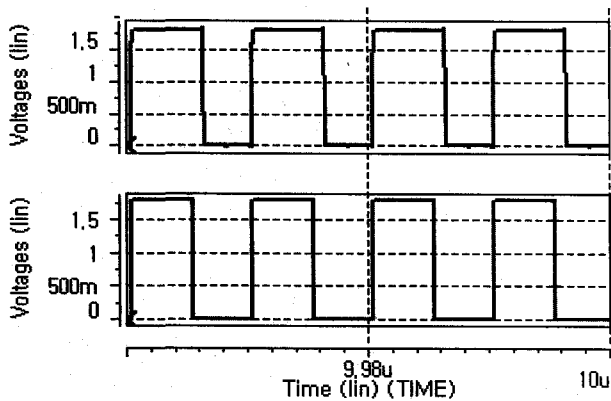


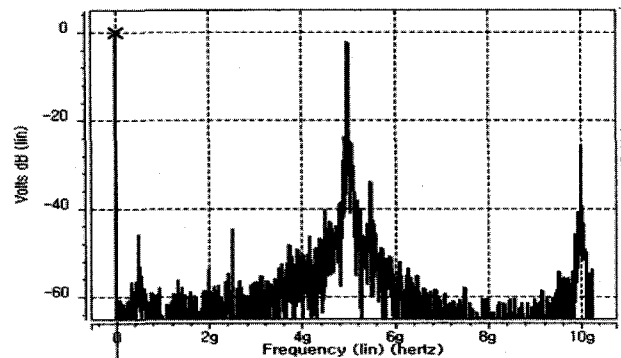
그림 23. 위상 고정 상태의 기준 신호와 프리스케일러 출력 신호
Fig. 23. The reference signal and prescaler output signal with phase locked.

이트에 입력되는 루프 필터의 출력 전압(nfl1)은 0.0V로 하였고, VCO의 PMOS 패스 트랜지스터의 게이트에 입력되는 루프 필터의 출력 전압(nfl2)은 1.8V로 설정 하였다. 시뮬레이션 결과 VCO는 최초 3GHz에서 발진을 하며, nfl1이 증가하고 nfl2가 감소하면서 VCO의 주파수는 계속 상승하게 된다. 그 후 4us 지난 후에 2개의 루프 필터의 전압이 고정 되면서 VCO의 출력이 5GHz가 되는 것을 알 수 있다.

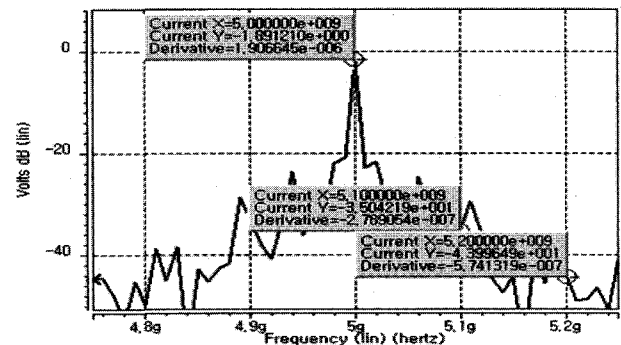
그림 23은 설계된 PLL이 5GHz에서 로킹 되었을 때의 기준 입력과 프리스케일러의 출력 신호를 비교 한 것이다. 이때 상단의 파형이 프리스케일러의 출력 파형이고, 하단의 파형이 기준 신호의 파형이다. 두 신호를 비교하면 위상차가 0°로 고정 되었음을 알 수 있다.

그림 24(a)는 VCO 출력 신호의 주파수 스펙트럼을 나타낸 것이다. 이 그림에 의하면 VCO는 정확히 5GHz의 신호를 출력하고 있으며, 이는 곧 설계된 PLL이 5GHz에 로킹 되었음을 의미한다.

그림 24(b)는 그림 24(a)를 확대하여 spur 분석을 한 것이다. 분석 결과 5GHz에 로킹된 VCO 출력은 기준 주



(a)



(b)

그림 24. 설계된 5GHz PLL의 위상고정 상태의 VCO 출력 주파수 스펙트럼

Fig. 24. The frequency spectrum of the designed 5GHz PLL with phase locked.

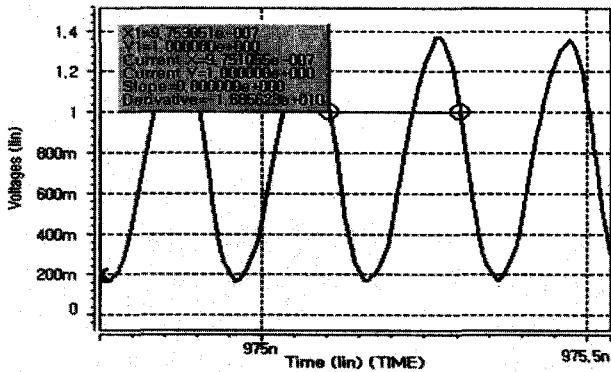


그림 25. 설계된 5GHz PLL의 위상고정 상태의 VCO 출력 신호

Fig. 25. The VCO output signal of the designed 5GHz PLL with phase locked.

파수 100MHz에서 -33.2dBc 의 성능과, 기준 주파수의 2배인 200MHz에서 -42.1dBc 의 안정적인 특성을 보임을 알 수 있다. 그리고 앞서 그림 19에서 VCO만 단독으로 검증 하였을 때 spur 특성이 6.23GHz에서 10MHz spur는 -46.98dBc , 20MHz spur는 -53.24dBc 임을 감안 하면, 설계된 PLL의 이중 루프필터단의 특성을 향상시키면 spur 특성을 더욱 향상 시킬 수 있음을 확인 할 수 있다. 그림 25는 VCO 출력 신호이며 주기가 0.2ns 임을 확인할 수 있다. 이는 곧 VCO가 5GHz의 신호를 출력하고 있음을 의미한다. 또한, 이 출력 신호는 0.18V ~ 1.39V 사이를 스윙하는 것을 알 수 있다. 이는 VCO를 다른 회로의 입력으로 사용하기 위해서는 별도의 버퍼가 필요함을 의미 한다.

IV. 결 론

본 논문에서 TSMC 0.18 μm CMOS 공정 라이브러리를 이용하여, 항상된 부 스큐 지연 방식을 이용한 VCO와 이를 이용한 5GHz PLL 회로를 설계하였다. 또, 이를 기반으로 LC 회로를 사용하지 않고 제안한 링형 VCO를 이용하여 안정적인 5GHz 대역의 주파수원을 생성 할 수 있음을 보였다.

본 논문에서 제안한 VCO는 부 스큐 지연 방식과 서브 피드백 방식을 병행한 형태로 설계하였다. 제안한 VCO는 출력 주파수의 제어를 위하여 서브 피드백으로 사용한 패스트랜지스터의 게이트에 주파수 제어 전압을 인가 받는다. 설계된 VCO 회로의 시뮬레이션 결과, 약 3GHz의 넓은 주파수 튜닝 범위와 최고 6.23GHz 대역의 초고주파를 안정적으로 출력함을 볼 수 있다. 일반적인 LC

공진기를 사용한 VCO가 1GHz 대역의 주파수 튜닝 범위를 가짐을 고려할 때, 제안한 VCO의 3GHz의 주파수 튜닝 범위는 우수한 결과이다. 또, 제안한 VCO는 동일한 전류가 흐를 때 기존의 링 형태의 발진기 보다 64%, 부 스큐 지연 방식의 발진기 보다 24% 더 높은 출력 주파수를 생성함을 검증하였다. 또한, 제안한 VCO는 2개의 주파수 이득이 반대인 제어 전압을 사용하여 위상잠음 성능을 대폭 향상시켰다.

제안한 VCO를 사용한 PLL 회로는 2개의 제어 신호를 가지므로 루프 필터를 설계할 때 새로운 방식을 필요로 한다. 본 논문에서는 이 문제를 2개의 루프 필터를 교대로 동작시킴으로서 제안한 VCO가 PLL 회로에 사용될 수 있음을 증명하였다. 본 논문에서 설계한 PLL 회로를 시뮬레이션 할 결과 PLL 회로는 5GHz에서 기준 신호와 위상오차가 0° 로 정확히 고정됨을 확인 할 수 있었다.

제안한 VCO를 사용하여 PLL 회로를 설계 하였을 경우 기존의 링 형식 발진기를 사용하였을 때 보다 높은 주파수와, 우수한 위상잠음 성능을 확보 할 수 있으며, LC 공진회로를 사용한 발진기 보다 넓은 주파수 튜닝범위와 칩 제작을 보다 작은 면적에 할 수 있는 장점을 가지게 된다.

아직 해결해야 할 많은 문제가 남아 있지만, 이러한 결과들은 성능확인 차원에서 뿐만 아니라 LC 공진회로를 사용하지 않고도 안정적인 높은 주파수를 확보 할 수 있음을 보여 준다. 따라서 수 GHz 대역의 RF 회로의 응용과 아날로그/디지털 합성 회로에서도 실리콘 기반의 CMOS 기술이 사용되어 질 수 있음을 증명할 수 있다.

참 고 문 헌

- [1] 박홍준, CMOS 아날로그 집적회로 설계, 시그마프레스, 1999.
- [2] S.J.Lee, B.Kim, and K.Lee, "A Novel High-Speed Ring Oscillator for Multiphase Clock Generation Using Negative Skewed Delay Scheme," IEEE J. Solid-State Circuit, vol.32, no.2, pp289-231, February 1997.
- [3] L. Sun, T. Kwasniewski, and K.Lniewski, "A quadrature Output Voltage Controlled Ring Oscillator Based on Three-Stage Subfeedback Loops," in Proc. IEEE Int. Symp. Circuit and Syst. (ISCAS), vol.2, pp.176-179.
- [4] Lizhong Sun and Tadeusz A.Kwsaniewski, "A 1.25-GHz 0.35 μm Monolithic CMOS PLL Based

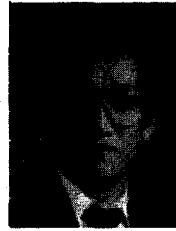
- on a Multiphase Ring Oscillator," IEEE J. Solid-State Circuit, vol.36, no.6, pp.910-916, June 2001.
- [5] Mihai Banu, and Alfred Dunlop, "A 660Mb/s CMOS Clock Recovery Circuit with Instantaneous Locking for NRZ Data and Burst - Mode Transmission," ISSCC Dig, Tech. Paper, pp. 102-103, Feb. 1993.
- [6] Byungsoo Chang, Joonbae Park, and Wonchan Kim, "A 1.2 GHz CMOS Dual-Modulus Prescaler Using New Dynamic D-Type Flip-Flops," IEEE Journal of Solid-State Circuits, p.p. 749-752, Vol.31, No. 5, May 1996.
- [7] 유희준, DRAM DESIGN, 홍릉과학출판사, 1996.

저 자 소 개



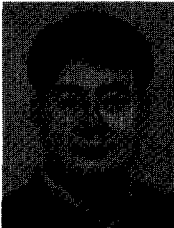
김 성 하(학생회원)
 2003년 동국대학교
 전자공학과 학사 졸업
 2005년 동국대학교
 전자공학과 석사 졸업
 2005년~현재 LG전자
 시스템IC 사업부 연구원

<주관심분야 : High frequency mixed circuits design>



황 인 석(평생회원)
 1972년 서울대학교
 전자공학과 학사 졸업
 1978년 U. of Wisconsin-Madison
 전자공학과 석사 졸업
 1982년 U. of Wisconsin-Madison
 전자공학과 박사 졸업

2000년~현재 동국대학교 전자공학과 교수
 <주관심분야 : VLSI Design/Technology, Computer Architecture>



김 삼 동(정회원)
 1983년 서울대학교
 금속공학과 학사 졸업
 1985년 서울대학교
 금속공학과 석사 졸업
 1993년 미국 Stanford대
 재료공학과 박사 졸업

2001년~현재 동국대학교 전자공학과 조교수
 <주관심분야 : MIMIC 소자 제조 공정 연구, 나노 게이트 초고속 HEMT 소자연구>