

논문 2005-42TC-12-21

고속 디지털 회로 PCB 상의 EMI 해석

(EMI Analysis on High Speed Digital Circuite)

김 태 홍*, 이 현 진**, 임 영 석*

(Taehong Kim, hyeonjin Lee, and yeongseog Lim)

요 약

최근 정보량의 증가로 고속 디지털 회로를 요구하고 있다. 이에 따라 소형 고주파 회로에 전자기 특성이 중요하게 대두되었다. 그래서 불완전한 그라운드 상에 PCB 회로의 고속 디지털 전송라인에 대한 신호 집적도와 두 평행 선로 사이의 결합특성을 3차원 전자기 해석법인 시간영역 유한차분법을 이용하여 해석하였다. FDTD 시뮬레이션 결과는 상용 회로 소프트웨어 툴인 ADS 시뮬레이터와 비교하였고, 집중 소자 모델링, 주파수에 따른 슬롯에 의한 전자파의 방사 등을 해석하였다. 결과로써 마이크로스트립 선로 아래 슬롯이 있는 경우 신호의 전송에 큰 영향을 끼치는 것을 알 수 있다.

Abstract

Recently, it has demanded high-speed digital circuits as information increase. Therefore, electromagnetic characteristics of compact microwave circuit occurred importantly. And, the effect of the imperfect ground plane on the signal integrity and influence of coupling between two parallel lines for high-speed digital transmission line on the printed circuit board is investigated by FDTD simulations in 3-D electromagnetic analysis method. The results of FDTD simulation are compared with the ADS simulation in commercial software, analyzed lumped element of modeling and electromagnetic wave's radiation of slot as frequency. As a consequence, when the slot in the ground plane is under microstrip line, it has much effect on propagation of wave.

Keywords : FDTD, EMI, PCB

I. 서 론

최근 사용하는 정보량의 증가로 인해 디지털 회로가 점점 고속, 소형 집적화를 요구하고 있다. 그에 따라 사용 주파수 대역이 점점 올라감에 따라 선로간의 간섭이나 소자간의 임피던스 정합(Impedance matching), EMI(Electromagnetic Interference) 영향 등이 전체 시스템의 성능에 크게 영향을 미치기 때문에 고속 PCB 회로를 설계하는 데 있어 필수적으로 고려해야 할 사항으로 대두되었다. RF(Radio Frequency) 회로(Circuit)는

사용주파수가 높아 파장이 짧기 때문에 일반회로와 달리 각 부품이나 소자를 연결하는 선로간의 임피던스 정합이 중요하다. 임피던스 정합이 되지 않으면 각 소자나 부품간의 반사파들이 발생하게 되어 회로의 오동작이나 효율이 많이 떨어진다. 따라서 일반 PCB와 달리 고주파를 이용하는 PCB 회로에서는 소자사이의 연결, 접지 문제 등 여러 가지 효과를 고려하여 설계를 해야 한다. 이러한 특성들을 시뮬레이션 하기 위해서는 소자나 선로간의 불연속, 접지면(ground plane)의 영향 등을 전자기적으로 해석해야 한다. 이를 위해 맥스웰 방정식의 수치해석법인 3차원 전파(full-wave) 시뮬레이션 방법 중의 하나인 시간영역 유한차분(Finite Difference Time Domain, FDTD) 법을 이용한다. 시간영역 유한차분법은 한 번의 시뮬레이션으로 광대역 주파수 응답 특성을 얻을 수 있는 장점 때문에 많이 이용된다. 이 논문에서는 고속 디지털 PCB상에서 발생할 수 있는 선로

* 정희원, 전남대학교 전자공학과
(Dept. of Electronics, Chonnam National University)

** 정희원, 동강대학 전자정보과
(Dept. of Electronic & Information Eng., Dongkang College)

접수일자: 2004년7월26일, 수정완료일: 2005년12월5일

간의 결합(coupling)의 영향, 불완전한 접지면에 의한 영향에 대하여 시뮬레이션을 하여 분석했다.

II. 시간영역 유한차분법 해석

시간영역 유한 차분 방법은 유한 공간 체적에 대하여 식 (1)의 맥스웰 컬 방정식을 중심 차분(central difference)으로 이산화하여 수식화 된다. 도체 선로 및 접지면은 접선 전계 성분을 완전도체(perfect conductor)로 가정하여 0으로 처리하고, 컴퓨터 자원(resource)의 한계로 계산영역을 유한하게 제한하는 데, 이를 위해 최외각 면들은 반사를 최소화시키기 위해 특별한 경계조건인 흡수경계조건 (absorbing boundary condition)을 적용한다.

$$\frac{\partial \vec{E}}{\partial t} = \frac{1}{\epsilon} \nabla \times \vec{H}, \frac{\partial \vec{H}}{\partial t} = -\frac{1}{\mu_0} \nabla \times \vec{E} \quad (1)$$

시간영역 유한차분법의 공급 전원으로는 식(2)의 가우시안 펄스(Gaussian pulse)는 주파수 스펙트럼도 가우시안 형태이고, 펄스폭을 조절함으로써 원하는 범위 내의 주파수영역 정보를 한 번의 시뮬레이션으로 얻을 수 있는 장점 때문에 해석 대상체를 여기 시키는 신호로써 널리 사용된다.

$$E_z(t) = E_0 e^{-(t-t_0)^2/T^2} \quad (2)$$

고속 PCB 회로의 소자를 전자기 해석하기 위해서는 일반 시간영역 유한차분법에 집중소자 (Lumped element)를 포함하여 일반 맥스웰 컬 차분 방정식을 다음 식 (3.a)-(3.c)으로 변환해야 한다.

1) 저항(Resistor, R)

$$E_{y,i,j,k}^{n+1} = \frac{1 - \frac{\Delta t}{2Re\Delta x\Delta z}}{1 + \frac{\Delta t}{2Re\Delta x\Delta z}} E_{y,i,j,k}^n + \frac{1}{2Re\Delta x\Delta z} \left(\frac{\Delta t}{\epsilon\Delta z} (H_{x,i,j,k+1}^{n+1/2} - H_{x,i,j,k}^{n+1/2}) - \frac{\Delta t}{\epsilon\Delta x} (H_{z,i+1,j,k}^{n+1/2} - H_{z,i,j,k}^{n+1/2}) \right) \quad (3.a)$$

2) 인덕터(Inductor, L)

$$E_{y,i,j,k}^{n+1} = E_{y,i,j,k}^n + \frac{\Delta t}{\epsilon\Delta z} (H_{x,i,j,k+1}^{n+1/2} - H_{x,i,j,k}^{n+1/2}) - \frac{\Delta t}{\epsilon\Delta x} (H_{z,i+1,j,k}^{n+1/2} - H_{z,i,j,k}^{n+1/2}) - \frac{\Delta y(\Delta t)^2}{Le\Delta x\Delta z} \sum_{k=0}^n E_{y,i,j,k}^k \quad (3.b)$$

3) 커패시터(Capacitor, C)

$$E_{x,i,j,k}^{n+1} = E_{x,i,j,k}^n + \frac{1}{2C\epsilon\Delta x\Delta z} \left(\frac{\Delta t}{\epsilon\Delta z} (H_{x,i,j,k+1}^{n+1/2} - H_{x,i,j,k}^{n+1/2}) - \frac{\Delta t}{\epsilon\Delta x} (H_{z,i+1,j,k}^{n+1/2} - H_{z,i,j,k}^{n+1/2}) \right) \quad (3.c)$$

III. 고속 PCB 상의 영향 해석

1. PCB 선로상에서 인접 선로에 의한 결합 영향

그림 1은 상대유전율 4.6, 유전체 두께 0.8[mm]의 FR4 재질에서 50[Ω]의 평행인 두 선로이다. 입출력 포트의 선로 두께는 50[Ω]인 2[mm]이다. FDTD 시뮬레이션에 이산화량은 셀 사이즈 x, y, z 축 각각 0.5[mm], 0.5[mm], 0.27[mm]이고, 시간 간격은 0.6[ps]이다. 시뮬레이션에 이용된 FDTD 전체 크기는 100 x 200 x 30으로 설정했고, 시간 반복회수는 4000회이다. 입력 여기신호로는 3dB 주파수 대역이 20[GHz]인 가우시안 펄스이고, 흡수 경계조건은 완전정합층(Perfectly matched layered, PML)법을 이용했다. 두 평행선로의 사이에 따

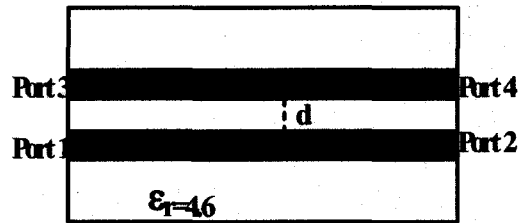


그림 1. PCB 상의 두 선로
Fig. 1. Two lines on Printed circuit board.

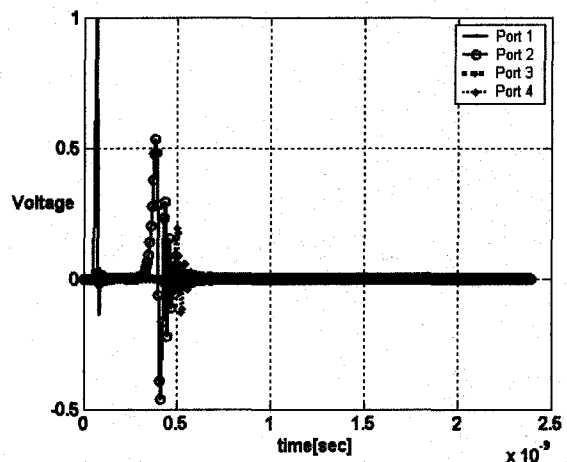


그림 2. 간격 d=3[mm] 일 때 시간에 따른 각 포트 전압 파형
Fig. 2. Time voltage waveform in the each port in that case distance d=3[mm].

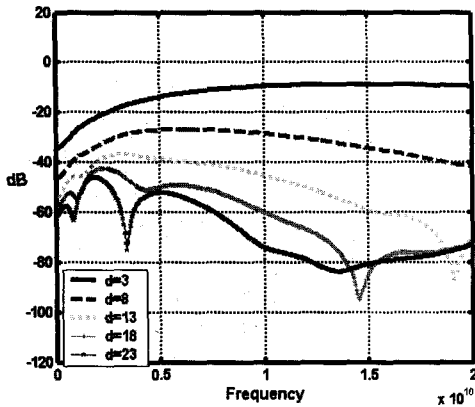


그림 3. 간격 d 에 따른 평행 선로 시뮬레이션 결과(S41)

Fig. 3. Simulation outcomes (S41) of parallel lines as to distance d.

른 영향을 알아보기 위해 간격 d를 23[mm]에서 3[mm]까지 5[mm]씩 줄여가면서 시뮬레이션을 수행했다.

그림 2의 결과는 시뮬레이션 중에서 두 선로 사이의 결합이 가장 많은 간격 d가 3[mm] 일 때의 각 포트별 시간에 따른 전압파형이다. 포트 1의 파형은 입사파형이고, 포트 2의 파형은 선로 끝에 전송된 파형, 포트 3과 4의 파형은 선로간의 결합에 의해 전달되어 진행한 파형을 나타낸다.

그림 3은 그림 2의 시간영역 전압파형 결과를 후리에 변환을 이용하여 주파수 영역으로 변환한 산란 파라미터 S41의 20[GHz]까지의 결과이다. 또한 간격을 3[mm]에서 23[mm]까지 5[mm] 증가시키면서 동일한 조건에서 시뮬레이션을 각각 수행한 후의 결과를 나타낸다. 간격 d가 50[Ω] 선로 폭의 1.5 배인 3[mm] 경우 8[GHz] 이상 주파수 대역에서 거의 -10[dB]정도 4포트로 투과함을 알 수 있고, 선로 간격 d가 6.5배 13[mm] 경우에는 3[GHz] 주파수 대역을 제외하고는 대부분 -40[dB] 이하로 서로 선로간의 영향이 크지 않음을 알 수 있다. 그 이상 간격인 18[mm]와 23[mm] 경우는 두 선로가 거의 영향을 받지 않는 비슷한 형태의 결과가 나타난 것을 알 수 있다.

2. PCB 상에서 불완전한 접지면에 의한 영향 해석

그림 4는 PCB 회로상에 불완전한 접지가 존재할 경우, 즉 접지면에 슬롯이 있을 경우 선로에 흐르는 신호의 영향을 알아보기 위한 구조로써, 특성 임피던스가 50[Ω]인 전송선로 사이에 50[Ω] 저항소자가 연결(connection)된 구조이다. 시뮬레이션에 사용된 기판은

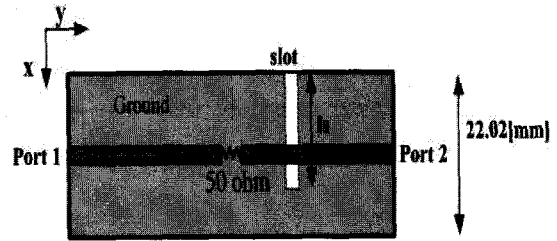


그림 4. 선로 밑 접지면에 슬롯이 있는 경우
Fig. 4. Microstrip line cross the slot.

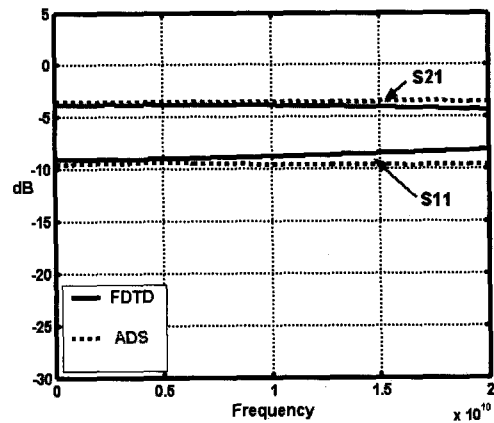


그림 5. 완전 접지면상의 저항 R=50[ohm]인 경우
Fig. 5. Microstrip line with 50[ohm] on perfect ground plane.

상대 유전율이 2.6, 두께는 0.78 [mm]인 테프론을 사용하였고, 시뮬레이션의 이산화량은 x, y, z축 각각 0.367[mm], 0.367[mm], 0.26[mm]이고, 시간 간격은 0.5 [ps]이다. 접지 면상의 슬롯의 길이(l_s)를 0[mm], 7.34[mm], 14.68[mm]에 따라 시뮬레이션을 수행하였다.

그림 5는 그림 4의 슬롯의 길이(l_s)가 0인 경우, 즉 접지면이 완전한 경우를 FDTD 시뮬레이션 한 후 주파수 변환하여 산란파라미터를 구한 결과와 상용 회로 소프트웨어인 에이질런트(Agilent)사의 ADS(Advanced Design System)와의 비교한 결과이다. 결과로써 10[GHz] 주파수 대역 아래에서는 ADS와 FDTD 시뮬레이션 결과가 거의 비슷함을 보이고, 그 이상 주파수로 올라감에 따라 점점 차이가 나타남을 알 수 있다. 이는 ADS가 회로 시뮬레이션을 하기 때문에 고주파에서 발생하는 마이크로스트립 선로의 분산(Dispersion) 특성을 정확히 해석하지 못하기 때문에 전자기 시뮬레이션하는 FDTD 법과는 차이가 나타나기 때문이다.

그림 6은 그림 4 구조의 슬롯 길이가 7.34 [mm], 폭이 0.734[mm] 일 때 시뮬레이션 결과이다. 그림 6의 결과는 그림 5의 결과, 즉 그라운드 면에 슬롯이 없는 경우와 거의 비슷함을 알 수 있다. 따라서 슬롯의 길이가

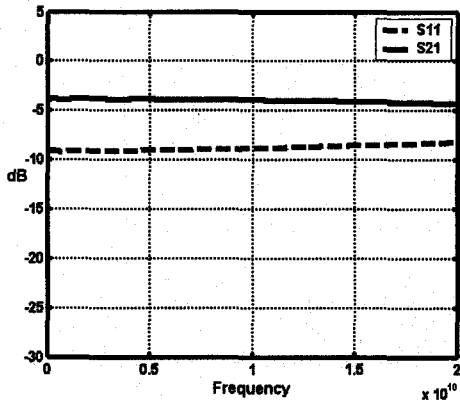


그림 6. 슬롯 길이가 $l_s=7.34$ [mm]인 경우
 Fig. 6. In case slot length $l_s=7.34$ [mm] of Fig.4.

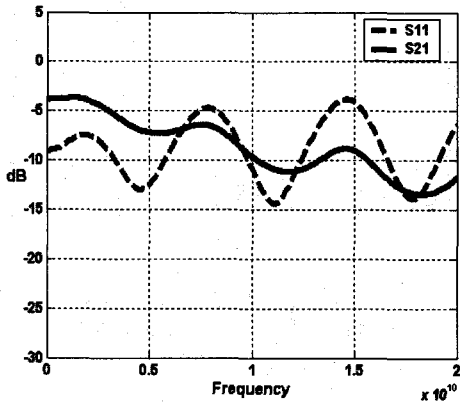


그림 7. 그림 4구조의 슬롯 길이가 $l_s=14.68$ [mm]인 경우
 Fig. 7. In case slot length $l_s=14.68$ [mm] of Fig.4.

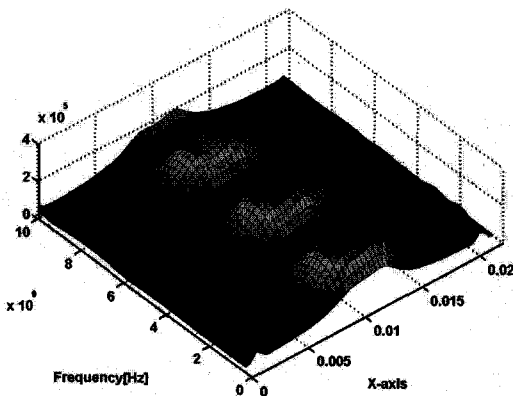


그림 8. 슬롯 길이가 7.34[mm] 일 때 주파수와 x축에 따른 근역 자기장 세기
 Fig. 8. Magnetic field spectrum on the frequency and x-axis in case slot length 7.34[mm].

7.34[mm] 인 경우는 신호의 전송에 거의 영향이 없음을 알 수 있다.

그림 7은 그림 4 구조의 접지면의 슬롯의 길이가

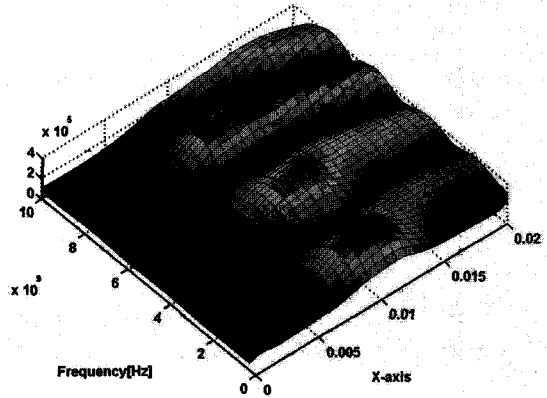


그림 9. 슬롯 길이가 14.68[mm] 일 때 주파수와 x축에 따른 근역 자기장 세기
 Fig. 9. Magnetic field spectrum on the frequency and x-axis in case slot length 14.68[mm].

14.68[mm]인 경우이다. 이 경우는 그림 6과 비교했을 때 전체적으로 큰 차이를 보이며, 고주파로 올라 갈수록 큰 영향을 받는 것을 알 수 있다. 이는 마이크로스트립 선로의 특성상 선로와 접지면 사이에 전계가 집중되어 있기 때문에 선로가 슬롯의 영향을 많이 받아서 변화가 크게 발생했고, 그림 6은 전송선로와 슬롯이 떨어져 있으므로 영향을 덜 받았기 때문이다.

그림 8과 9는 그림 4 구조의 슬롯 길이가 7.34[mm], 14.68[mm] 접지면에 슬롯이 있는 경우 마이크로스트립 선로 3.3[mm] 위 부분에서 주파수에 따른 자기장의 세기를 나타낸다. 슬롯 길이가 마이크로스트립 선로에 직접 영향을 끼치는 14.68[mm] 일 경우에 근역장의 세기가 훨씬 크게 나타남을 알 수 있다.

IV. 결 론

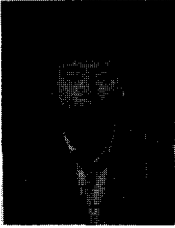
사용하는 정보량의 급증으로 인해 디지털회로가 고속, 집적화 되고 있다. 따라서 그에 따라 사용 주파수가 높아짐에 따라 발생하는 선로간의 간섭이나 임피던스 정합, EMI 영향 등이 고주파 PCB 회로 설계의 문제가 되고 있다. 시간영역 유한차분법을 이용하여 고주파 평행 선로간의 결합에 의한 영향과 집중소자의 모델링 해석, 불완전한 접지에 의한 선로의 영향, 그에 따른 방사장 등에 대하여 시뮬레이션을 수행하였다. 시뮬레이션 결과의 타당성은 상용 소프트웨어인 ADS와 비교 수행을 하였다. 시뮬레이션 결과 두 평행선로의 결합은 선로간의 간격이 약 6.5배 이상 떨어졌을 경우 큰 영향이 없음을 알 수 있고, 불완전한 접지면의 영향은 전송선

로 아래에 슬롯이 존재할 경우에는 고주파로 올라 갈수록 큰 영향을 받음을 알 수 있다. 이 논문의 결과가 고주파 PCB 회로의 설계에 도움이 되리라 사려 된다.

참 고 문 헌

- [1] Yee,K.S., "Numerical analysis of initial boundary value problems involving Maxwell's equations in isotropic media," *IEEE Trans..Antennas and Propagation*, Vol.14,1966,pp.302-307
- [2] Fang,J.,and Z.Wu, "Generalized perfectly matched layer for the absorption of propagating and evanescent waves in lossless and lossy media," *IEEE Trans.,MTT*, Vol.14,1996,pp.2216-2222
- [3] Piket-May,M.J.,A.Taflove and J.Baron, "FDTD modeling of digital signal propagation in 3-D circuits with passive and active loads," *IEEE Trans.MTT*, Vol.42,1994, pp.1514-1523
- [4] Jason Mix, Gary Haussmann, Melinda Piket-May and Kevin Thomas, "EMC/EMI Design and Analysis Using FDTD", *IEEE 1998*, pp.177-181
- [5] Yen-Hui Lin and Tzong-Lin Wu, "Investigation of Signal Quality and Radiated Emission of Microstrip Line on Imperfect Ground Plane:FDTD Analysis and Measurement", *IEEE 2001*, pp.319-324
- [6] Min Li, Kuang-Ping Ma, David M.Hockanson, James L.Drewniak, Todd H.Hubing and Thoman P.Van Doren, "Numerical and Experimental Corroboration of an FDTD Thin-Slot Model for Slots Near Corners of Shielding Enclosures", *IEEE Trans.on EMC. vol.39, No.3, August 1997*.
- [7] C. N. Kuo, T. Itoh,et.al, "Modeling of microwave active devices using the FDTD analysis based on the voltage-source approach", *IEEE Microwave and Guided Wave Letters*, vol.6,no.5,May 1996.

저 자 소 개



김 태 홍(정회원)
 1997년 전남대학교
 전자공학과 학사 졸업.
 1999년 전남대학교
 전자공학과 석사 졸업.
 2005년 전남대학교
 전자공학과 박사 졸업.

2001년 6월~2005년 11월 전남대학교 고품질
 전기전자부품 및 시스템 연구센터 전문
 연구요원 복무

<주관심분야 : 전자파해석, 초고주파회로 설계>

이 현 진(정회원)
 제 42권 TC 편 제 4호 참조

임 영 석(정회원)
 제 42권 TC 편 제 4호 참조