

나노 부유 게이트 메모리 소자 응용을 위한 실리콘 나노-바늘 구조에 관한 연구

Study on the Silicon Nano-needle Structure for Nano Floating Gate Memory Application

정성욱¹, 유진수¹, 김영국¹, 김경해¹, 이준신^{1,a}
(Sungwook Jung¹, Jinsu Yoo¹, Youngkuk Kim¹, Kyunghae Kim¹, and Junsin Yi^{1,a})

Abstract

In this work, nano-needle structures are formed to solve problem, related to low density of quantum dots for nano floating gate memory. Such structures are fabricated and electrical properties of MIS devices fabricated on the nano-structures are studied. Nano floating gate memory based on quantum dot technologies is a promising candidate for future non-volatile memory devices. Nano-structure is fabricated by reactive ion etching using SF₆ and O₂ gases in parallel RF plasma reactor. Surface morphology was investigated after etching using scanning electron microscopy. Uniform and packed deep nano-needle structure is established under optimized condition. Photoluminescence and capacitance-voltage characteristics were measured in Al/SiO₂/Si with nano-needle structure of silicon. we have demonstrated that the nano-needle structure can be applicable to non-volatile memory device with increased charge storage capacity over planar structures.

Key Words : Floating gate, Nano-needle, Reactive ion etching, MIS

1. 서론

현재 비휘발성 메모리 분야에서는 플래시 메모리의 뒤를 이어 소자의 고집적화, 미세화 및 고성능화 등의 요구 조건에 맞는 차세대 반도체 정보 기억장치들이 다양하게 시도되고 있으며, 그 종류로는 소자의 분극현상을 이용하는 FRAM, 가장성체의 자화상태에 따른 자기장 터널 접합(MJT) 박막의 저항 변화를 이용하는 MRAM, 상변화로 인한 저항변화를 이용하는 PRAM, 그리고 양자점(QD)을 이용하는 NFGM 등이 있다[1].

반도체 소자의 대부분을 담당하고 있는 MOSFET 소자의 최소 선폴은 0.1 μm 이하에 도달하고 있고,

30 nm 이하의 최소 게이트 선폴을 갖는 소자에 대한 연구 결과들이 보고되고 있다. 0.1 μm 이하의 나노급 MOSFET 기술에 있어서는 극복하여야 할 많은 제조 공정기술상의 문제점이 있을 뿐만 아니라, 최소 선폴 10 nm 수준의 공간에서는 물리적인 관점에서 양자역학적 원리에 의한 전자의 운동 효과가 크게 나타나기 때문에 전자를 단순히 독립적인 전하 입자로 취급하였던 고전적인 원리에 바탕을 둔 트랜지스터 동작을 기대할 수 없게 된다. 이러한 양자효과를 이용하고 여타의 비휘발성 메모리 기술보다 현재 CMOS 기술에 더욱 적합한 나노 부유 게이트 메모리 소자의 연구가 매우 활발하게 진행되고 있다. 특히 나노 사이즈의 입자들은 단전자 트랜지스터(Single Electron Transistor)나 나노 부유 게이트 메모리와 같은 미래의 고성능 소자로의 적용 가능성 때문에 많은 주목을 끌고 있다[2,3].

부유 게이트 메모리 기술의 핵심은 이중 게이트

1. 성균관대학교 정보통신공학부

(경기도 수원시 장안구 천천동 300)

a. Corresponding Author : yi@yurim.skku.ac.kr

접수일자 : 2005. 7. 12

1차 심사 : 2005. 9. 5

심사완료 : 2005. 10. 10

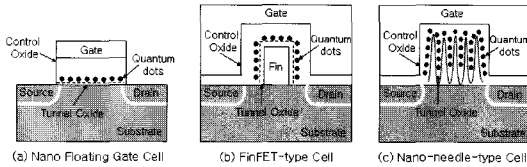


그림 1. 부유 게이트 메모리 제작을 위한 기존의 연구와 본 연구에서 제안한 나노 바늘 구조의 형태 비교.

Fig. 1. Comparison of existing research and our group's research for floating gate memory fabrication.

사이에 양자점을 인위적으로 형성하여 전자로 정보를 저장하는 것으로써, 구조는 평면적인 이중 게이트 소자(Planar Double Gate Device)를 이용하는 것이었다. 안정성의 증가와 크기의 감소를 통한 칩(chip)의 용량 증가를 위하여 textured poly 소자들이 최초의 비평면적인 부유 게이트 소자로 제안되었고[4], 현재는 부유 게이트 메모리 소자의 핵심 연구 분야인 양자점의 크기를 조절하는 것과 양자점의 밀도를 높여 더욱 다량의 정보를 저장하기 위한 노력이 진행 중인데, 주로 FinFET 구조의 형성을 통한 양자점의 밀도를 높이고 안정성 증가 및 소자의 scaling down을 위한 연구들이 진행되고 있다[3,5-7].

본 연구에서는 그림 1과 같이 더욱 미세한 구조에 고성능의 효율을 나타낼 수 있도록 양자점의 밀도를 높이는 새로운 방안인 나노 바늘(Nano-needle) 구조를 제안하였으며, 미세 구조의 형성을 위하여 평행판형 RF 플라즈마 반응관 내에서 SF₆/O₂ 플라즈마를 사용하였으며 각각의 기체는 MFC(Mass Flow Controller)를 통해 챔버내로 유입된다. 초미세 전자회로의 고밀도 패턴을 형성하기 위하여 건식식각 기술은 필수적이며, 또한 비등방성 에칭이 가능하다는 장점도 가지고 있다. 특히 반응성 이온 에칭(RIE) 장비는 13.56 MHz의 주파수를 가진 전계를 전극에 가해 반응 기체를 방전시켜 전극에 형성된 자기 바이어스(self-bias)에 의해 이온을 기관으로 가속시킴과 동시에 방전시 형성된 활성종들을 반응에 관여시킴으로써 고밀도 집적 회로에 더욱 효과적으로 사용이 가능하다. 플라즈마 식각 공정 변수인 압력파워와 반응가스의 선택과 혼합비, 가스압력, 전극의 구성과 배치, 전기장과 기관의 바이어스 전압 등의 변수 중에서 반응가스로 SF₆/O₂를 사용하였으며, 반응가스의 flow rate의 조절과 RF power의 조절을 주요 변수

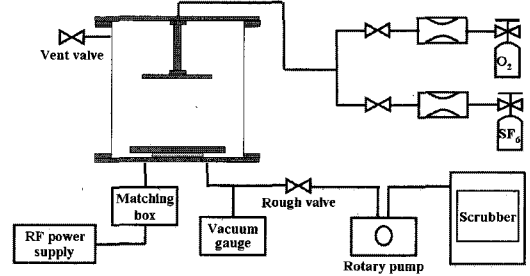


그림 2. 본 연구를 위해 제작한 평행판형 RF 플라즈마 반응관.

Fig. 2. Planar RF plasma reactor for our research.

로 하였다. 일반적으로 SF₆는 실리콘을 식각하는데 있어서 식각율은 매우 높으나 등방성 식각을 유발하는 기체로 알려져 있다. 따라서 SF₆와 O₂를 적당히 혼합하여 비등방성 에칭을 유도하였는데, 개략적인 메커니즘은 SF₆는 반응성이 강한 F 라디칼을 형성하여 실리콘을 에칭하는 역할을 하며, O₂는 산소 라디칼을 제공하여 실리콘 표면을 passivation 시키는 역할을 한다[8,9]. 기체의 흐름속도(flow rate)와 RF power의 조절을 통한 반응성 이온 에칭(Reactive Ion Etching) 방법으로 균일하면서도 최소의 두께를 가지는 나노 구조를 제작할 수 있었다. 또한, 제작된 나노 바늘 형태의 실리콘 표면 위에 Al/SiO₂/Si의간단한 MIS 구조를 만들어 전기적인 특성을 조사하였다.

2. 실험

2.1 평행판형 RF 플라즈마 반응관

실리콘 표면의 나노 구조 형성을 위하여 제작한 평행판형 RF 플라즈마 반응관은 그림 2와 같은 형태로 구성하였으며, 전극 간 간격을 자유롭게 조절할 수 있도록 하였으며, 플라즈마는 radio frequency(RF, 13.56 MHz)에서 생성하였고, 챔버 내로 유입되는 가스의 양은 MFC를 사용하여 조절할 수 있도록 하였다. 플라즈마 에칭 시간은 15분 정도 지속하였다.

2.2 반응성 이온 에칭을 통한 나노 바늘 구조 형성

SF₆/O₂ 기체를 사용한 에칭은 실온에서 RIE 시스템에서 실행되었다. 초기 클리닝에 의한 영향을 검토하기 위하여 실리콘 웨이퍼의 세정은 HF-last

방법과 only-HF 방법을 사용하였다. 에칭 전단계로 O_2 플라즈마를 이용한 표면 처리를 한 후, SF_6/O_2 기체를 함께 사용하여 에칭을 수행하였다.

에칭작업 수행 후에 콜로이드 파티클은 dilute HF로 제거하였다. SF_6/O_2 유량(flow rate)을 다양하게 변경하면서 나노 구조의 형성 과정을 조사하였으며, RF power에 따른 표면 구조도 관찰하였다. 나노 구조의 표면 morphology는 Scanning Electron Microscope(SEM)를 사용하여 분석하였으며, SF_6 의 양에 따라 표면 구조가 급격하게 변화함을 확인할 수 있었다.

2.3 Al/SiO₂/Si 구조 제작

생성된 깊은 나노 바늘 구조, 얇은 나노 바늘 구조, 그리고 일반적인 평면 기판 위에 PECVD를 사용하여 SiO₂를 증착하였고, 증착된 SiO₂ 층 위에 Al을 증착하여 간단한 MIS 구조를 형성하였다. Al/SiO₂/Si 구조의 MIS 형성 후에 표면 상태가 각각 다른 샘플들의 전기적 특성을 조사하기 위하여 C-V를 측정하였다. C-V 특성은 impedance meter를 사용하여 측정하였으며, accumulation, depletion, inversion 성질이 잘 나타남을 확인할 수 있었다.

또한, 전극 형성후 반도체의 구성 성분과 물성을 측정하기 위하여 PL(Photoluminescence)을 사용하여 성분 조사를 하였다.

3. 결과 및 고찰

깊은 나노 바늘(Deep Nano-needle)의 형성 조건은 SF_6 의 유량이 22 sccm, RF power가 100 W이었으며, SEM을 통한 표면 이미지를 촬영한 결과, 최소 바늘의 폭이 60 nm로 형성됨을 확인할 수 있었으며, 간단한 MIS 소자 제작을 실행한 후 PL 과 C-V 측정하여 소자의 원활한 동작을 확인할 수 있었다.

3.1 가스 유량에 따른 표면 구조 및 나노 구조 형성

표면의 구조에 영향을 주는 가스 혼합비에 대한 조사를 위하여 모든 샘플에 대해 RF power는 100 W로 고정하였으며, 동시에 에칭 시간도 15분으로 고정하였다. 또한 O_2 기체의 유량도 고정하여 변화가 없도록 하였으며, SF_6 기체의 양만을 조절하면서 반응성 이온 에칭을 수행하였다. SF_6 의 유량을 13 sccm, 16 sccm, 19 sccm, 22 sccm으로 변경하

면서 에칭을 수행하였고, 에칭된 실리콘 표면의 morphology는 SEM을 사용하여 분석하였다. 각각의 SEM 이미지는 그림 3에 보여지는 것과 같으며, 표면의 구조는 그림 3(a)의 경우는 표면이 전체적으로 굴곡이 없는 부드러운 상태이며, SF_6 의 양이 증가할수록 표면에서의 날카로운 수직 구조가 형성됨을 확인할 수 있었다. SF_6 의 양이 19 sccm에서 그림 3(c)와 같은 날카로운 수직 구조인, 얇은 나노 바늘(Shallow Nano-needle) 구조가 나타나기 시작하였다. 그림 3(d)의 경우는 SF_6 의 양이 22 sccm인 경우이며, 이 경우에 매우 날카로운 수직 구조, 깊은 나노 바늘(Deep Nano-needle)의 형태가 나타남을 확인할 수 있었으며 또한, SF_6 의 양을 더욱 증가시키면 나노 바늘 구조가 빠르게 없어짐이 확인되었다.

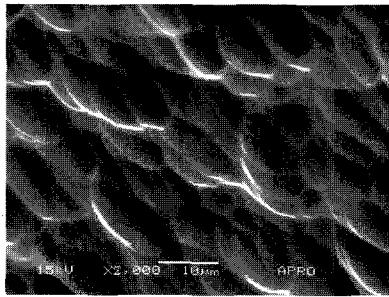
SF_6 의 유량을 달리하면서 표면구조를 조사해 본 결과, SF_6 로부터 생성되는 F 라디칼이 실리콘과의 원활한 반응을 통하여 SiF₄를 생성하여 외부로 배출함에 기인한 것이며, 적절한 O_2 의 양은 이방성을 강화시키는 효과가 있음을 알 수 있었으며, SF_6 의 양이 많아졌을 경우에는 많아진 SF_6 에 의하여 등방성 에칭이 증가함에 따른 영향으로 분석된다.

실험을 통하여 깊은 나노 바늘(Deep Nano-needle) 구조가 형성되는 최적의 SF_6 양은 22 sccm 이었고, SEM 측정시 바늘 구조의 높이와 폭을 측정한 결과를 통하여 형성된 나노바늘의 크기는 60~70 nm 정도였으며, aspect ration은 10 정도의 결과를 확인할 수 있었다.

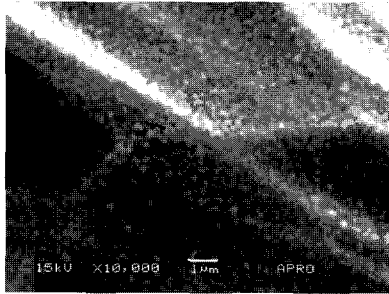
3.2 RF power에 따른 표면 구조 및 나노 구조 형성

나노 구조 형성에 관계된 RF power의 효과를 관찰하기 위하여 SF_6/O_2 의 유량을 일정하게 유지하고, 에칭 시간을 15분으로 고정시킨 후에 RF power 값을 변화시키면 표면 구조를 확인해 보았다.

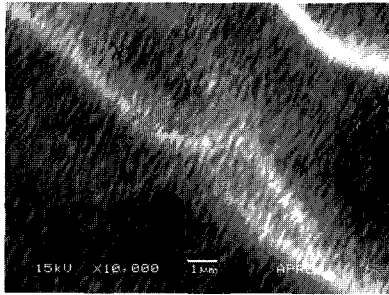
표면 morphology는 그림 4와 같이 나타났으며, 100 W의 RF power에서 가장 깊은 나노 바늘(Deep Nano-needle) 구조가 형성됨을 확인할 수 있었다. 그림 4(a)는 RF power를 60 W로 하여 에칭한 것으로 아직 나노 바늘 구조의 형성은 볼 수가 없다. RF power를 80 W로 증가시키자 그림 4(b)와 같은 얇은 나노 바늘(Shallow Nano-needle) 구조가 나타나기 시작하였고, RF power가 100 W였을 때, 깊은 나노 바늘(Deep Nano-needle)의 형태가 뚜렷히 나타남을 확인할 수 있었다. 그러나 RF power를 더욱 증가시키면 나노 바늘 구조가 사라짐을 확인할 수 있었다.



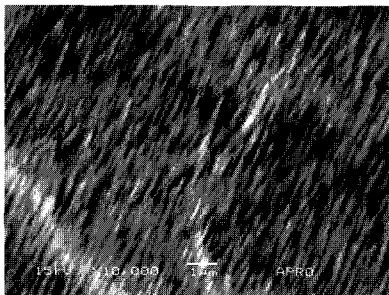
(a)



(b)



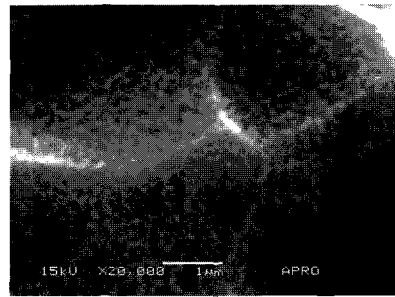
(c)



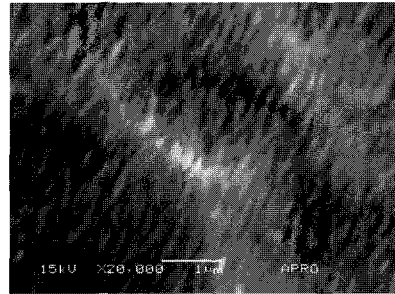
(d)

그림 3. SF₆의 유량 변화에 따라 에칭된 실리콘 표면의 SEM 이미지. (a) 13 sccm (b) 16 sccm (c) 19 sccm (d) 22 sccm.

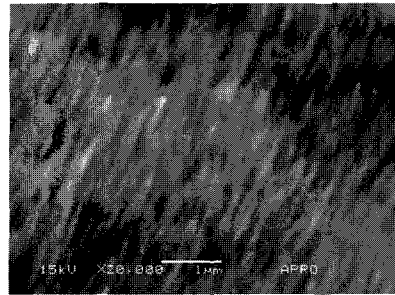
Fig. 3. SEM image of etched silicon surface using different SF₆ flow rate. (a) 13 sccm (b) 16 sccm (c) 19 sccm (d) 22 sccm.



(a)



(b)



(c)

그림 4. RF power 값의 변화에 따라 에칭된 실리콘 표면의 SEM 이미지. (a) 60 W (b) 80 W (c) 100 W.

Fig. 4. SEM image of etched silicon surface using different RF power. (a) 60 W (b) 80 W (c) 100 W.

RF power를 변화시키며 에칭을 실행해 본 결과, RF power가 증가함에 따라 나노 구조 형성이 진행되며, 100 W에서 가장 날카로운 나노 바늘 구조를 형성하였고, 100 W를 넘어서는 RF power에 대해서는 나노 구조가 사라짐을 알 수 있었다. 이는 RF power와 current density에 관련된 것으로 power가 증가함에 따라 current density가 증가하다가, 특정값 이상의 power에서는 current density가 감소하는 것에 따른 것으로 보인다[10].

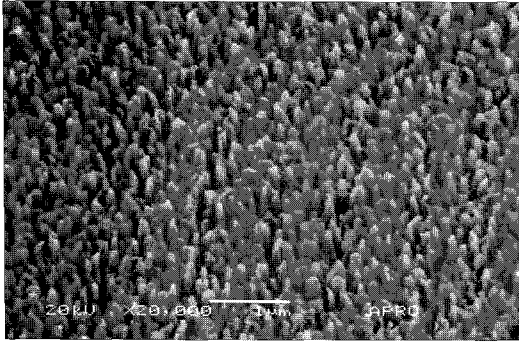


그림 5. 최적화 조건을 사용하여 에칭한 실리콘 표면의 SEM 이미지.

Fig. 5. SEM image of etched silicon surface using optimized condition.

최적의 조건에서의 표면이미지는 그림 5에 나타내었다.

3.3 Photoluminescence (PL) 측정

본 실험에서는 SF₆/O₂ 플라즈마 에칭 후에 형성된 나노 바늘 구조의 PL spectra를 측정하였으며, 그림 6에 PL 측정 결과를 도시하였다. 그림 6은 깊은 나노 바늘의 PL 측정 결과를 나타낸 것으로서, 3.5 mW에서 333.5 nm(3.72 eV)의 excitation wavelength를 가진 N₂ 레이저를 이용하여 상온에서 분석하였다. 시료들은 산화막 위에서 가시적인 Photoluminescence를 나타냈고, 강한 밀도를 가진 yellow/green 발산을 확인할 수 있었다. 560~570 nm 영역에서 나타난 PL peak은 Si/SiO₂ 계면 상태와 함께 실리콘 cluster에서 양자 억제 현상(quantum confinement effect)의 복합적인 영향의 발생을 설명할 수 있다.

3.4 MIS 구조의 capacitance-voltage 조사

SF₆의 유량의 변화에 따라 표면 특성이 부드러운 상태에서 나노 바늘과 같은 구조로 변화할 때의 계면에서 발생하는 현상을 관찰하기 위하여 SiO₂의 절연층으로 구성된 MIS 구조의 high frequency capacitance-voltage를 조사해 보았다. MIS 분석을 위하여 저항 10 Ω-sq의 p-type mirror polished 단결정 웨이퍼를 사용하였으며, 앞에서 실험한 다양한 SF₆ 유량(flow rate)에서 에칭을 실시하였다. 두께 70 nm의 SiO₂ 박막을 에칭으로 인해 표면 상태가 다른 단결정 실리콘 표면에

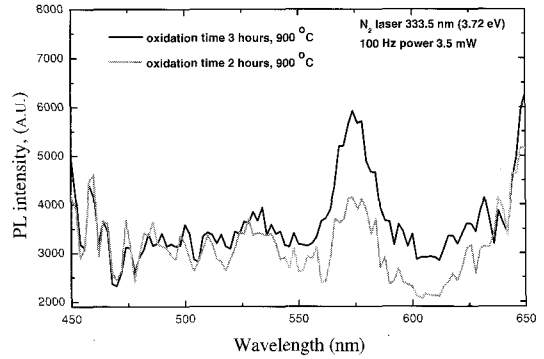


그림 6. SF₆/O₂ 플라즈마 에칭 후 형성된 깊은 나노 바늘 구조의 PL 측정결과.

Fig. 6. PL data of deep nano-needle structure after SF₆/O₂ plasma etching.

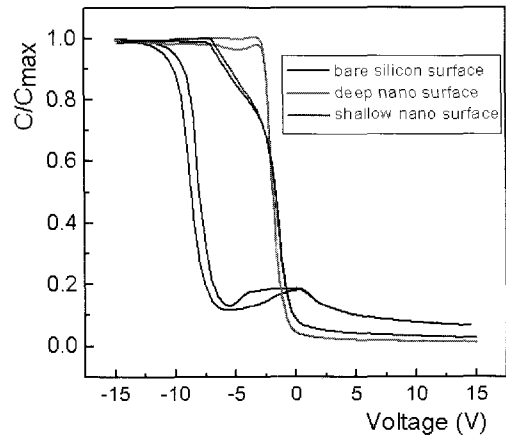


그림 7. 다른 실리콘 표면 구조를 가진 MIS의 high frequency capacitance-voltage 특성.

Fig. 7. property of high frequency capacitance-voltage of MIS structure having different silicon surface structures.

증착하였고, 비교를 위하여 bare-실리콘 웨이퍼 위에도 SiO₂를 증착하여 MIS 구조를 만들었다.

Al/SiO₂/Si(Bare-Si), Al/SiO₂/DNN(Deep Nano-needle), 그리고 Al/SiO₂/SNN(Shallow Nano-needle)에서의 1MHz의 주파수를 사용하여 high frequency C-V 특성을 impedance meter를 사용하여 측정하였고, 관찰된 특성은 그림 7에 나타내었다. 모든 C-V 그래프는 accumulation, depletion,

inversion 성질을 잘 나타내고 있다. C-V 그래프로부터 SF₆ flow rate의 증가에 따라 이력현상(hysteresis)의 폭이 감소한다는 것을 알 수 있었으며, 이것은 forward bias와 reverse bias 사이의 이력현상의 부족이 SiO₂:Si 계면 가까이에서 지역화된 전자 덩어리와 산화막층 내의 이동 전하의 낮은 밀도를 나타낸다는 것도 알 수 있다.

4. 결론

평행판형 RF 플라즈마 반응관에서 반응성 이온 에칭을 이용하여 나노 바늘(Nano-needle) 구조의 표면을 형성하였고, 나노 바늘의 폭을 최소화 시킬 수 있는 최적화된 조건은 SF₆ 유량은 22 sccm, RF power는 100 W 이었고, 에칭 시간은 15분이었다. 형성된 나노 바늘(Nano-needle) 구조의 실리콘은 직경이 60~70 nm이고 aspect ratio가 약 10 정도인 원뿔 형태를 나타낸다. SF₆/O₂ 유량과 RF power의 조절을 통하여 매우 깊은 나노 바늘(Deep Nano-needle) 구조 및 얇은 나노 바늘(Shallow Nano-needle) 구조의 표면을 제작할 수 있었다. 부유 게이트 메모리의 양자점 밀도 증가를 위하여 깊은 나노 바늘(Deep Nano-needle) 구조의 사용이 가능하며, 또한 표면의 나노 구조 형성시의 특성을 이해하기 위하여 PL, 전기적인 특성을 조사하여 계면에서 발생하는 여러 현상들을 이해할 수 있었으며, 부유 게이트 메모리의 양자점 밀도를 높여 미세구조 내에 다량의 정보 저장에 응용할 수 있다 하겠다.

감사의 글

본 연구는 산업자원부에서 시행한 차세대 성장 동력사업 중 하나인 0.1 Tb급 차세대 비휘발성 메모리 개발 사업(과제번호 : 2004-0587-000)의 지원에 의해서 수행된 연구결과입니다.

참고 문헌

- [1] R. Bez and A. Pirovano, "Non-volatile memory technologies: emerging concepts and new materials", *Materials Science in Semiconductor Processing*, Vol. 7, No. 4-6, p. 349, 2004.
- [2] W. D. Brwon and J. E. Brewer, "Nonvolatile Semiconductor Memory Technology", IEEE Press, New York, p. 156, 1998.
- [3] G. Molas, Barbara De Salvo, Gerard Ghibaudo, D. Mariolle, A. Toffoli, N. Buffet, R. Puglisi, S. Lombardo, and S. Deleonibus, "Single electron effects and structural effects in ultrascaled silicon nanocrystal floating-gate memories", *IEEE Transactions on Nanotechnology*, Vol. 3, No. 1, p. 42, 2004.
- [4] H. A. R. Wegener, "Endurance model for textured poly floating gate memories", *Technical Digest of the 1984 IEEE IEDM*, Paper 17.7, p. 480, 1984.
- [5] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Boker, and C. Hu. "FinFET - A self-aligned double-gate MOSFET scalable to 20 nm", *IEEE Transactions on Electron Devices*, Vol. 47, No. 12, p. 2320, 2000.
- [6] J. Kretz, L. Dreeskornfeld, J. Hartwich, and W. Rosner, "20 nm electron beam lithography and reactive ion etching for the fabrication of double gate FinFET devices", *Microelectronic Engineering*, Vol. 67, No. 1, p. 763, 2003.
- [7] Chang L. L., Choi Y. K., Hà D. W., et al., "Extremely scaled silicon nano-CMOS devices", *Proceedings of the IEEE*, Vol. 91, No. 11, p. 1860, 2003.
- [8] M. Sugawara, "Plasma Etching", Oxford University Press, New York, p. 180, 1998.
- [9] H. Jansen, M. de Boer, J. Burger, R. Legtenberg, and M. Elwenspoek, "The black silicon method. II : The effect of mask material and loading on the reactive ion etching of deep silicon trenches", *Microelectronic Engineering*, Vol. 27, No. 1-4, p. 475, 1995.