

새로운 바이어스 회로를 적용한 S-band용 저잡음 증폭기 및 믹서의 One-Chip 설계

Design of the Low Noise Amplifier and Mixer Using Newly Bias Circuit for S-band

김 양 주 · 신 상 문 · 최 재 하

Yang-Joo Kim · Sang-Moon Shin · Jae-Ha Choi

요 약

본 논문에서는 S-band 대역에서의 수신단 one-chip MMIC 저잡음 증폭기, 믹서의 설계 및 제작, 측정에 관한 연구를 수행한다. 저잡음 증폭기는 공통 소스 구조의 2단으로 설계하였으며, 믹서는 LO 및 RF balun으로 구성되고, 이는 능동 소자를 이용하여 구현하였다. 각 능동 소자의 공정상의 변화를 보상하기 위하여 새로운 바이어스 안정화 회로를 적용하였다. 그리고 이를 단일 칩으로 구현, 제작하였다. 측정 결과로 저잡음 증폭기는 2.1 GHz에서 15.51 dB의 이득과 1.02 dB의 잡음지수를 가지고 있으며, 믹서의 변환 이득은 -12 dB이며 IIP3는 약 4.25 dBm, 포트간 격리도는 25 dB 이상의 값을 가진다. 제안된 새로운 바이어스 회로는 FET와 저항으로 구성되며 공정상의 변화와 온도의 변화 등에 의한 문턱 전압의 변화를 보상해 줄 수 있다. 제작된 칩의 크기는 1.2[mm]×1.4[mm]이다.

Abstract

In this paper, the study of a design, fabrication and measurement of the receiver MMIC LNA, mixer for S-band application is described. The LNA is designed by 2-stage common source. The mixer is composed of active LO and RF balun to integrate on a chip and applied a newly proposed bias circuit to compensate the process variations of active devices. The LNA has 15.51 dB-gain and 1.02dB-Noise Figure at 2.1 GHz. The conversion gain of the mixer is -12 dB, IIP3 is approximately 4.25 dBm and port-to-port isolation is over 25 dB. The newly proposed bias circuit is composed of a few FETs and resistors, and can compensate the variation of the threshold voltage by the process variations, temperature changes and etc. The designed chip size is 1.2[mm]×1.4[mm].

Key words : One-Chip, MMIC, LNA, Mixer, Bias Circuit

I. 서 론

본 논문에서는 수신단의 가장 앞단에 위치하면서 안테나로부터 입력되는 미약한 신호를 저잡음으로 증폭하여 다음 단에서 처리할 수 있는 레벨로 증폭시키는 기능을 갖는 저잡음 증폭기(LNA: Low Noise

Amplifier)와 2.15 GHz의 RF 주파수를 210 MHz의 IF 주파수로 하향 변환시켜 주기 위한 믹서(mixer)와 LO balun, RF balun, 그리고 믹서에 적용한 바이어스 안정화 회로를 하나의 칩으로 구현하기 위한 연구를 수행하였다. 일반적으로 수신기의 잡음 특성은 첫째 단에 사용되는 증폭기의 잡음특성에 크게 의존하므

「본 논문은 2003년도 울산대학교 연구비 지원에 의하여 연구되었음.」

「본 논문을 쓰는데 도움을 주신 반도체설계교육센터(IDECE)에 감사드립니다.」

울산대학교 전기전자정보시스템공학부(School of Electrical Engineering and Information Systems, University of Ulsan)

· 논문 번호 : 20050830-095

· 수정완료일자 : 2005년 11월 17일

로 저잡음 증폭기는 수신기 시스템 전체의 잡음 성능을 향상시키는 중요한 역할을 한다. 설계된 저잡음 증폭기는 공통소스 구조의 2단으로 설계하였다. LO 및 RF balun은 one-chip으로 설계하는데 적합한 능동 소자를 이용하였으며, 본 설계에 적용한 저항성 믹서는 FET의 저항성 영역에서 동작하는 것으로 드레인 바이어스를 걸지 않기 때문에 전력 소모가 거의 없을 뿐만 아니라 게이트 믹서나 드레인 믹서에 비해 잡음 특성이 우수하다는 장점을 가진다^{[2]~[5]}. 마이크로웨이브 대역에서 사용되는 무선 시스템의 송수신단 소자인 저잡음 증폭기, 믹서, 전력 증폭기들은 매우 정규화된 DC 전원을 필요로 한다. 특히 신호 증폭용 소자들은 바이어스 점을 안정적으로 유지해 주어 발진 등의 예상치 못한 문제들에 대한 대비를 할 필요가 있다^[1]. 또 초고주파 집적 회로 설계시 동작점 설정에서 시작하고, 칩의 동작 특성을 보상하기 위해서는 설계된 값으로 제작되어야 하지만 공정상 발생하는 공정 오차(process variation)와 온도 변화로 인해 설정된 값으로부터 벗어날 수 있다. 회로는 설계에서부터 공정 오차와 온도 변화에 따른 특성의 변화를 보상할 수 있도록 설계되어야 한다^[6]. 본 설계에서 이런 오차들을 보상하도록 새로운 바이어스 안정화 회로를 믹서에 적용하였다. 제작은 ETRI 0.5 μm GaAs MESFET 공정을 이용하였다.

II. 저잡음 증폭기

설계된 저잡음 증폭기는 공통 소스 구조의 2단으로 설계하였다. 적절한 동작점을 설정하기 위하여 잡음, 선형성을 고려하여 게이트 바이어스 전압을 0.3 V로 게이트 바이어스 저항을 20 k Ω 으로 결정하였다. 첫째 단 증폭기는 잡음 정합과 임피던스 정합을 동시에 시킬 수 있도록 소스에 인덕터를 사용하였고, 둘째 단 증폭기는 드레인에 인덕터를 사용하여 선형성을 개선하고 전력 이득을 극대화 하였다. 게이트는 4-finger로 설정하여 트랜지스터의 power capacity를 증가시키고자 하였다.

그림 1은 설계된 2단 저잡음 증폭기를 보인 것이며, 입·출력 정합 회로의 인덕터는 칩 공간의 제한과 package 후에 회로의 동작을 최적화를 위해 off-chip으로 처리하였다.

그림 2와 그림 3은 저잡음 증폭기의 시뮬레이션 결과로 2.1 GHz에서 20.90 dB의 이득을 가지고 있으며 잡음지수는 0.6 dB로 출력되었다. 선형성의 지표

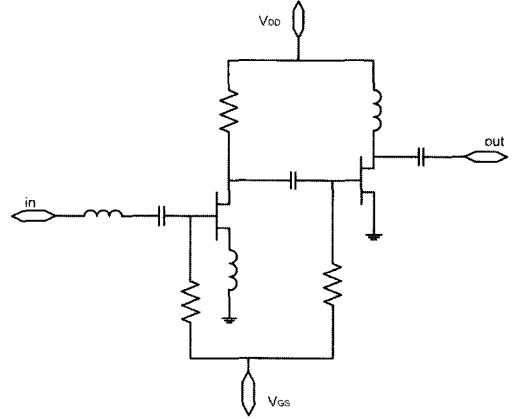


그림 1. 2단 저잡음 증폭기 회로도
Fig. 1. 2-stage low noise amplifier schematic.

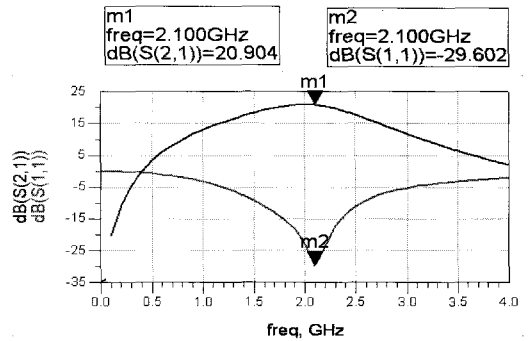


그림 2. 저잡음 증폭기의 산란 파라미터
Fig. 2. S-parameter of low noise amplifier.

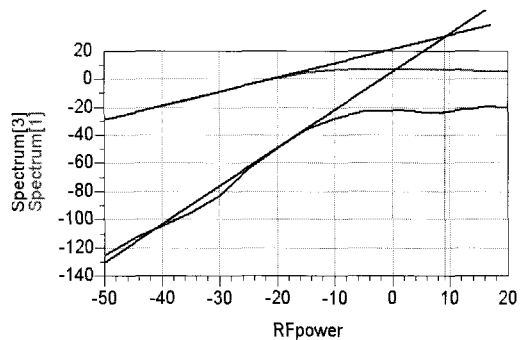


그림 3. 저잡음 증폭기의 IP3
Fig. 3. IP3 of low noise amplifier.

인 IP3는 시뮬레이션 결과 9.8 dBm으로 나왔다.

Ⅲ. 하향 변환 믹서와 중간주파수 증폭기 설계

그림 4는 하향 변환 믹서의 블록도이다. 저잡음 증폭기에서 출력된 신호는 IRF(Image Rejection Filter)를 거쳐 하향 변환 믹서로 입력되고, 여기서 국부 발진 신호와 승산되어 두 주파수의 차 성분인 중간 주파수로 변환된다. 중간 주파수로 변환된 신호는 중간 주파수 증폭기에서 증폭된다.

믹서의 잡음지수는 일반적으로 10 dB 정도이며 전체 수신단의 잡음 특성을 개선하기 위해서는 믹서의 잡음지수를 최소화 할 필요가 있다. 이를 위한 방법으로 믹서 전단에 증폭 회로를 두는 방법을 사용한다. 믹서의 설계에서 가장 문제가 되는 부분은 국부 발진 신호와 고주파 신호가 출력단에 나타남으로써 중간 주파수 증폭기를 포화시키는 것이며, 이를 해결하기 위해 링(ring) 형태의 믹서와 차동 증폭기를 적용하였다.

설계한 믹서는 double balanced FET resistive 믹서 구조를 선택하였다. 이런 구조의 믹서는 FET triode 영역에서 동작시키는 구조로 높은 선형성과 저잡음 특성을 얻을 수 있다. 그러나 변환손실이 15 dB 정도 발생하는 단점이 있다.

중간 주파수 증폭기는 수신단의 최종 단으로 연결될 IF SAW filter의 입력 임피던스가 일반적으로 1,000 Ω이므로 출력 단 임피던스를 1,000 Ω으로 정합하여야 한다. 중간 주파수 증폭기의 출력 신호가 차동 신호이므로 이를 위해서 두 개의 상보 출력단에 각

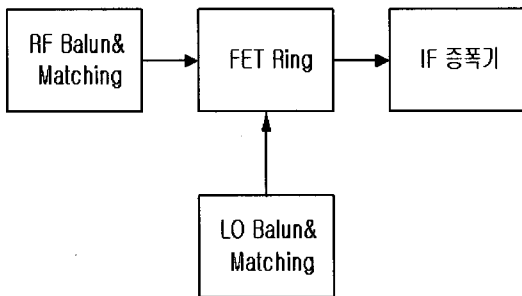


그림 4. 하향 변환 믹서의 블록도
Fig. 4. Down conversion mixer block diagram.

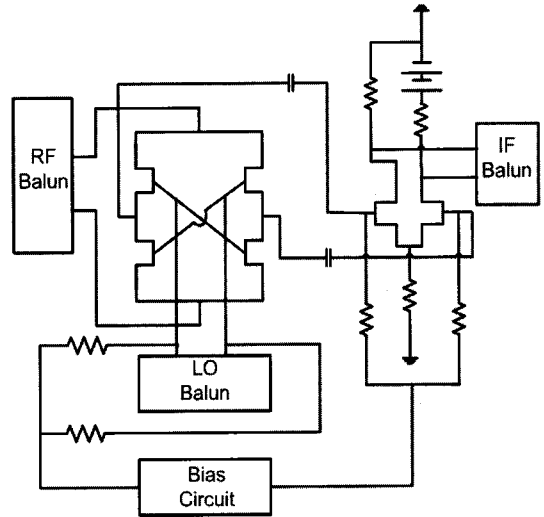


그림 5. 수신단 하향 주파수 혼합기의 회로도
Fig. 5. Receiver down conversion mixer schematic.

각 500 Ω의 저항을 MMIC 내부에서 전원 전압과 각각의 드레인 사이에 연결하였다. 그림 5는 설계된 하향 변환 믹서와 중간 주파수 증폭기의 회로도이다.

다음 그림들은 하향 변환 믹서의 시뮬레이션 결과로 2.14 GHz의 신호를 RF단에 인가시키고, LO단에 1.93 GHz의 신호를 인가시켜 IF 주파수가 210 MHz인 신호를 출력시키고 있음을 알 수 있다. LO 신호의 입력을 -8 dBm에서 10 dBm로 증가시키면서 출력되는 변환 이득은 LO가 3 dBm 이상에서 최상의 출력을

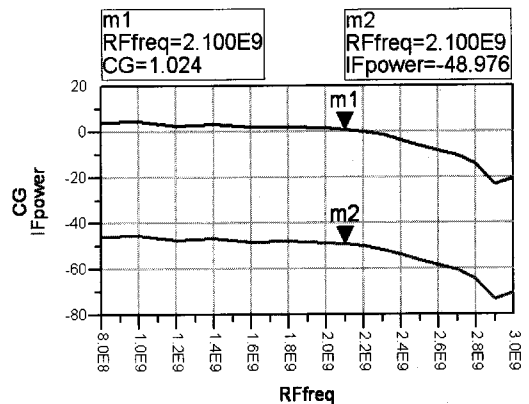


그림 6. 수신부 하향 주파수 혼합기의 RF 주파수에 따른 변환 이득
Fig. 6. Conversion gain of receiver down conversion mixer according to RF freq.

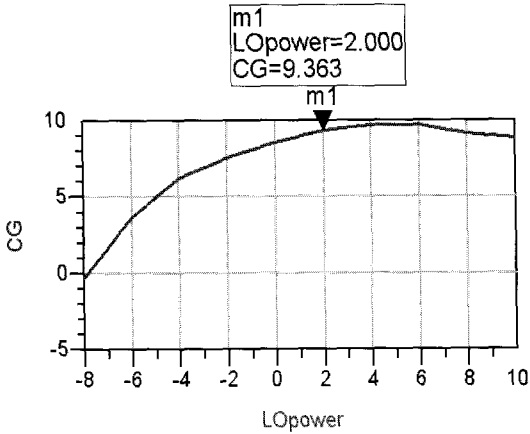


그림 7. 수신부 하향 변환 믹서의 LO 전력에 따른 변환 이득

Fig. 7. Conversion gain of receiver down conversion mixer according to LO power.

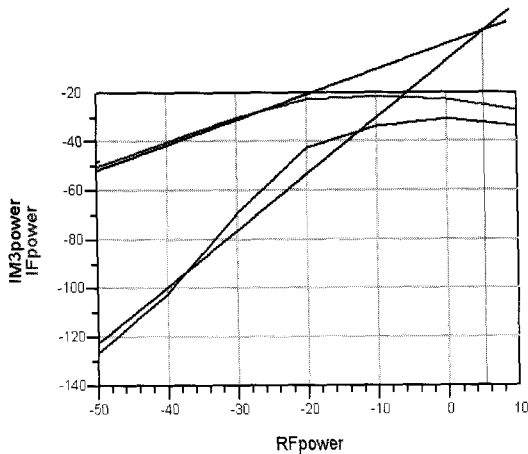


그림 8. 수신부 하향 변환 믹서의 IP3

Fig. 8. IP3 of receiver down conversion mixer.

보여주고 있다. 믹서의 선형성을 나타내는 IIP3는 시뮬레이션 결과 4.5 dBm으로 출력되었다.

IV. 바이어스 안정화 회로

4-1 설계

초고주파 집적 회로의 특성을 저하시키는 원인은 공정오차, 전원 전압의 변화 그리고 온도 변화 등이 있다. 이런 원인들로 인해 설정한 직류 동작점이 바뀌게 되고 이는 설계한 회로의 특성을 변화시

킨다. 특히 공정 오차와 온도의 영향은 가장 빈번히 발생하며 수율을 떨어뜨리는 결정적인 원인이 된다.

또한 초고주파 집적 회로는 제작 후에 튜닝이 거의 불가능하므로 회로 설계에서부터 이런 변화에 적응할 수 있는 능동적인 회로 설계가 이루어져야 한다. 공정 오차는 서로 다른 시간에 공정이 이어지는 웨이퍼와 웨이퍼 사이(wafer-to-wafer) 뿐만 아니라 같은 시간, 같은 웨이퍼에 제작된 필드와 필드사이(field-to-field)에서도 발생한다. 공정 오차는 능동 소자인 트랜지스터의 문턱 전압과 전달 컨덕턴스 즉 드레인 전류의 변화를 의미한다. 공정에서 문턱 전압의 변화가 생기거나 온도의 변화가 있을 경우 드레인 소스 간 전류는 설정한 값보다 많이 또는 적게 흐르는데 이를 보상하기 위해서는 게이트 소스 간 전압이 변해야 한다. 즉, 설정한 값보다 드레인 전류가 많이 흐를 때는 게이트 소스 간 전압을 낮추어 채널 폭을 좁게 하여 보상하여야 하며, 반대로 적게 흐를 때는 게이트 소스 간 전압을 높여 채널 폭을 넓게 함으로써 보상할 수 있다.

그림 9는 제안된 바이어스 안정화 회로를 나타내며 트랜지스터, 다이오드 그리고 저항으로 구성된다. 바이어스 회로에 사용된 트랜지스터는 동일한 웨이퍼의 동일한 필드에 있으므로 고주파 회로부에 사용된 트랜지스터와 동일한 특성을 나타낸다. 이는 공정 오차의 정보를 동시에 포함하고 있음을 의미하고 이를 이용하여 오차에 대한 보상 회로를 구성할

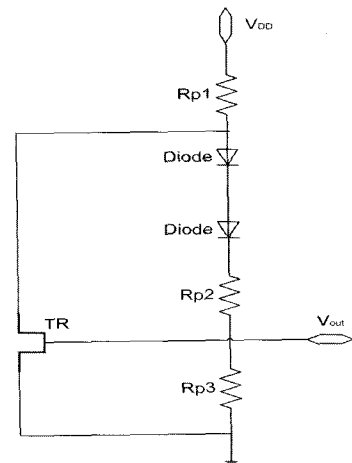


그림 9. 바이어스 안정화 회로

Fig. 9. Bias stability circuit.

수 있다. 사용된 다이오드의 역할은 보상 효과를 높이기 위한 것으로 다이오드의 턴온 전압(turn-on voltage)을 이용하는 직류 레벨 쉬프터(DC level shifter)이다. 실제 회로에 구현한 다이오드는 MESFET의 드레인과 소스를 연결한 Schottky 다이오드이며 0.6 [V] 정도의 턴온 전압을 가진다.

또한 회로에, 적합한 저항은 NiCr을 사용한 TFR (Thin Film Resistor)과 수 kΩ 이상의 큰 저항 값을 구현할 때 사용하고 GaAs 기판을 이용하는 Mesa 저항이다. 바이어스 회로부의 저항은 정밀해야 하므로 모두 TFR을 사용하였으며 Mesa 저항은 DC와 RF의 격리를 위해 20 kΩ을 DC 출력 포트와 증폭기 트랜지스터의 게이트 사이에만 사용하였다. 공정 오차로 인해 고주파 회로부에 적용된 트랜지스터의 드레인 전류가 커지면 동일한 공정 조건으로 인해 바이어스 회로부의 트랜지스터 TR의 드레인 전류도 커진다. 이로 인해 Rp1을 통한 전압 강하가 커지고 TR의 드레인 소스 간 전압이 감소한다. 감소한 드레인 전압이 전압 분배에 의해 Rp3에 걸리는 전압을 떨어뜨리게 되고 이 전압은 DC_out 포트를 통해 고주파 회로부 트랜지스터의 게이트로 인가된다. 따라서, 증가된 드레인 전류는 게이트 전압의 감소로 인해 다시 줄어들게 되어 고주파 회로부의 바이어스가 안정화된다. 바이어스 회로부의 다이오드는 보상을 증가시키기 위한 것으로 드레인 전압에서 다이오드의 턴온 전압만큼 뺀 전압이 Rp2와 Rp3에 분배된다. 다이오드가 없을 경우보다 Rp3에 걸리는 전압이 더 감소하게 되어 보상 효과를 개선할 수 있다. 공정 오차로 인해 트랜지스터의 드레인 전류가 감소할 경우도 위와 동일한 원리로 보상할 수 있다.

4-2 바이어스 안정화 회로의 검증

바이어스 안정화 회로의 특성을 검증하기 위하여 두 개의 마이크로파 증폭기를 설계하였다. 웨이퍼 상의 위치에 따른 공정상의 오차로 발생하는 MESFET 특성의 변화로 인해 발생하는 회로의 특성 변화를 살펴보면 바이어스 회로의 우수한 점을 검증할 수가 있다. 정전류원을 적용한 마이크로파 증폭기와 제안한 바이어스 회로를 적용한 마이크로파 증폭기는 동일한 조건에서 제작되어야 한다. 따라서 하나

의 레이아웃에 두 증폭기를 동시에 설계하였다. 즉 레이아웃의 상단부는 제안한 바이어스 회로를 적용한 증폭기를, 하단부는 정전류원을 적용한 증폭기를 배치하는 구조를 채택하여 같은 조건에서 MMIC가 제작되도록 고려하였고, 두 회로간의 격리를 위하여 중앙에 접지선을 삽입하였다. 그림 10은 제작한 마이크로파 증폭기의 구성도와 제작한 칩의 사진을 나타낸 것이다. 전체 칩의 크기는 1.2[mm]×1.4 [mm]이다.

그림 11은 바이어스 회로의 검증을 위해 설계된 칩을 테스트하기 위하여 구성된 측정 지그이다. 측정 지그의 위쪽 단은 바이어스 회로를 통해 전원을 공급하는 마이크로파 증폭기의 측정을 위한 것이고,

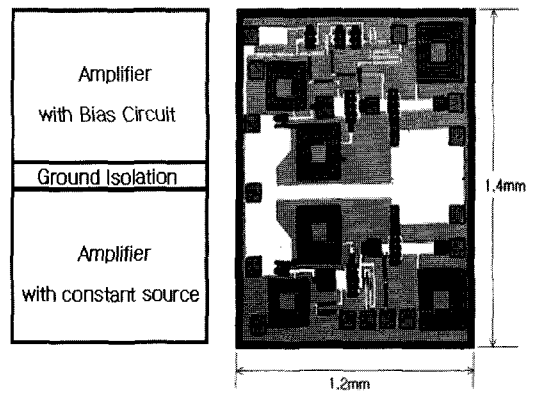


그림 10. 바이어스 회로 검증을 위한 마이크로파 증폭기의 제작된 칩
Fig. 10. Fabricated chip of microwave amplifier for bias circuit verification.

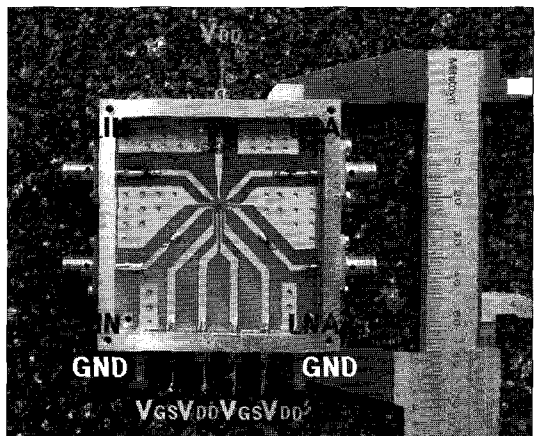


그림 11. 바이어스 회로 검증을 위한 측정 지그
Fig. 11. Test-jig for bias circuit verification.

표 1. 바이어스 회로 검증 결과

Table 1. Bias circuit verification result.

	Gain [dB]	Ids [mA]	Gain Variation [dB]	Ids Variation [mA]
LNA with proposed bias circuit				
Circuit 1	15.1	14	± 2.1	± 3
Circuit 2	13	11		
Circuit 3	13.8	13		
LNA with constant current source				
Circuit 1	15.1	14	± 6.4	± 7
Circuit 2	8.7	7		
Circuit 3	12.4	10		

아래쪽 단은 전원을 바로 공급한 칩의 테스트를 하기 위함이다. 여러 개의 칩을 측정하여 각각의 칩에 대한 특성 변화를 측정하였다.

표 1은 바이어스 회로의 검증을 위한 측정의 결과를 정리한 것이다. 총 다섯 개의 동일 칩으로 테스트를 하였고, 중심 주파수에서 이득 변화를 통해 바이어스 회로가 공정 변화를 얼마나 보상해 주는가를 알 수 있었다. 바이어스 회로를 통해 전원을 공급한 마이크로파 증폭기의 이득이 13 dB에서 15.1 dB 이득 변화가 ± 2.1 dB인데 반해 직접 전원을 공급한 마이크로파 증폭기의 이득 변화는 ± 6.4 dB로 훨씬 큰 폭의 변화를 나타내었다. 바이어스 회로가 공정상의 오차를 아주 우수하게 보상해 주는 것을 검증할 수가 있었다.

V. One-Chip MMIC의 제작 및 측정

최종적인 레이아웃은 Mentor Graphics의 IC Graph를 이용하였다. 특히 process file의 각 layer 사이의 전기적인 관계와 공정상의 규칙에 대해 정의한 rule file을 이용하여 레이아웃의 공정규칙 오류를 검증하는 DRC(Design Rule Check) 및 logic source와의 비교를 통하여 레이아웃의 전기적인 연결의 오류를 검증하는 LVS(Layout Versus Schematic)를 수행함으로써 전체 회로에 대한 검증을 하였다. ETRI GaAs MESFET 0.5 μm 공정으로 그림 12와 같이 제작했

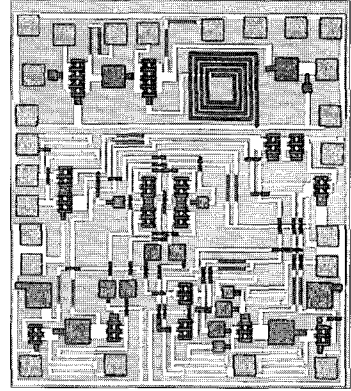


그림 12. 제작된 칩
Fig. 12. Fabricated chip.

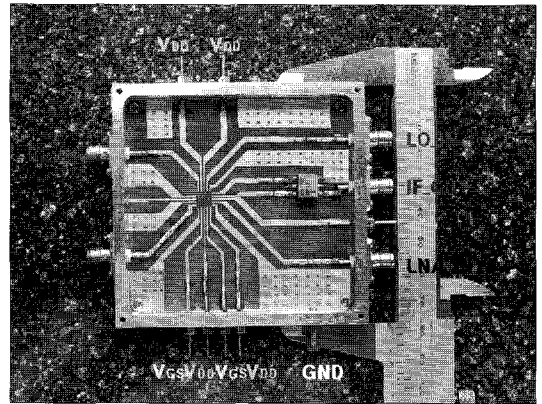


그림 13. One chip MMIC 측정 지그
Fig. 13. One chip MMIC test-jig.

으며 칩의 크기는 1.2[mm]×1.4 [mm]이다. 칩의 안정적인 동작을 위해 GND PAD를 RF 입력단, LO 입력단 및 두 개의 IF 출력단 사이사이에 위치시켰다.

측정지그(test-jig)는 그림 13과 같이 저잡음 증폭기 입력단과 출력단, RF 입력, LO 입력 및 IF 출력단에 SMA 커넥티(connector)를 사용하였다. IF 단은 f_c 가 360 MHz인 트랜스포머를 이용하여 두 개의 신호를 하나로 합쳐준다. 다른 소자들에 비해 낮은 주파수 대역에서 동작하는 IF balun의 특성에 의해 변환 이득의 특성이 결정되는 특징이 있다.

VI. 측정 결과

6-1 저잡음 증폭기의 측정

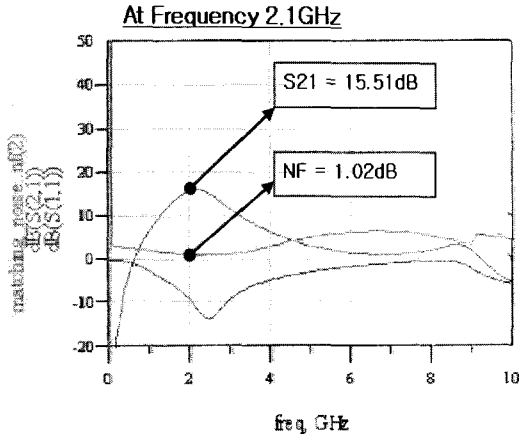


그림 14. 저잡음 증폭기의 산란 파라미터와 잡음 지수
Fig. 14. S-parameter and noise figure of LNA.

저잡음 증폭기의 측정 결과 2.1 GHz에서 15.51 dB의 이득이 출력되었다. 관찰된 잡음지수는 2.1 GHz에서 1.02 dB로 측정되었고 회로의 안정도를 나타내는 K factor 값은 5.62, VSWR_{in}의 값은 1.51로 관찰되었다. 그림 14는 측정된 저잡음 증폭기의 산란 파라미터와 잡음지수를 나타내고 있다.

6-2 하향 변환 믹서의 측정

믹서의 측정결과 그림 15와 같이 RF를 -20 dBm, 2.15 GHz로, LO를 0 dBm, 1.95 GHz로 인가시켜 주었을 때 중간 주파수 210 MHz인 출력을 얻었다. 중

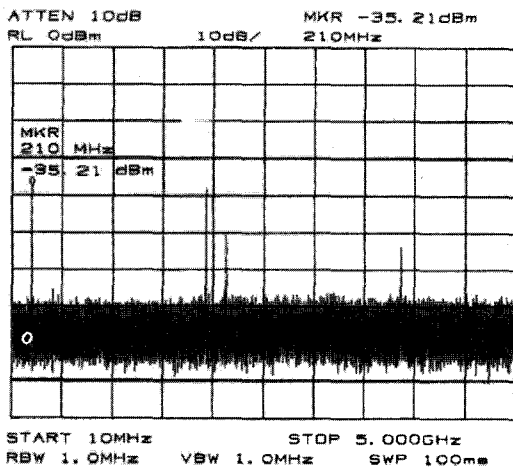


그림 15. 하향 변환 믹서의 주파수 스펙트럼
Fig. 15. Frequency spectrum of down conversion mixer.

간 주파수의 전력 값은 -35.21 dBm이다.

선형성을 결정하는 IP3는 RF 전력이 -10 dBm, Δ Frequency=10 MHz인 2-tone test를 통해 그림 16의 스펙트럼을 구할 수 있었다. 기본 신호와 3차 혼변조된 신호의 차이가 28.5 dB이므로 아래의 식(1)에 의해 입력 IP3가 약 4.25 dB임을 알 수 있다^[7].

$$IIP_3 |_{dBm} = \frac{\Delta P}{2} |_{dB} + P_{in} |_{dBm} \quad (1)$$

RF -20 dBm과 LO 0 dBm을 인가해 주었을 때 IF 주파수는 -35.21 dBm으로 출력되었다. 이는 주파수 혼합기의 변환 손실은 트랜스포머의 손실 3 dB와 함께 약 -15 dB임을 보여주는 것이다. 만약 트랜스포머의 손실이 없다면 변환 손실은 약 -12 dBm이다. 손실은 위상이 다른 두 개의 IF 주파수를 하나로 합쳐주는 트랜스포머의 동작 특성에 의해 제한된다.

또, 다른 신호에 비해 큰 신호인 LO 신호가 RF와 IF 단에 유입되면 FET 소자를 포화시켜 비선형적인 동작을 할 수 있기 때문에 LO-to-RF 격리도와 LO-to-IF 격리도는 매우 중요하다^[2]. 본 논문에서 측정된 주파수 혼합기의 포트간 격리도는 LO-to-IF가 약 -23 dB, LO-to-RF가 -30.5 dB, RF-to-IF가 -30 dB, RF-to-LO가 -30.5 dB이었다. 측정된 결과를 통해 각 단의 격리도가 25 dB 이상의 우수한 특성을 나타내고 있음을 확인하였다. 또한 측정된 LO return loss는 -8.4 dB이었다.

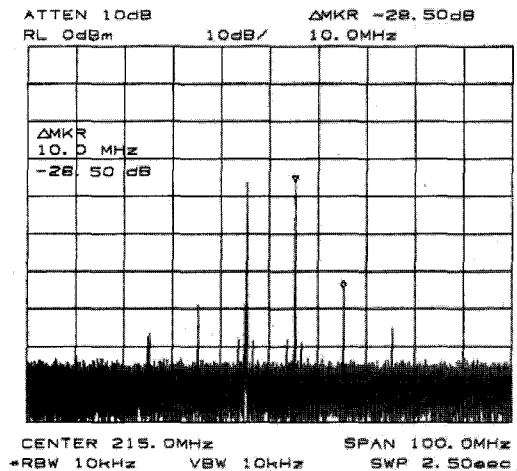


그림 16. 하향 변환 믹서의 IP3
Fig. 16. IP3 of down conversion mixer.

Ⅶ. 결 론

본 논문에서 새로운 바이어스 회로를 적용한 S-band용 수신단 one-chip MMIC 저잡음 증폭기, 믹서의 설계 및 측정에 관하여 연구하였다.

저잡음 증폭기는 공통 소스 2단 구조로 설계하였고, double balanced 구조의 믹서와 one-chip화에 적합한 LO 및 RF balun, 그리고 각 능동 소자의 동작을

안정적으로 보상할 수 있는 바이어스 안정화 회로를 하나의 칩 상에 구현하였으며, 측정을 통해 동작을 확인하였다. 저잡음 증폭기는 주파수 2.1 GHz에서 이득이 15.51 dB이고 잡음지수 1.02 dB과 안정도 계수 K가 5.62로 측정되었다. 믹서의 변환 이득은 트랜스 포머의 손실이 없다면 -12 dB가 되며, IP3는 약 4.25 dBm, 포트간 격리도는 25 dB 이상의 값을 보여 주었다. 이에 대한 각 세부 사항을 표 2에 나타내었다. ETRI GaAs MESFET 0.5 μm 공정으로 제작하였으며, 완성된 칩의 크기는 1.2 [mm]×1.4 [mm]이다.

표 2. One chip MMIC의 측정 결과
Table 2. Measurement result of one chip MMIC.

Parameter	측정치	Unit	Condition
Low Noise Amplifier			
Gain	15.51	dB	at 2.1 GHz
Noise Figure	1.02	dB	at 2.1 GHz
Stability factor K	5.62		at 2.1 GHz
VSWR	1.51		at 2.1 GHz
Frequency			
RF frequency	2.15	GHz	
LO frequency	1.95	GHz	
IF frequency	210	MHz	
Down-conversion Mixer / IF Amp			
Conversion loss	-12	dB	LO=0 dBm
IIP3	4.25	dBm	IF=210 MHz
LO-to-IF isolation	-23	dB	
LO-to-RF isolation	-30.5	dB	
RF-to-IF isolation	-30	dB	
RF-to-LO isolation	-30.5	dB	
Power Supply			
Voltage	3	V	
Total Current Consumption	10.4	mA	
Chip Size	1.2×1.4	mm ²	

참 고 문 헌

- [1] Kevin W. Kobayashi, Reza Esfandiari, et al., "Monolithic regulated self-biased HEMT MMIC's", *IEEE Trans. on Microwave Theory Tech.*, vol. 42, pp. 2610-2616, Dec. 1994.
- [2] Stephen A. Maas, *Microwave Mixers*, Artech House, 1993.
- [3] Stephen A. Maas, *The RF and Microwave Circuit Design Cookbook*, 1998.
- [4] Stephen. A. Maas, "A GaAs MESFET mixer with very low intermodulation", *IEEE Trans. on Microwave Theory and Tech.*, vol. 35, pp. 425-429, Apr. 1987.
- [5] F. De Flaviis, Stephen A. Maas, "X-band doubly balanced resistive FET mixer with very low intermodulation", *Microwave Theory and Techniques, IEEE Transactions on*, vol. 43, pp. 457-460, Feb. 1995.
- [6] Ravender Goyal, *Monolithic Microwave Integrated Circuit*, Artech House, pp. 387-392, 1989.
- [7] Behzad Razavi, *RF Microelectronics*, Prentice Hall, pp. 17-22, 1998.
- [8] 권태운, "CDMA 단말기용 수신단 MMIC 설계", 한국전자과학회논문지, 12(1), 2001년 1월.

김 양 주



2004년 2월: 울산대학교 전자공학과 (공학사)
2004년 3월~현재: 울산대학교 전자공학과 석사과정
[주 관심분야] MMIC, RF 시스템 설계

최 재 하



1980년~현재: 울산대학교 전기전자 정보시스템 교수
[주 관심분야] MMIC, 초고주파 회로 설계

신 상 문



2000년 2월: 울산대학교 전자공학과 (공학사)
2002년 2월: 울산대학교 전자공학과 (공학석사)
2005년 2월: 울산대학교 전자공학과 박사과정 수료
2005년 2월~현재: (주)에세텔 연구원

[주 관심분야] MMIC, RF 시스템 설계