

## Au-Sn 공정 접합을 이용한 RF MEMS 소자의 Hermetic 웨이퍼 레벨 패키징

Qian Wang · 김운배 · 좌성훈<sup>1\*</sup> · 정규동 · 황준식 · 이문철 · 문창렬 · 송인상<sup>1</sup>

삼성종합기술원 패키지 센터

<sup>1</sup>삼성종합기술원 MEMS 랩

경기도 수원 우체국 사서함 111, 440-600

## Application of Au-Sn Eutectic Bonding in Hermetic RF MEMS Wafer Level Packaging

Qian Wang, Woonbae Kim, Sung-Hoon Choa<sup>1\*</sup>, Kyudong Jung, Junsik Hwang,  
Moonchul Lee, Changyoul Moon, Insang Song<sup>1</sup>

PKG center, Samsung Advanced Institute of Technology, Korea

<sup>1</sup>MEMS Lab, Samsung Advanced Institute of Technology, Korea

**초 록:** RF MEMS 기술에서 패키지의 개발은 매우 중요하다. RF MEMS 패키지는 소형화, hermetic 특성, 높은 RF 성능 및 신뢰성을 갖도록 설계되어야 한다. 또한 가능한 저온의 패키징 공정이 가능해야 한다. 본 연구에서는 저온 공정을 이용한 RF MEMS 소자의 hermetic 웨이퍼 레벨 패키징을 제안하였다. Hermetic sealing을 위하여 약 300°C의 Au-Sn 공정 접합 (eutectic bonding) 기술을 사용하였으며, Au-Sn의 조합으로 형성된 sealing부의 폭은 70 µm이었다. 소자의 전기적 연결을 위하여 기판에 수직 via hole을 형성하고 전기도금 (electroplating) 방법을 이용하여 Cu로 채웠다. 완성된 RF MEMS 패키지의 최종 크기는 1 mm×1 mm×700 µm이었다. 패키징 공정의 최적화 및 O<sub>2</sub> 플라즈마 애싱 공정을 통하여 접합 계면 및 via hole의 void들을 제거할 수 있었다. 또한 패키지의 전단 강도 및 hermeticity는 MIL-STD-883F의 규격을 만족하였으며, 패키지 내부에서 오염 및 기타 유기 물질은 발생하지 않았다. 패키지의 삽입 손실은 2 GHz에서 0.075 dB로 매우 작았으며, 여러 종류의 신뢰성 시험 결과 패키지의 파손 및 성능의 감소는 발견되지 않았다.

**Abstract:** Development of the packaging is one of the critical issues for commercialization of the RF-MEMS devices. RF MEMS package should be designed to have small size, hermetic protection, good RF performance and high reliability. In addition, packaging should be conducted at sufficiently low temperature. In this paper, a low temperature hermetic wafer level packaging scheme for the RF-MEMS devices is presented. For hermetic sealing, Au-Sn eutectic bonding technology at the temperature below 300°C is used. Au-Sn multilayer metallization with a square loop of 70 µm in width is performed. The electrical feed-through is achieved by the vertical through-hole via filled with electroplated Cu. The size of the MEMS package is 1 mm×1 mm×700 µm. By applying O<sub>2</sub> plasma ashing and fabrication process optimization, we can achieve the void-free structure within the bonding interface as well as via hole. The shear strength and hermeticity of the package satisfy the requirements of MIL-STD-883F. Any organic gases or contamination are not observed inside the package. The total insertion loss for the packaging is 0.075 dB at 2 GHz. Furthermore, the robustness of the package is demonstrated by observing no performance degradation and physical damage of the package after several reliability tests.

**Keywords:** Eutectic bonding, RF-MEMS, Wafer level packaging, Hermetic sealing, Reliability.

\*Corresponding author  
E-mail: shchoa@samsung.com

## 1. 서 론

최근 RF (Radio-frequency Microelectromechanical System) MEMS 기술은 무선통신 시스템에서 RF front-end 모듈의 성능 향상 및 집적화를 위한 매우 중요한 기술로 인식되고 있다. 이미 MEMS 공정을 이용한 여러 RF MEMS 소자들 가령, 스위치, 필터, 가변 커패시터, 인덕터, 공진기 등이 개발되고 있다. RF MEMS 소자는 크기 및 전력 소모를 획기적으로 감소시킬 수 있을 뿐만 아니라 RF 성능 또한 기존 소자에 비하여 우수한 특성을 보여주고 있다<sup>1)</sup>. 최근 RF MEMS 분야의 연구는 주로 상업화에 초점을 맞추어 시스템의 집적화, 신뢰성 및 패키징 기술 개발에 치중하고 있다. 특히 패키징은 MEMS 소자의 가격, 크기, 신뢰성에 많은 영향을 미치기 때문에 패키징 기술의 개발은 필수적이다<sup>2,3)</sup>. RF MEMS 패키지는 소자를 외부 환경으로부터 보호함과 동시에 삽입 손실 (insertion loss) 과 반사 손실 (return loss)를 최소화하여야 한다. 또한 습기 및 오염의 침투를 방지하여 MEMS 소자에서 많이 발생하는 점착 (stiction) 및 부식 문제를 방지해야 한다<sup>4)</sup>. 또한 패키징 공정은 일반적으로 350°C 미만에서 진행되어야 RF MEMS 소자의 산화 및 열화를 방지할 수 있다. 또한 패키징 재질들의 열팽창 계수의 차이로 인하여 발생하는 열응력 (thermo-mechanical stress)를 최소화하여 열응력이 소자의 변형 및 성능에 영향을 미치지 않도록 하여야 한다<sup>5)</sup>.

RF MEMS 패키징 기술에서 웨이퍼 레벨 패키징은 소형화, 집적화 및 대량 생산에 매우 유리한 기술로서 최근 많은 연구가 진행되고 있다<sup>6)</sup>. 그러나 아직까지 웨이퍼 레벨 패키징의 장기 신뢰성 문제가 이슈로 남아있다. 따라서 RF MEMS 소자의 개발을 위해서는 저온 공정과 hermetic seal이 보장되는 신뢰성 있는 웨이퍼 레벨 패키징의 개발이 필수적이다.

웨이퍼 레벨 패키징에서 사용되는 접합 기술에는 용해 접합(fusion bonding), 양극 접합(anodic bonding) 등 여러 접합 기술이 있으며 응용 대상에 따라 접합 기술이 결정된다<sup>7)</sup>. 특히 공정 접합(eutectic bonding) 기술은 저온 공정이 가능하고 신뢰성이 어느 정도 검증되어 있기 때문에 많이 사용되고 있다. 공정 접합을 위한 접합 재료의 선택

은 젖음성(wettability), 용점, 기계적 강도, 열팽창 계수 및 피로 파괴 등의 여러 물성에 의하여 결정된다. 특히 Au-Sn 솔더 구조는 기계적 강도, 열전달 특성 및 젖음성이 우수하기 때문에 광 패키징 및 여러 RF 소자에 적용되는 플립칩 접합으로 많이 사용되고 있다<sup>8,9)</sup>. 그 중에서도 Au-20%Sn 조성은 용점이 280°C로서 RF MEMS 패키징에는 매우 적절하다.

본 논문에서는 hermetic 웨이퍼 레벨 RF MEMS 패키징을 제안하였다. 저온 공정이 가능한 Au-Sn 공정 접합을 사용하여 hermetic sealing하였으며, 전기적 연결 신호의 길이를 감소시키기 위하여 수직 via hole을 형성하였다. 패키징이 완료된 후에는 RF 성능 평가와 더불어 전단 강도, hermeticity 시험 및 여러 신뢰성 시험을 통하여 패키지의 신뢰성 및 강건성을 평가하였다.

## 2. Au-Sn 접합의 원리

Fig. 1은 본 연구에서 적용된 Au-Sn 구조의 binary equilibrium phase diagram이다<sup>10)</sup>. Au-Sn 구조는 Au와 Sn 사이에 4가지의 다른 금속간 화합물 (intermetallic compounds, IMCs)이 존재한다. 즉 Au<sub>5</sub>Sn, AuSn, AuSn<sub>2</sub> and AuSn<sub>4</sub>들이다. 그 중에서 Au<sub>5</sub>Sn 또는 80 wt.% Au - 20 wt.% Sn 조성의 금속간 화합물은 280°C의 용점을 가지며 크립(creep), 부식 및 기타 접합 특성이 우수하다고 알려져 있다<sup>11)</sup>. Fig. 2는 본 연구에서 적용된 Au-Sn의 다층 구조를 나타내고 있다. 실리콘 상판 및 하판에는

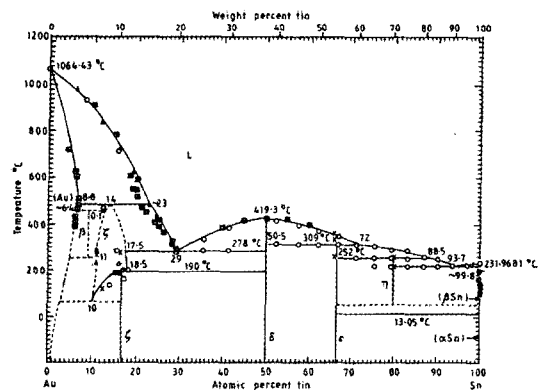


Fig. 1. Au-Sn equilibrium phase diagram [10].

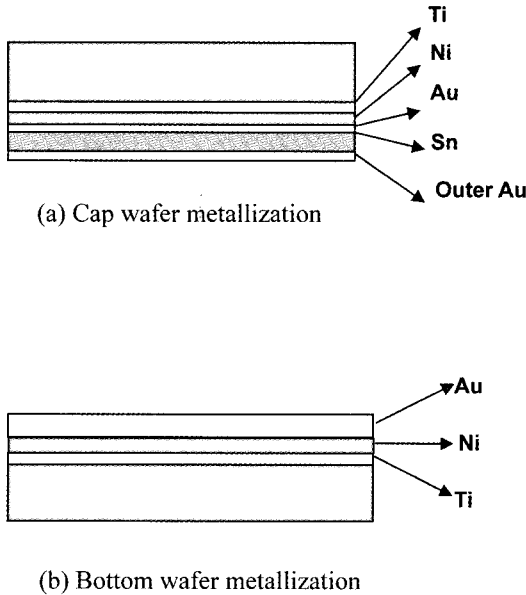


Fig. 2. Schematic view of multilayer Au-Sn composite structure design.

각각 다른 재료의 다층막이 증착되었다. 상판의 실리콘 기판에는 우선 Ti와 Ni 박막을 증착시킨 후 Au, Sn 그리고 Au이 순차적으로 증착되었다. Ti는 실리콘 기판과의 접합력을 향상시키며, Ni 박막은 실리콘 기판과 솔더 합금 사이의 확산 방지막 및 적음막으로 작용한다. 한편 Sn은 대기 환경 중에서 산화가 쉽게 되기 때문에 Sn의 산화 방지막으로서 Sn 박막 위에 추가적인 Au 막을 증착하였다. 또한 Au-Sn-Au 박막들의 증착은 고온 진공 챔버에서 동시에 증착을 하여 Sn의 산화를 최대한 억제하였다. 실리콘 하판에는 Fig. 2(b)와 같이 Ti-Ni-Au가 순차적으로 증착되었다. Au와 Sn 박막의 두께는 접합이 발생된 계면에서 접합 물질이 80 wt.% Au-20 wt. % Sn의 조성을 갖도록 설계되었다.

접합 공정 중에 상판과 하판은 외부 압력에 의하여 접합된 상태에서 순수 Sn의 용점(232°C) 보다 높은 280°C 에서 접합된다. 따라서 Sn이 계면에서 녹으면서 Au 박막과 접촉을 하게 되고, Au 박막으로 확산되면서 Au와 Sn는 상태도에 따라 금속간 화합물을 형성하게 된다. 금속간 화합물은 액상에서 고상으로 변하면서 접합층이 형성되며, Au와 Sn은 각각의 농도의 차이에 따라 계속 확산

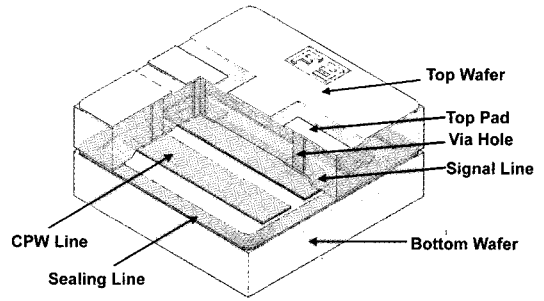


Fig. 3. Schematic 3-dimensional view of RF package developed in this study.

된다. 이 경우 Au와 Sn의 확산 및 반응이 충분히 발생되기 위해서는 비교적 긴 시간의 접합 유지 시간이 필요하며 이를 통하여 궁극적으로는 균일한 접합 구조를 얻을 수 있다. 접합은 진공이나 불활성 기체 분위기에서 수행되며 flux가 없는 공정이었다.

### 3. 패키지 디자인 및 공정

Fig. 3은 본 연구에서 개발된 패키지 구조의 도식도이다. 패키지의 크기는 1 mm×1 mm이며, 약 700 μm의 높이를 갖는다. 상판과 하판은 사각 모양의 Au-Sn 공정 솔더를 이용하여 hermetic sealing이 된다. 4 인치 기판은 RF 신호의 감쇄 (attenuation)를 감소시키기 위하여 저항이 2.0×10<sup>4</sup> W·cm인 고저항 실리콘 기판이 사용되었으며 두께는 약 350 μm였다. Fig. 4(a)와 같이 상판은 동공(cavity)와 수직 via hole 및 전기적 연결을 위한 패드가 형성되어 있다. Fig. 4(b)의 하판은 CPW (coplanar waveguide) 라인과 신호 라인을 포함하고 있다. Fig. 5는 상판 패키지 제작을 위한 공정 흐름도가 개략적으로 도식되어 있다. 우선 via 형성을 위한 포토 마스크로서 실리콘 기판 위에 열산화 공정을 이용하여 약 5000 Å 두께의 SiO<sub>2</sub>를 형성하였다. 그 후 RF MEMS 소자가 들어갈 수 있는 공간 확보를 위하여 약 20 μm 깊이의 동공을 TMAH 습식 식각 공정을 통하여 형성하였다. 동공의 안쪽에는 전기 도금 (electroplating) 공정에서 via의 구멍을 Cu로 채우기 위한 seed 층으로서 Cr/Au 박막을 증착하였다. Cr과 Au 박막의 두께는 각각 500 Å 및 2 μm였다. 패키지의 크기를 최대한 줄이

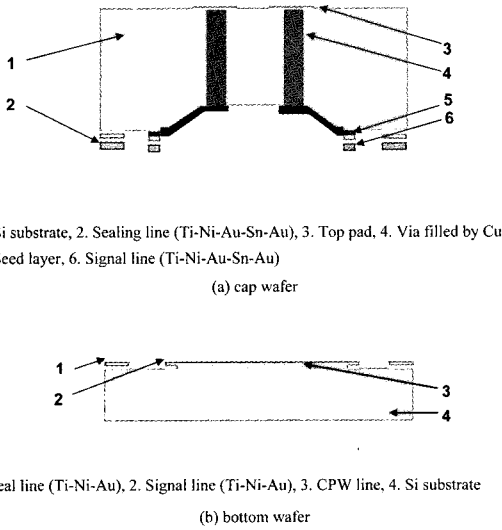


Fig. 4. Schematic cross sectional view of the RF MEMS package structure developed in this study, (a) cap wafer, (b) bottom wafer.

고, 손실 및 기생 용량을 감소시키면서 전기적 연결을 하기 위하여 상판에는 수직 via hole을 형성하였다.

Via hole은 ICP-RIE (Inductively Coupled Plasma Reactive Ion Etching) 건식 식각을 사용하여 형성하였으며, 40  $\mu\text{m}$ 의 직경과 300  $\mu\text{m}$ 의 깊이를 갖는다. ICP-RIE 공정 후에는 via hole 내부에 남아있는 오염 물질을 제거하기 위하여 oxygen 플라즈마 애싱 ( $\text{O}_2$  plasma ashing) 공정을 거쳤다. High aspect ratio를 갖는 via hole 내부에 금속 물질을 채우는 공정은 매우 어렵다. 현재까지 전기도금법을 이용한 방법이 깊은 via hole을 갖는 형상에 주로 사용되고 있다<sup>12)</sup>. 한편 Cu 재질은 Al에 비하여 전자기동(electromigration) 특성이 낮고, RC (resistance, capacitance) 시지연이 낮기 때문에 전기적 연결을 위하여 많이 사용되고 있다. 따라서 본 연구에서도 Cu를 사용한 전기도금법을 이용하였다.

Via hole을 채운 후 발생하는 표면의 요철을 제거하고 평탄한 표면을 얻기 위하여 chemical mechanical polishing (CMP) 공정을 수행하였다. 그 후에 전기적 연결을 위한 패드 제작을 위하여 Ti-Ni-Au의 박막을 순차적으로 증착시켰다. 따라서 내부 소자와 외부 회로의 신호 연결은 패드 및 via hole을 통하여 전기적으로 연결된다.

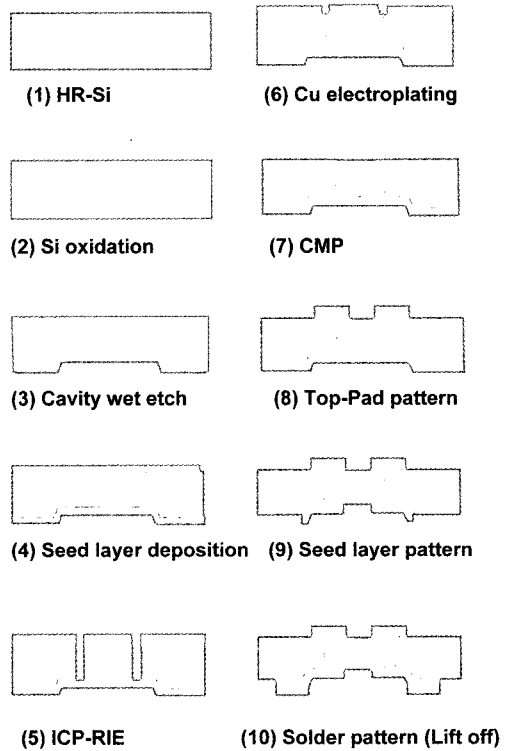


Fig. 5. Cap wafer fabrication process flow.

접합을 위한 솔더 재질은 Cr/Au seed 층 위에 Ti-Ni-Au-Sn-Au의 박막이 순차적으로 증착되며, 박막들의 두께는 각각 0.1  $\mu\text{m}$ , 0.2  $\mu\text{m}$ , 0.07  $\mu\text{m}$ , 2.9  $\mu\text{m}$  and 0.08  $\mu\text{m}$ 이었다. 접합막은 lift-off 공정을 사용하여 패턴하였으며, 최종 sealing 부의 폭은 70  $\mu\text{m}$ 이었다. 한편 Fig. 3과 Fig. 4에서 나타나듯이 상판의 via hole과 하판을 연결하는 신호선(signal line) 역시 An-Sn 솔더를 사용하여 제작되었다. 하판에는 sealing 물질로서 Ti-Ni-Au 솔더 재질이 증착되었다. 또한 하판에는 RF MEMS 소자 대신에 패키지 자체의 RF 특성을 파악하기 위하여 CPW 라인이 제작되었다. CPW 라인은 500 Å 두께의 Cr 박막과 2  $\mu\text{m}$  두께의 Au 박막을 순차적으로 증착하여 형성하였다. CPW 라인은 특성 임피던스가 50 W이였으며, 폭은 150  $\mu\text{m}$ 이고, CPW 라인들의 간격은 90  $\mu\text{m}$ 이었다. CPW 라인의 설계 및 특성은 Ansoft High Frequency Structure Simulator (HFSS)를 사용하여 검증하였다.

상판과 하판을 제작한 후 두 기판은 eutectic bonder (TPS-2000A of BNP science)를 사용하여

웨이퍼 레벨 상태에서 접합되며, 질소 가스 분위기에서 약 6 kgf/cm<sup>2</sup>의 압력을 가한 상태에서 최대 온도 280°C로 약 20분 정도 가열을 하여 접합한다. 접합이 완료되면 솔더 접합부의 응고화를 위하여 질소 가스를 흘려주면서 웨이퍼를 상온으로 식힌다. 최종 단계로 접합된 웨이퍼를 1 mm×1 mm 크기의 사각 칩, 즉 RF MEMS 패키징 칩으로 다이싱하였다.

#### 4. 시험 결과 및 토의

완성된 접합의 정량적인 품질 및 성능을 평가하기 위하여 Energy-Disperse X-Ray Spectroscopy (EDS)가 장착된 Scanning Electron Microscope (SEM)을 사용하였다. 또한 기계적인 특성을 파악하기 위한 전단 강도 측정, RF 특성을 파악하기 위한 삽입 손실 측정, hermeticity 측정을 위한 헬륨 누설(helium leak) 시험과 패키지 내부에서 발생한 outgassing에 대한 분석을 수행하였다. 최종 단계로서 패키지의 강건성과 성능을 검증하기 위한 여러 종류의 신뢰성 시험을 수행하였다.

##### 4.1 미세 구조 관찰

공정 접합의 품질 및 신뢰성은 접합 계면에 형성된 미세구조에 많은 영향을 받는다. 본 접합은 flux가 없는 공정으로서 접합의 품질은 접합 표면 상태에 매우 민감하기 때문에 접합 이전의 세척 과정이 매우 중요하다. 가령 접합 공정 중에 표면의 산화막이나 오염 물질이 발생하게 되면 계면 사이에 결함들이 발생되고 결국은 접합 품질을 저하시킨다. 우선 일반적으로 사용되는 습식 세척 공정을 접합 공정 중에 적용한 결과 Fig.6에 보듯이 약 1 μm 에서 2 μm의 비교적 큰 void가 형성되었음을 알 수 있었다. Void는 주로 하판의 Au 박막 근처에서 발생하였는데, 이는 void의 원인이 하판의 Au 표면의 오염에 있음을 의미하는 것이다. 즉 오염 물질이 Au와 Sn 사이의 확산 과정을 방해한 것으로 생각된다. 따라서 접합 계면에서는 Fig. 6에서 보이는 것과 같이 3개의 다른 계면층, 즉 L1, L2, L3 층이 존재함을 알 수 있었다. EDS의 분석 결과 각 층의 주요 성분은 서로 달랐으며, L1 층은 Au<sub>5</sub>Sn 과 AuSn, L2층은 Au<sub>5</sub>Sn 그리고 L3 층은 AuSn<sub>2</sub>로 되어 있음을 알 수 있었다. 각 층에

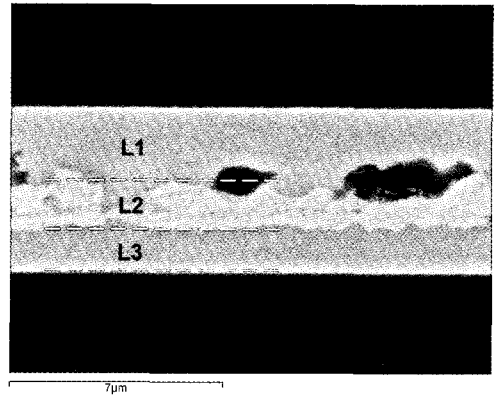


Fig. 6. SEM image of a cross section of the bonding layer for the sample without surface treatment before bonding.

대한 상세한 조성이 Table 1에 나타나 있다. 이 결과로부터 Au과 Sn 사이에서는 충분한 확산 과정이 발생되지 않았고, 결과적으로 접합 계면 사이에는 균일하지 않은 접합층이 생성되었다.

표면의 산화막 및 오염 물질을 효과적으로 제거하는 방법 중의 하나로서 O<sub>2</sub> 플라즈마 애싱 방법이 있다. 한편 O<sub>2</sub> 플라즈마 애싱과 같은 표면 활성화(activation) 공정은 접합 강도의 직접적인 영향이 없다고 알려졌다<sup>13)</sup>. 따라서 본 연구에서는 O<sub>2</sub> 플라즈마 애싱을 접합 공정 전의 세척 공정으로서

Table 1. Detailed composition of each layer in the bonding interface

	element	Wt. %	At. %
L1	Ti	0.0579	0.1935
	Ni	3.0875	8.4252
	Sn	23.4921	31.7098
	Au	73.3625	59.6715
L2	Ti	—	—
	Ni	0.3193	0.9994
	Sn	9.7611	15.1122
	Au	89.9196	83.8884
L3	Ti	—	—
	Ni	10.0595	22.1622
	Sn	43.3539	47.2454
	Au	45.5866	30.5924

적용하였다. Fig. 7은 O<sub>2</sub> 플라즈마 애싱 공정을 적용한 후에 접합 계면의 미세구조를 관찰한 사진이다. 접합 계면에서는 void가 발생되지 않았으며, 미세구조 또한 다른 상 및 층들이 발견되지 않았고, 매우 균일한 미세조직을 갖고 있음을 알 수 있다. EDS 분석 결과 접합 계면의 조성은 AuSn으로만 이루어졌음을 알 수 있었다.

수직 via hole을 void 없이 채우는 공정도 역시 매우 어렵다. 만일 식각 공정 후에 seed 층에 Si 잔유물들이 존재하거나, 건식 식각으로부터 발생된 부산물 혹은 잔유 증착 물질들이 수직 벽면에 존재하게 되면 벽면의 젖음성이 감소되면서 via hole을 채우는 과정에서 공기가 갇히게 되고 void가 발생하게 된다. 특히 공기가 갇히게 되면 주변의 수분 및 염기 성분의 잔유물들이 공기가 있는 부분으로 쉽게 침투하게 된다. 따라서 본 연구에서는 via hole 내부의 오염을 방지하기 위하여 via hole을 식각한 후 ICP-RIE를 이용하여 O<sub>2</sub> 플라즈마 애싱을 수행하였다. 또한 전기도금 공정의 파라미터, 즉 전류 밀도, 웨이퍼 회전 속도, dipping 시간 등을 최적화하였다. 이러한 과정 후에 접합된 패키지의 단면을 절단하여 관찰한 패키지의 단면도가 Fig. 8에 나타나 있다. 접합 계면 및 수직 via hole 내부에 void가 존재하지 않았으며, 따라서 패키지의 hermetic sealing을 기대할 수가 있었다.

#### 4.2 전단 강도

접합 특성 중에서 중요한 기계적 특성은 접합력

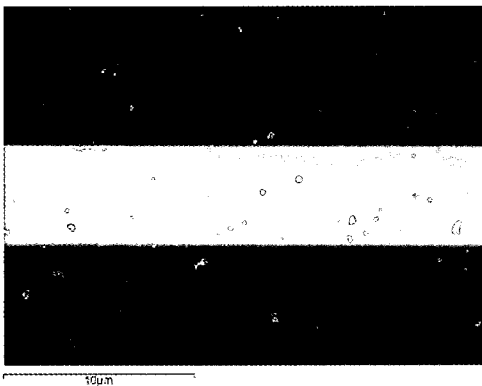


Fig. 7. SEM image of a cross section of the bonding layer for the sample with O<sub>2</sub> plasma ashing before bonding.

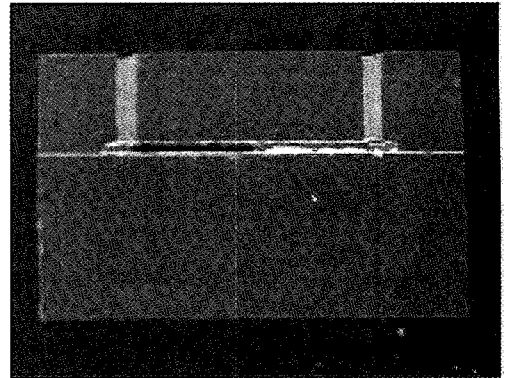


Fig. 8. Cross sectional view of the RF MEMS package after bonding and via hole filling.

또는 접합 강도이다. 고강도의 접합력은 패키징의 기본적 요구 조건이다. 본 연구에서는 다이싱된 개별 패키지의 전단 강도 측정을 전단 시험기 (Royce 552-100K)를 사용하여 측정하였다. 15개의 패키지 샘플을 측정한 결과 전단 강도는 38.8 MPa에서 74.7 MPa의 분포를 갖고, 평균 전단 강도는 52.3 MPa 이었다. 전단 시험 중에서 패키지의 파괴는 접합 계면에서 주로 발생하였다. MIL-STD-883F 규격에 기술된 미세 패키지의 전단 강도 파괴 기준에 의하면  $5 \times 10^{-4}$  inch<sup>2</sup> (또는 0.32 mm<sup>2</sup>)의 크기 보다 작은 패키지의 경우 최소한 0.04 kg/10<sup>-4</sup> inch<sup>2</sup> (또는 6.1 MPa)의 응력을 견딜 수 있어야 한다. 본 연구에서 Au-Sn 솔더 재질로 sealing된 전체 면적은 0.289 mm<sup>2</sup> 이며 따라서 본 연구에서 제작된 패키지의 강도는 충분히 크다는 것을 알 수 있었다.

#### 4.3 삽입 손실

RF MEMS 소자의 RF 성능 또는 특성을 파악하기 위해 주로 삽입 손실의 측정이 사용되고 있으며, 패키지의 설계에 있어서 삽입 손실을 가능한 최소화 해야 한다. 본 연구에서는 제작된 RF 패키지의 RF 특성을 측정하기 위하여 RF MEMS 소자 대신에 CPW 라인을 제작하여 삽입 손실을 측정하였다. 삽입 손실을 HP 8510C Network Analyzer Probe Station을 사용하여 0 GHz 부터 10 GHz 까지 주파수를 sweeping 하면서 측정하였다. Fig. 9에서는 접합 전의 삽입 손실, 즉 CPW 라인의 자체 삽입 손실, 그리고 접합 후의 삽입 손실, 즉

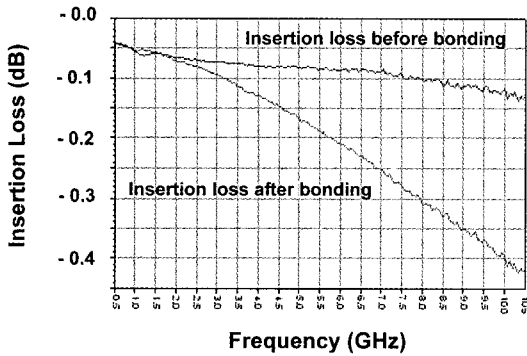


Fig. 9. Result of insertion loss measurement. Insertion loss after bonding indicates the total insertion of the package.

CPW 라인의 삽입 손실과 패키지 자체의 삽입 손실의 합을 각각 나타내고 있다. 측정 결과 접합 후의 전체 패키지의 삽입 손실은 2 GHz에서 약 0.075 dB이었으며, CPW 라인을 고려하지 않은 패키지 자체의 삽입 손실은 매우 미미함을 알 수 있다. 따라서 제작된 패키지에서는 RF 신호의 대부분이 손실 없이 잘 전달되고 있음을 나타낸다.

4.4 Hermeticity 시험

제작된 패키지의 hermeticity는 누설량 (leakage rate)을 측정하여 평가하였다. 본 연구에서 사용된 누설 측정기는 Alcatel DGC-1001사의 a helium leak detector로서  $2 \times 10^{-11}$  atmPcc/sec의 측정 한계를 갖고 있다. 그러나 본 연구에서 제작된 패키지의 내부 체적, 즉 동공의 체적은  $600 \times 600 \times 30 \mu\text{m}^3$  (또는  $1.08 \times 10^{-5}$  cc)로서 helium leak detector로 측정하기에는 너무 작다<sup>14)</sup>. 따라서 헬륨 누설 시험을 하기에 충분한 정도의 크기를 갖는 패키지를 별도로 제작하였다. 제작된 패키지의 크기는  $0.5 \times 0.5 \times 0.05 \text{ cm}^3$  ( $1.25 \times 10^{-2}$  cc)로서 크기를 제외한 모든 조건은 기존의 제작되었던 패키지와 동일하였다. 즉 An-Su 솔더의 접합 폭은  $70 \mu\text{m}$ 이며 재질 및 공정이 기존과 동일하였다. 측정된 누설량은  $1.58 \times 10^{-8}$  atm · cc/sec로서 MIL-STD-883F 규격에서 제시한 파괴 기준값, 즉  $5.0 \times 10^{-8}$  mbar · l/sec (or  $4.94 \times 10^{-8}$  atm · cc/sec) 보다 매우 적었다. 따라서 제작된 패키지의 hermeticity가 확보되었음을 알 수 있다.

패키지 내에서 발생하는 outgassing 또는 가스는

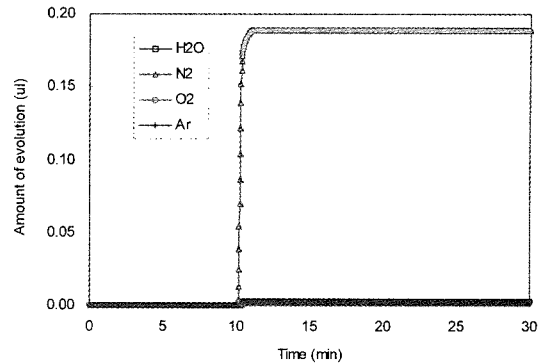


Fig. 10. Amounts of gas evolution inside the cavity measured with TPD-MS for the RF MEMS package.

접합 공정 중에 발생하거나, 패키지 내부의 표면에 흡착된 가스 분자들이 시간이 지나면서 탈착되어 발생한다. 발생한 outgassing은 공진기나 RF 스위치와 같은 RF MEMS 소자의 성능을 저하시킨다<sup>4,15)</sup>. 따라서 패키지 내의 outgassing 또한 최대한 감소시켜야 한다. RF 패키징 내의 동공 안에서 발생한 outgassing의 분석은 Temperature Programmed Desorption - Mass Spectrometry (TPD-MS)를 이용하여 수행하였다. TPD-MS 분석의 원리는 밀폐된 챔버 내의 특수 전용 지그를 설치한 후, 실온에서 패키지를 파괴하여 방출된 기체를 연속적으로 질량분석계에 통과시켜 기체의 질량수마다 농도 변화를 시간 함수로 분석하는 기법으로, 가스 발생량의 정량 분석이 가능하였다. 실제 측정은 동공 내에서 발생하는 outgassing의 양이 너무 작기 때문에 챔버 내에 4개의 샘플을 동시에 넣고 실온에서 파괴하여 outgassing량을 측정하였다. Fig. 10에서 보듯이 동공 내에서 발생된 가스의 성분은 N<sub>2</sub> (95.9%), H<sub>2</sub>O (1.6%), O<sub>2</sub> (1.0%) 및 Ar (1.5%) 이었다. N<sub>2</sub> 가스는 접합 공정 중에 Sn의 산화를 방지하기 위하여 챔버 내에 이미 존재하였던 N<sub>2</sub>인 것으로 생각된다. N<sub>2</sub> 가스는 불활성 기체이기 때문에 패키지의 신뢰성에 미치는 영향은 미미하다. H<sub>2</sub>O는 대기 중 또는 기판에 흡착되어 있던 수분이며, O<sub>2</sub> 및 Ar 또한 패키징 공정, 가령 플라즈마 애싱 공정 중에 기판에 흡착되었던 가스들로 생각된다. 그 외의 다른 오염 물질 및 유기 가스는 검출되지 않았다. 현재로서는 검출된 H<sub>2</sub>O 및 O<sub>2</sub>의 양이 RF MEMS 소자에 어느 정도 영향을 줄지 확

실하지 않다. 그러나 이들 가스들은 여러 연구에서 제한하였듯이 진공 오븐 속에서 기판을 pre-baking을 함으로써 쉽게 제거할 수 있다<sup>16,17)</sup>. 결론적으로 본 연구에서 개발된 패키지는 매우 좋은 hermetic sealing 특성을 나타내고 있다.

#### 4.5 신뢰성 시험

제작된 패키지의 강건성 및 신뢰성을 평가하기 위하여 여러 종류의 신뢰성 시험들을 수행하였다. 각 신뢰성 시험에서는 10개의 패키지 샘플을 사용하였다. 열충격 시험 조건은 샘플들을  $-40^{\circ}\text{C}$  (20 min.) $\leftrightarrow$  $85^{\circ}\text{C}$  (20 min.)의 온도 변화 상태에서 50 사이클을 반복하여 시험하였다. 고온 습도 보존 시험의 조건은  $85^{\circ}\text{C}$ , 85% RH의 조건에서 120 시간 동안 시험하였다. 또한 pressure cooker test (PCT)로서  $121^{\circ}\text{C}$ , 100% RH, 2 atm 조건에서 120 시간 동안 시험하였다. 각 시험 후에 전단 강도 및 삽입 손실을 측정 한 결과 특이한 변화는 발생되지 않았으며, 접합 계면의 파괴 또한 관찰되지 않았다..

### 5. 결 론

본 논문에서는 MEMS 공정 기술 및 저온 접합 공정을 통하여 제작된 RF MEMS 소자를 위한 웨이퍼 레벨 패키징을 소개하였다. Hermetic sealing을 확보하기 위하여 상판과 하판의 표면에 공정 접합을 이용한 An-Sn 다층 박막을 증착하였으며, sealing의 폭은  $70\ \mu\text{m}$  이었다. 패키지의 크기를 줄이고 손실을 최소화하기 위하여 전기적 연결은 상판에 수직 via hole을 제작하여 hole 내부를 Cu를 전기도금 법으로 채웠다. 접합 계면 및 via hole에서의 void 발생은  $\text{O}_2$  플라즈마 애싱 및 공정의 최적화 작업을 통하여 제거될 수 있었다. CPW 라인을 포함한 패키지 전체의 삽입 손실은 2 GHz에서 0.075 dB이며, 패키지 자체의 삽입 손실은 매우 미미하였다. 패키지 접합의 전단 강도는 평균 52.3 MPa이었으며, 헬륨 누설 시험 결과 패키지의 누설량은 MIL-STD-883F 규격을 만족하였다. 패키지 내부에서 발생된 outgassing은 주로  $\text{H}_2\text{O}$ 와  $\text{O}_2$  이었으며, 이들은 pre-baking 공정을 통하여 쉽게 제거할 수 있다. 그 외의 다른 오염 물질이나 유기 가스 등은 검출되지 않았다. 패키지의 강건성 및 신뢰성을 평가하기 위하여 열충격 시험, 고온

보존 시험 및 PCT 시험을 수행하였으며, 시험 결과 패키지의 파괴는 발생되지 않았으며, 개발된 패키지의 강건성을 확인할 수가 있었다.

### 참고문헌

1. V. Varadan, K. Vinoy and K. Jose, RF MEMS and Their Application, John Wiley & Sons, Ltd, (2003).
2. P. Wilkerson, M. Kranz, A. Przekwas, T. Hudson, "Flip-chip Hermetic Packaging of RF MEMS", Microelectromechanical Systems Conference, 91 (2001).
3. T. H. Lih, L. Li, J. Drye and M. K. Shun, "Performance Evaluation of RF MEMS Packages", 52<sup>nd</sup> ECTC Proceedings, 1032 (2002).
4. L. Mercado, S. Kuo, T. Lee, R. Lee, "Analysis of RF MEMS Switch Packaging Process for Yield Improvement" IEEE Trans. Adv. Pack., 28, 34 (2005).
5. G. Li and A. Tseng, "Low Stress Packaging of a Micro-machined Accelerometer", IEEE Trans. on Electronics Packaging Manufacturing, 24, 18 (2001)
6. R. Gooch and T. Schimert, "Low-Cost Wafer Level Vacuum Packaging for MEMS", MRS Bulletin, 28, 55 (2003).
7. W. H. Ko, J. T. Suminto and G. J. Yeh, Bonding Techniques for Microsensors. Micromachining and Micro-packaging of Transducers, Elsevier Press, Amsterdam, pp. 41-61, (1985).
8. D. Ivey, "Microstructural Characterization of Au/Sn Solder for Packaging in Optoelectronic Applications", Micron., 29, 281(1998).
9. C. Wang and C. Lee, "An Eutectic Bonding Technology at a Temperature below the Eutectic Point", Proceedings 42<sup>nd</sup> ECTC Proceedings, 502(1992).
10. H. Okamoto and T. B. Massalski, Phase Diagram of Binary Gold Alloys, ASM International, Metals, Park Press, Ohio, 278 (1987).
11. G. S. Matijasevic, C. C. Lee and C. Y. Wang, "Au-Sn Alloy Phase Diagram and Properties Related to Its Use as a Bonding Medium", Thin Solid Films, 223, 276(1993).
12. S. L. Burkett, X. Qiao, D. Temple, B. Stoner, G. Mcguire, "Advanced Processing Techniques for Through-Wafer Interconnects", J. Vac. Sci. Technol., B22, 248-56(2004).
13. A. Kohno, Y. Sasaki, R. Udo, T. Harada and M. Usami, "Bonding of IC Bare Chips for Microsystems Using Ar Atom Bombardment", J. Micromech. Microeng., 11, 481(2001).
14. M. Nese, R. W. Bernstein, I. R. Johansen, R. Spooren,



- “New Method for Testing Hermeticity of Silicon Sensor Structures”, *Sensors and Actuators*, A53, 349(1996).
15. S. Mack, H. Baumann, U. Gösele, H. Werner and R. Schlögl, “Analysis of Bonding-Related Gas Enclosure in Micromachined Cavities Sealed by Silicon Wafer Bonding”, *J. Electrochem.*, 144, 1106(1997).
16. A. Roth, *Vacuum Technology*, North-Holland Publishing, (1976).
17. Y. T. Cheng, W. T. Hsu, K. Najafi, C. T. C. Nguyen and L. Lin, “Vacuum Packaging Technology Using Localized Aluminum/Silicon-to-Glass Bonding”, *J. Microelectromech. S.*, 11, 556-65(2002)