

# SOI 기판을 이용한 Thermal Probe 어레이 제작 및 특성 평가

## Fabrication and Characterization of Thermal Probe Array on SOI Substrates

조주현<sup>1</sup>, 나기열<sup>1</sup>, 박근형<sup>1</sup>, 이재봉<sup>1</sup>, 김영석<sup>1,a</sup>

(Ju-Hyun Cho<sup>1</sup>, Kee-Yeol Na<sup>1</sup>, Keun-Hyung Park<sup>1</sup>, Jae-Bong Lee<sup>1</sup>, and Yeong-Seuk Kim<sup>1,a</sup>)

### Abstract

This paper reports the fabrication and characterization of 5 × 5 thermal cantilever array for nano-scaled memory device application. The 5 × 5 thermal cantilever array with integrated tip heater has been fabricated with MEMS technology on SOI wafer using 7 photo masking steps. All single-level cantilevers have a diode in order to eliminate any electrical cross-talk between adjacent tips. Electrical measurements of fabricated thermal cantilever array show its own thermal heating mechanism. Thermal heating is demonstrated by the reflow of coated photoresist on the cantilever array surface.

**Key Words** : SPM, AFM, Thermal probe array, Nano-scaled memory, MEMS

### 1. 서론

AFM (atomic force microscopy) 기술은 캔틸레버의 팁이 물질 표면에 근접하였을 때 팁과 물질 표면의 원자 사이에 작용하는 인력-척력을 이용하여 이미지로 출력하는 장치로서, 도체 또는 부도체의 물질 표면을 관찰하기 위한 용도로 개발되었으나, 최근 들어서는 AFM 기술을 응용하여 나노 스케일급의 차세대 메모리 디바이스를 개발하는 연구 분야로 확대되고 있다[1-6]. AFM 기술을 응용하여 메모리 저장장치로 사용하는 방법 중에 가장 많은 연구가 진행된 방법은 IBM의 'Millipede' 방법이다[4-6]. 이 방법은 그림 1처럼 캔틸레버에 나노 스케일의 실리콘 팁을 히터 영역 안에 함께 제작한다. 쓰기 동작은 바이어스를 인가하여 캔틸레버의 히터 영역의 온도를 조절한 후에 폴리머 재질로 코팅된 저장 매체 표면에 가열된 팁을 얹

은 폴리머가 도포된 실리콘 웨이퍼에 접촉시키게 되면 열적-물리적으로 폴리머 박막의 표면을 녹여 표식을 형성하게 된다. 팁이 접촉하여 생긴 표식은 비트 단위의 데이터가 된다. 소거 동작은 캔틸레버 팁의 온도를 높여 박막에 새겨진 표식과 접촉한 후 주변의 폴리머를 녹여 표식을 채워서 폴리머 박막의 표면을 원래의 상태로 환원함으로써 구현한다. 읽기 동작은 폴리머 박막의 표면을 스캔하였을 때 캔틸레버의 온도 변화를 이용하여 데이터를 읽을 수 있다[4-6]. 히터 영역은 팁이 위치하는 저농도 n형 도핑 영역이며, 바이어스 인가 시 히터 영역의 자체 저항에 의해 캔틸레버의 온도가 증가하도록 되어 있다.

본 연구에서는 그림 1과 같은 메모리 동작이 가능한 열-캔틸레버 어레이를 설계하고, MEMS (Micro-Electro-Mechanical Systems) 공정을 이용하여 제작하였다. 또한 제작한 캔틸레버의 고유한 전기적 특성들을 확인하였다. 전기적인 특성들을 분석하여 히터 영역의 물리적인 크기와 동작전압과의 관계를 확인하였다. 또한 캔틸레버 표면에 감광막을 도포한 후 바이어스 인가 전후의 감광막의 표면 상태를 확인함으로써, 히터 영역의 온도 변화를 확인하였다.

1. 충북대학교 반도체공학과  
(충북 청주시 흥덕구 개신동)  
a. Corresponding Author : kimys@cbu.ac.kr  
접수일자 : 2005. 8. 10  
1차 심사 : 2005. 8. 30  
심사완료 : 2005. 9. 26

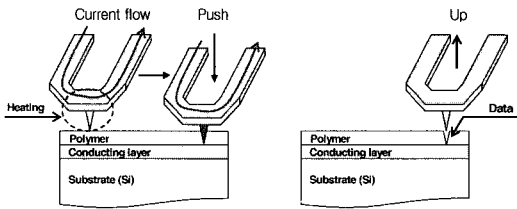


그림 1. 실리콘 열-캔틸레버의 메모리 동작원리 (프로그램/소거).

Fig. 1. Memory operation of silicon cantilever.

## 2. 캔틸레버 어레이 설계 및 제작

### 2.1 캔틸레버의 힘상수(K) 및 공진주파수(F<sub>R</sub>)

캔틸레버 어레이 설계 및 제작에 있어서 가장 고려해야 할 부분은 힘 상수(force constant ; K)와 공진주파수(resonant frequency ; F<sub>R</sub>)이다. 사용 용도에 따라서 힘 상수와 공진주파수 특성을 고려하여 캔틸레버는 접촉 모드 또는 비접촉 모드로 제작할 수 있다. 비접촉 모드는 캔틸레버의 팁이 물체의 표면 위를 스캔하며 팁과 표면 사이에 작용하는 힘을 측정하여 이미지로 출력하는 용도로 사용된다. 이에 비해 접촉 모드는 저장매체의 표면에 직접 접촉하여 동작을 하게 된다. 본 연구에서 논의하고 있는 메모리 저장장치로 사용하기 위해서는 폴리머 박막에 직접 접촉하여 표식을 형성하여야 하므로 접촉 모드의 캔틸레버를 제작하였다. 접촉모드 캔틸레버를 제작하기 위해서는 캔틸레버의 힘상수와 공진주파수를 고려하여야 한다. 접촉 모드는 캔틸레버의 팁과 시편이 물리적으로 접촉하고 있는 상태에서 시편의 표면을 스캔하므로, 팁과 시편 표면의 마모가 발생하게 된다. 따라서 접촉방식 캔틸레버는 힘상수가 가능한 작도록 설계한다. 또한 캔틸레버가 시편의 표면을 빠른 속도로 읽을 수 있어야 하므로 공진주파수를 높게 설계한다[6]. 이러한 접촉방식 캔틸레버는 힘상수가 0.01 ~ 1.00 N/m, 그리고 공진주파수는 수 kHz ~ 수십 kHz의 값을 가져야 한다. 각각의 물리적인 파라미터(K & F<sub>R</sub>)들은 상용화 되어 있는 접촉모드 AFM 캔틸레버와 동일한 수준이다. 그림 2는 단일 캔틸레버의 모습과 힘상수와 공진주파수를 계산하기 위한 파라미터를 도시하였다. 본 연구에서 제작한 캔틸레버 어레이는 L1 = 150 μm, L2 = 140 μm, W = 30 μm, b = 48 μm이며, 힘상수와 공진주파수를 고려하여, 캔틸레버의 두께 1 μm에서 각각 0.34 N/m, 62.02 kHz로 접촉 모드 캔틸레버의 조건에 적합하게 제작하였다.

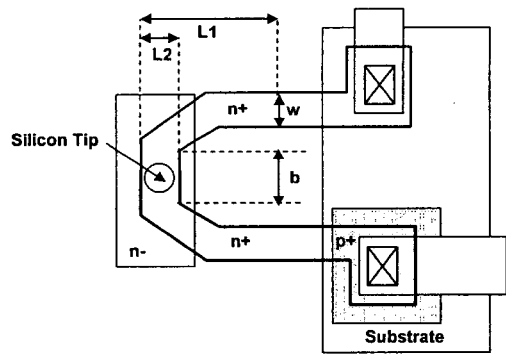


그림 2. 단위 열-캔틸레버 레이아웃.

Fig. 2. Layout of unit cantilever.

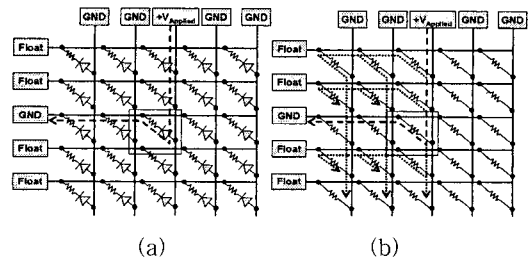


그림 3. (a) 다이오드가 내장된 5 × 5 캔틸레버 어레이의 전기적 등가회로와 (b) 쓰기, 읽기, 소거를 위해 바이어스 인가 시 누설 전류의 흐름.

Fig. 3. (a) Electrical equivalent circuit of 5 × 5 cantilever array and (b) Cross-talk under applied bias.

### 2.2 캔틸레버 어레이 설계

그림 3(a)는 캔틸레버 어레이의 전기적 등가회로이며, 하나의 캔틸레버를 선택하고자 임의의 행과 열에 바이어스를 인가하였을 때, 전류의 흐름을 보여주고 있다. 어레이를 구성하는 각각의 캔틸레버에는 다이오드가 내장되어 있다. 다이오드는 캔틸레버 어레이에서 원하는 단위 캔틸레버에 선택적으로 전원을 인가하고자 할 때 이웃하는 캔틸레버로 누설 전류가 흐르는 현상을 방지하기 위해서 제작하였다. 그림 3(b)는 다이오드가 내장되지 않았을 경우 선택한 캔틸레버와 함께 주변 캔틸레버로의 누설 전류를 보여주고 있다.

### 2.3 캔틸레버 어레이 제작

열-캔틸레버 어레이를 제작하기 위한 공정순서는 그림 4와 같다. 캔틸레버 어레이 제작에 사용되는 실리콘 기판은 n-type, (100), 400  $\mu\text{m}$  두께를 갖는 bonded SOI 웨이퍼이다. SOI 웨이퍼의 상층 실리콘은 두께가 3.5  $\mu\text{m}$ , 비저항은 0.05 ~ 0.1  $\Omega \cdot \text{cm}$  이다. 또한 상층 실리콘 웨이퍼와 하층 웨이퍼 사이에 존재하는 매몰 산화막의 두께는 3.0  $\mu\text{m}$  이었다. 캔틸레버 영역 공정 순서는 다음과 같다. 우선 1000  $\text{\AA}$  두께의 산화막을 성장하고, 사진식각 공정 후 BOE (Buffer Oxide Etchant) 식각으로 산화막을 식각한 후, 산화막을 식각 마스크로 이용하여 상층 실리콘을 RIE (Reactive Ion Etching)를 이용하여 건식각을 진행하였다(그림 4(a) 참고). 감광막을 마스크로 사용하지 않는 이유는 실리콘 건식각 동안에 감광막이 경화되어 웨이퍼와 심하게 유착되어 감광막 제거가 되지 않는 것을 미연에 방지하기 위해서이다. 후속 공정으로 웨이퍼 표면의 산화막을 팁 건식각의 마스크로 사용하기 위하여 실리콘 팁 영역을 사진식각 공정과 BOE 식각을 진행하였다(그림 4(b) 참고). 실리콘 팁 형성은 캔틸레버 영역에 남아있는 산화막을 식각 마스크로 이용하여 2단계 건식각 공정으로 형성하였다(그림 4(c), (d) 참고). 일반적으로 RIE 공정에서는 압력을 높일수록 등방성 식각이 증가하고, 파워를 높일수록 이방성 식각이 증가한다. 실리콘으로 제작되어진 팁이 금속 재질에 비하여 기계적인 강도가 우수하고 스트레스에 강하며 마모가 적지만, 폴리머 박막과 접촉 시 캔틸레버 팁의 내구성을 고려하여 팁의 하부는 일정한 크기를 유지하면서 팁의 상부는 예리하게 제작하기 위해 2단계 건식각 공정으로 진행하였다. 표 1은 캔틸레버 팁 제작 시 건식각 조건이다. 2단계 실리콘 건식각 후 실리콘 팁의 끝부분을 더욱더 예리하게 만들기 위하여 산화공정을 진행하였다(그림 4(e) 참고). 그림 5(a)는 2단계 건식각 공정 후 실리콘 팁의 전자현미경 사진이며, 그림 5(b)는 2단계 건식각의 후속공정인 실리콘 팁 산화 공정 후의 전자현미경 사진이다. 산화 공정 후 실리콘 팁의 끝부분이 보다 예리해진 것을 확인할 수 있다.

실리콘 캔틸레버와 팁 영역을 형성한 이후 히터 영역을 정의하기 위하여 히터 영역을 제외한 나머지 영역에는 고농도 n형 도핑을 진행하였다. 도핑 방법은 이온 주입 방법을 사용하였으며, 이온 주입 조건은  $\text{Ph}^+$ , 80 KeV,  $5 \times 10^{15} / \text{cm}^2$  이었다(그림 4(f) 참고). 그리고 어레이 상에 다이오드를 형성하

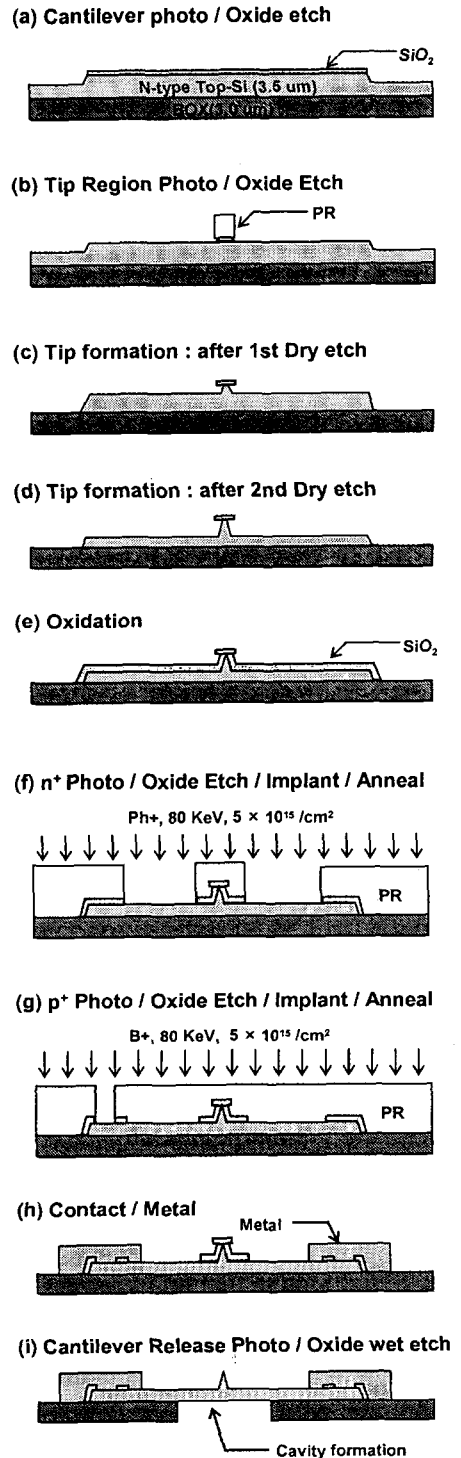
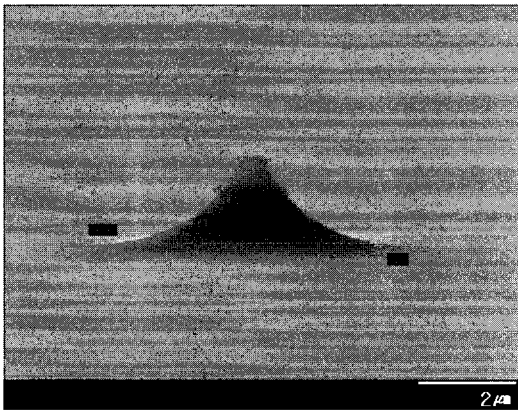


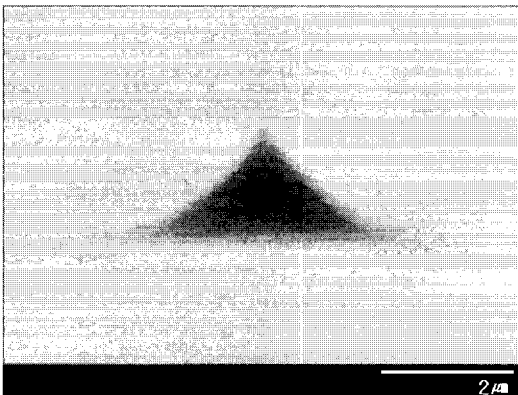
그림 4. 열-캔틸레버 어레이 공정순서.  
Fig. 4. Process flow of thermal cantilever array.

표 1. 캔틸레버 팁 건식각 조건 (2단계 건식각).  
Table 1. Dry etching recipe for silicon tip formation.

|      | 1단계                                    | 2단계                                    |
|------|--|--|
| 가스   | SF <sub>6</sub> :O <sub>2</sub> = 40:3 | SF <sub>6</sub> :O <sub>2</sub> = 40:3 |
| 파워   | 50 W                                   | 50 W                                   |
| 압력   | 60 mT                                  | 20 mT                                  |
| 식각시간 | 3 분                                    | 5 분                                    |



(a)

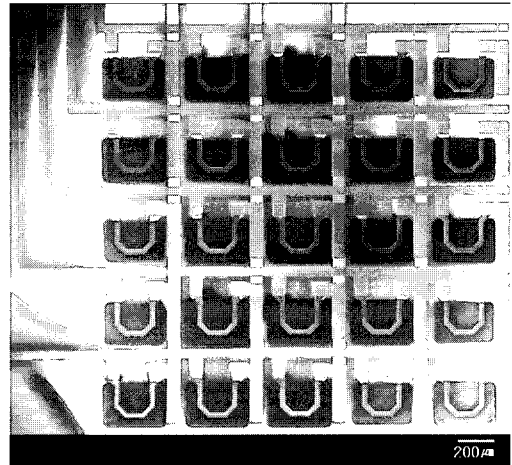


(b)

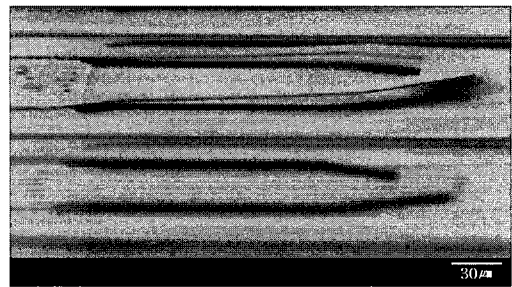
그림 5. (a) 실리콘 팁 형성 후와 (b) 산화 후의 전자현미경 사진.

Fig. 5. (a) SEM micrograph after silicon tip etch (2-step etch) and (b) SEM micrograph after thermal oxidation.

기 위하여 붕소를 이온주입 방법으로 고농도 p형 영역을 형성하였다. 이온 주입 공정 조건은 B<sup>+</sup>, 80



(a)



(b)

그림 6. (a) 5 × 5 열-캔틸레버 어레이 전자현미경 사진 및 (b) 단일 캔틸레버 확대사진.

Fig. 6. (a) SEM micrograph of 5 × 5 thermal cantilever array and (b) SEM micrograph of single cantilever.

KeV,  $5 \times 10^{15} / \text{cm}^2$  이었다(그림 4(g) 참고). 붕소 이온주입 후 컨택 공정과 몰리브덴(Mo)을 이용하여 금속 공정을 진행하였다(그림 4(h) 참고). 마지막으로 캔틸레버를 기판으로부터 분리하기 위해서 감광막을 식각 마스크로 사용하여 캔틸레버 주변 영역만 개방한 후 BOE를 이용하여 산화막을 제거하는 공정을 진행 하였다(그림 4(i) 참고). 그림 6은 완성된 5 × 5 열-캔틸레버 어레이의 전자현미경 사진이다.

### 3. 측정 결과

제작된 캔틸레버 어레이의 전기적 특성을

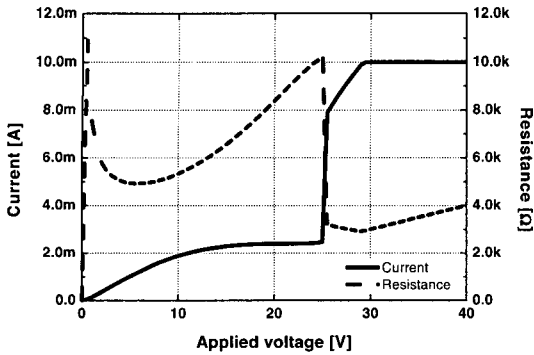


그림 7. 단위 열-캔틸레버의 전압-전류 특성.  
 Fig. 7. Current - voltage characteristics of unit thermal cantilever.

Agilent 4156A precision semiconductor analyzer를 이용하여 확인하였다. 측정에 사용된 캔틸레버는 길이 227  $\mu\text{m}$ , 폭은 10  $\mu\text{m}$ 이고, 히터의 길이는 18  $\mu\text{m}$ , 폭은 6  $\mu\text{m}$  이었다.

그림 7은 캔틸레버에 바이어스를 인가하였을 때, DC 전류-전압 특성을 측정할 곡선이다. 그림 7에서 보는바와 같이 인가전압이 10 V 이하의 구간에서는 전압의 증가에 따라서 캔틸레버에 흐르는 전류가 선형적으로 증가하는 것을 확인할 수 있다. 선형적인 전류 증가를 보이는 구간은 옴의 법칙(Ohm's law)을 따르는 구간이다. 한편, 인가전압이 10 V 이상으로 증가시키면 캔틸레버에 흐르는 전류가 전압에 비례하여 선형적으로 증가하지 않고 일정한 값으로 포화된다. 이 영역은 캔틸레버 자체의 저항에 의해 바이어스를 증가시켜도 전류가 제한되는 구간이며, 캔틸레버에 흐르는 전류 밀도의 증가로 캔틸레버를 구성하고 있는 실리콘의 온도가 점차적으로 증가하는 영역이다. 인가전압을 25 V까지 증가시키면 전류가 급격히 증가한다. 이렇게 전류가 급격히 증가하는 이유는 포화 전류-전압 특성을 갖는 영역에서부터 실리콘의 온도가 점차적으로 증가함에 따라 열적으로 생성된 캐리어들이 전류 성분에 참여하기 때문이다. 다시 말해서, 측정에 사용된 캔틸레버의 경우 인가전압이 약 25 V에 이르면 임계 전압을 넘어 열적 항복 현상이 일어나게 되고, 히터 영역에 흐르는 전류가 급격하게 상승한다. 이와 같은 전류의 증가로 인하여 캔틸레버 자체의 저항은 급격히 감소하게 된다. 그리고 캔틸레버의 저항 값이 최고점에 이르렀을 때 캔틸레버의 온도가 최고점에 도달하는 것을 예상할 수 있다.

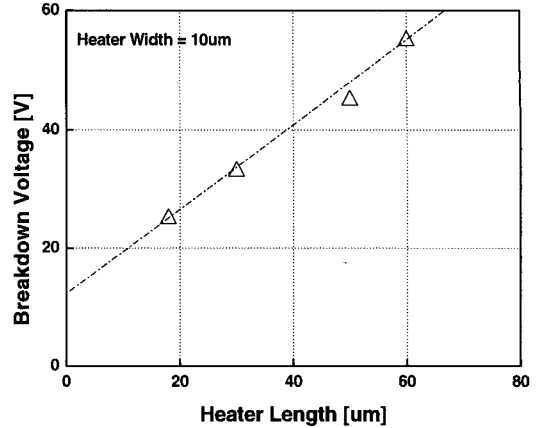


그림 8. 히터 길이 변화에 따른 항복전압의 변화.  
 Fig. 8. Breakdown voltage vs. length of heater region.

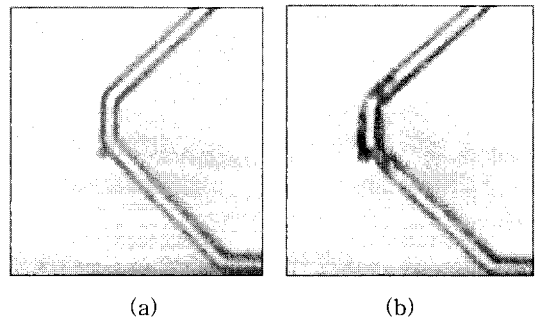


그림 9. (a) 바이어스 인가 전, (b) 항복현상 후의 감광막의 변화.  
 Fig. 9. PR reflow of silicon cantilever, (a) Initial and (b) after breakdown.

그림 8은 히터 영역의 폭은 10  $\mu\text{m}$ 이고, 각각 길이가 다른 캔틸레버들을 이용하여 전류-전압 특성을 측정하였을 때, 항복전압의 변화를 보여주고 있다. 그림 8에서 항복전압은 히터의 길이가 줄어들수록 낮아지는 것을 확인할 수 있다. 캔틸레버의 전기적 저항은 전체에서 작은 면적을 차지하는 히터 영역의 고유한 전기적 저항에 의해 결정된다. 또한 히터 영역의 길이가 줄어들수록 동작 전압과 전류 소모가 줄어들게 된다[6].

히터 영역의 온도 변화를 확인하기 위하여 캔틸레버 어레이 표면에 감광막을 2  $\mu\text{m}$  두께로 도포한 후 전압을 인가하였다. 그림 9에서와 같이 전압의 증가에 따라 캔틸레버 어레이 표면에 도포된

감광막의 리플로우(reflow) 상태를 확인하였다. 그림 9(a)는 캔틸레버 표면에 감광막을 도포한 후 전압을 인가하기 전의 모습이며, 그림 9(b)는 전압을 인가하여 항복 전압이 일어난 직후 감광막이 리플로우된 상태이다. 이를 통해, 본 연구에서 제작된 캔틸레버 어레이는 폴리머 층에 열적으로 표식을 새길 수 있는 충분한 온도를 가질 수 있음을 보여 주고 있다.

#### 4. 결론

나노-스케일급 메모리 소자의 구현을 위한 5 × 5 열-캔틸레버 어레이를 설계하고, MEMS 공정을 이용하여 SOI 기판 상에서 제작한 후 전기적 특성들을 평가하였다.

열-캔틸레버 어레이는 접촉모드 동작에 적합하도록 힘 상수와 공진주파수를 고려하여 설계되었고, 어레이 동작 중에 발생할 수 있는 전기적인 상호 교란을 막기 위해 어레이 내부에 다이오드를 내장하였다. 열-캔틸레버의 제작을 위해 총 7개의 사진 공정을 이용하여 진행하였다.

단위 캔틸레버의 전류-전압 특성으로부터 선형 영역, 포화 영역, 열적 항복 영역으로 이어지는 고유한 전기적인 특성을 확인하였다. 또한, 캔틸레버에 내장된 히터 영역의 길이가 감소함에 따라 캔틸레버의 항복전압이 선형적으로 감소하는 것을 확인하였다.

바이어스 인가에 의한 캔틸레버의 온도 변화를 확인하기 위해서 캔틸레버 표면에 감광막을 도포하고 바이어스를 인가한 결과, 감광막의 리플로우 현상을 확인할 수 있었다. 이와 같이, 감광막의 리플로우 현상으로 캔틸레버에 내장된 히터 영역의 온도 증가를 간접적으로 확인하였다.

#### 감사의 글

이 논문은 2005년도 충북대학교 학술연구지원사

업의 연구지원에 의하여 연구되었음.

#### 참고 문헌

- [1] L. Shi, O. M. Kwon, G. Wu, and A. Majumdar, "Quantitative thermal probing of devices at Sub-100 nm resolution", Proc. IEEE Int. Reliability Physics Symp., p. 394, 2000.
- [2] Li, M.-H., J. J. Wu, and Y. B. Gianchandani, "High performance scanning thermal cantilever using a low temperature polyimide - based micromachining process", 13th Annual International Conference on Micro Electro Mechanical Systems(MEMS), p. 763, 2000.
- [3] L. Shi, O. M. Kwon, A. C. Miner, and A. Majumdar, "Design and batch fabrication of cantilevers for Sub-100 nm scanning thermal microscopy", J. of Microelectromechanical Systems, Vol. 10, Iss. 3, p. 370, 2001.
- [4] H. J. Mamin, R. P. Ried, B. D. Terris, and D. Rugar, "High-density data storage based on the atomic force microscope", Proc. IEEE, Vol. 87, No. 6, p. 102, 1999.
- [5] P. Vettiger, M. Despont, U. Drechsler, U. Durig, W. Haberle, M. I. Lutwyche, H. E. Rothuizen, R. Stutz, R. Widmer, and G. K. Binnig, "The 'Millipede' - More than one thousand tips for future AFM data storage", IBM J. Res. Develop., Vol. 44, No. 3, p. 323, 2000.
- [6] W. P. King, T. W. Kenny, K. E. Goodson, G. L. W. Cross, M. Despont, U. T. Durig, H. Rothuizen, G. Binning, and P. Vettiger, "Design of atomic force microscope cantilevers for combined thermomechanical writing and thermal reading in array operation", J. of Microelectromechanical Systems, Vol. 11, No. 6, p. 765, 2002.