

대용량 신 메모리의 Integration 기술

정기태 · 이상영 · 정홍식 (삼성전자 반도체연구소), 김기남 (IEEE FELLOW)

초록

강 유전체 메모리(FRAM)와 상 변화 메모리(PRAM)는 기존의 메모리들이 갖고 있는 문제점들을 해결할 수 있는 이상적인 메모리로 주목 받고 있다. 현재 FRAM과 PRAM을 구현하는데 있어서 가장 큰 어려움은 셀의 크기와 대용량이다. 따라서 신 메모리의 셀 크기를 결정짓는 중요 요소들과 이를 해결할 수 있는 공정 기술들에 대하여 살펴보았다.

I. 서론

FRAM과 PRAM은 기존의 비휘발성 메모리보다 좋은 특성을 가지고 있기 때문에 이상적인 비휘발성 메모리로 여겨지고 있다. FRAM과 PRAM은 비휘발성뿐만 아니라 빠른 쓰기 속도, 좋은 내구성(Endurance)을 가지고 있다. FRAM과 PRAM은 각각 100nsec 이하와 500nsec 이하의 빠른 쓰기 속도를 가지고 있으며, Flash 메모리의 내구성이 10^6 번 이하인 반면에 FRAM과 PRAM은 10^{12} 번 이상의 좋은 내구성을 가지고 있으므로 신뢰성이

중요한 제품에 많이 쓰일 수 있을 것으로 기대된다.

그러나 메모리의 단가 측면에서는 신 메모리가 아직 충분히 검증되지 않았다. 신 메모리의 단가에 있어서의 강점은 많은 수의 redundancy cell, 높은 cell array efficiency와 적은 process step수이다. 많은 수의 redundancy cell은 수율을 높여 단가를 줄일 수 있으며, 높은 cell array efficiency와 적은 process step수 역시 웨이퍼당 칩 개수를 크게 하거나, 웨이퍼당 공정 단가를 줄임으로써 단가를 줄일 수 있다. 반면에 신 메모리의 단가에 있어서의 단점은 큰 셀 크기이다. 현재 FRAM과 PRAM의 셀 크기는 $10F^2 \sim 20F^2$ 정도로 Flash 메모리 대비 두 배 정도 크다. 따라서 대용량 신 메모리의 기술적인 문제점과 그 해결 방안에 대해 살펴보도록 하겠다.

II. FRAM의 집적 기술

1. 대용량 FRAM을 위한 조건

FRAM 제품을 구현하는데 있어 가장 큰 결

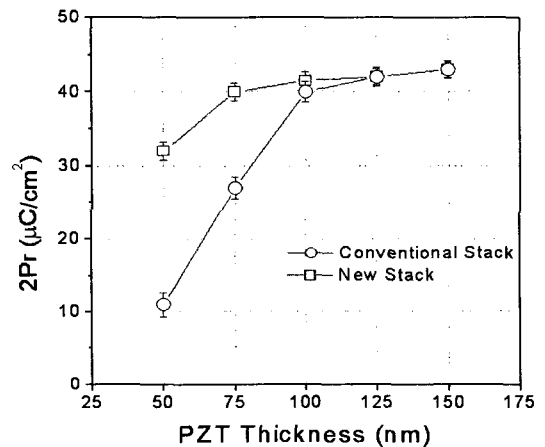
림들은 셀 크기와 scalability이다. FRAM은 강 유전체의 remnant polarization을 메모리 소자로 이용하므로, 강 유전체의 remnant polarization charge가 데이터 “0”와 “1”을 구분 짓는 신호의 크기를 결정한다. 적절한 읽기와 쓰기를 위해서는 회로의 잡음보다 큰 일정한 정도의 remnant polarization charge가 항상 있어야 하지만, 셀 커패시터의 면적은 dimension의 제곱으로 감소하므로, 셀 크기가 감소함에 따라 신호 대 잡음비가 현저하게 떨어진다. 따라서 이러한 문제점을 해결하기 위해서는 주어진 셀 크기에서 셀 커패시터의 면적을 증가시켜야 한다. 셀 커패시터의 면적을 증가시키는 첫 번째 방법으로는 전극의 에칭 기울기를 증가시키는 방법이었다. 에칭 기울기를 80° 이상으로 증가시킴으로써 150nm design rule에서 12F2 셀 크기를 얻을 수 있다. 더 작은 셀 크기를 위해서는 3차원 셀 커패시터 구조가 요구되며, 3차원 셀 구조를 위해서는 나노 크기의 강 유전체 박막 기술과 좋은 step coverage를 가지는 강 유전체 박막 기술이 필요하다.

2. 대용량FRAM을 위한 shrink 기술

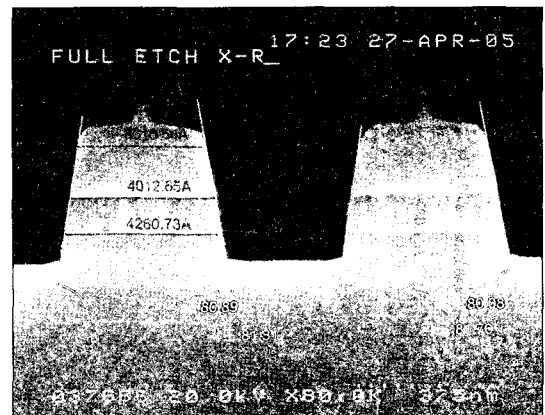
(그림 1)에서 보는 바와 같이 기존의 커패시터 구조에서는 PZT 박막의 두께가 100nm 이하로 감소함에 따라 2Pr이 급격하게 감소하며, 이런 강 유전체 특성으로는 강 유전체 박막의 두께를 100nm 이하로 낮출 수가 없다. 이러한 2Pr의 급격한 감소를 방지하기 위하여 Perovskite 구조를 갖는 새로운 전극이 도입되었다. Perovskite 구조를 갖는 새로운 전극을 사용함으로써 2Pr을 70nm의 박막 두

께까지도 유지할 수 있어 강 유전체 박막 두께를 70nm까지 감소시킬 수 있고, 저 전압 동작이 가능하게 되었다.

FRAM 고집적화의 또 다른 문제인 강 유전체와 전극의 에칭은 hard mask 강화방법으로 많은 개선을 이룰 수 있다. (그림 2)는 이와 같은 방법으로 에칭한 강 유전체 박막과 전극이 82° 이상의 높은 기울기를 갖는 것을 보여 주고 있으며, 이러한 기술을 이용하면 $0.11\mu\text{m}^2$ 의 크기를 갖는 셀 커패시터를 만들 수 있어,

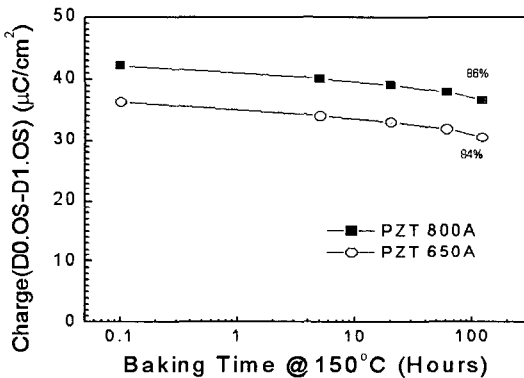


〈그림 1〉 강유전체 박막 두께에 따른 2Pr의 변화



〈그림 2〉 82° 의 기울기를 갖는 PZT stack의 SEM 사진

150nm design rule에서 $12F^2$ 의 셀 크기를 구현할 수 있다. $12F^2$ 는 지금까지 보고된 것 중 가장 작은 셀 크기이며 현재의 embedded NOR flash와 셀 크기가 비슷하다.^[1] 또 다른 FRAM의 기술적 어려움인 강 유전체 박막의 retention time은 (그림3)과 같이 새로운 전극을 사용함으로써 150°C 에서 100시간까지 저장된 신호를 유지할 수 있으며, 이것은 85°C 에서 10년 이상의 retention time을 가지고 있음을 나타낸다.



〈그림 3〉 PZT 박막의 retention time 특성

현재까지 150nm design rule에서 $12F^2$ 의 셀 크기를 유지하는 것은 전혀 기술적인 어려움이 없으나, 셀 크기를 더욱 줄이려면 3차원적인 셀 커패시터 구조가 개발되어야 한다. 3차원 셀 커패시터 구조를 위해서는 나노 두께의 얇은 강 유전체 박막과 좋은 step coverage가 필요하다. 아직까지 성공적인 3차원 구조는 보고된 바가 없으나, 정확한 성분비로 3차원 구조에 충분한 step coverage를 갖는 박막 기술이 개발되고 있으므로, 곧 성공적인 3차원 셀 커패시터 구조를 만들 수 있을 것으로 기대된다.

강 유전체 박막의 두께가 얼마까지 낮아질

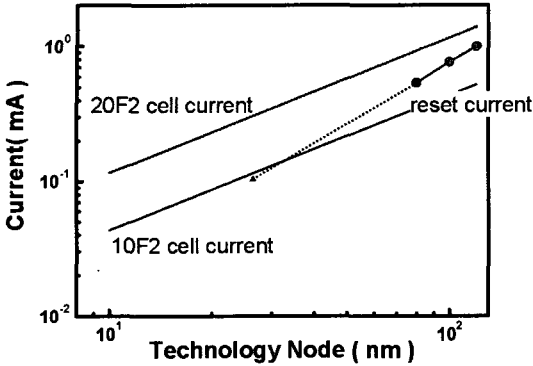
수 있는지 정확히 알 수 없으나, 수 nm까지는 낮아질 수 있을 것으로 생각된다. FRAM의 미래는 수 nm의 두께를 가지면서 큰 remnant polarization을 갖는 강 유전체 박막에 달려 있으나 아직은 이러한 특성을 가지는 강 유전체 박막이 없다. 따라서 나노 시대에 적합한 FRAM을 개발하기 위해서는 얇은 두께와 polarization을 유지할 수 있는 강 유전체 박막 기술이 요구된다.

III. PRAM의 집적 기술

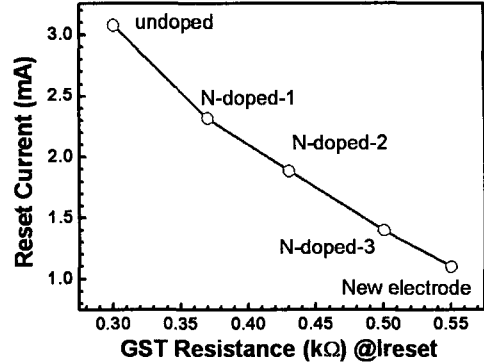
1. 대용량 PRAM을 위한 조건

메모리 시장에서 기존의 비휘발성 메모리와 경쟁하기 위해서는 더 낮은 단가와 좋은 특성이 요구된다. 낮은 단가를 위해서는 작은 셀 크기, scalability, 높은 수율이 필요하며, 좋은 특성을 위해서는 빠른 프로그래밍 속도가 필요하다.^[2]

PRAM의 경우 셀 크기를 줄이기 위해서는 프로그래밍 전류를 줄여야 한다. PRAM은 비정질과 결정질의 저항 차이를 이용하는 메모리로 전류에 의해 발생하는 Joule 열로 상 변화를 일으킨다. 현재 프로그래밍에 필요한 전류는 1mA 정도로, 이 전류가 셀 트랜지스터를 통하여 흘러야 하기 때문에 셀 사이즈를 줄이는 것이 어렵다. (그림4)는 셀 트랜지스터의 전류 구동 능력과 프로그래밍 전류를 나타내고 있다. 현재는 100nm design rule에 $16F^2$ 정도의 셀 사이즈를 가지고 있으며, $10F^2$ 이하의 셀 사이즈를 위해서는 0.4mA 이하의 프로그래밍 전류가 요구된다.



〈그림 4〉 셀 트랜지스터의 전류 구동 능력 및 쓰는데 필요한 프로그래밍 전류



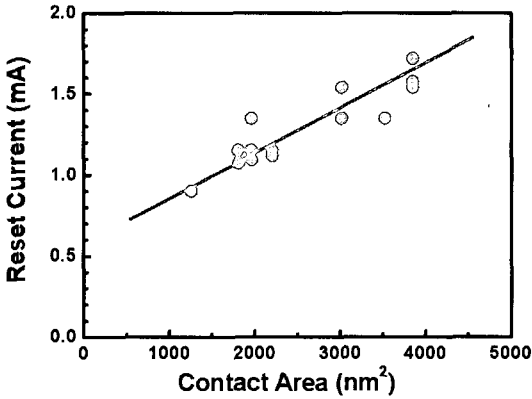
〈그림 5〉 셀 트랜지스터의 전류 구동 능력 및 쓰는데 필요한 프로그래밍 전류

2. 대용량 PRAM을 위한 shrink 기술

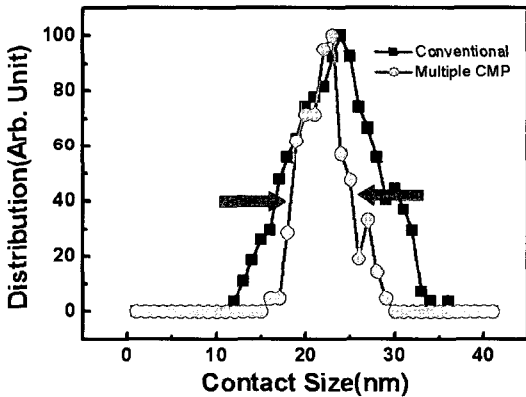
PRAM을 제품화하는데 있어 가장 큰 장애물은 큰 프로그래밍 전류이다. 낮은 단가와 대용량, 좋은 신뢰도를 위해서는 프로그래밍 전류를 낮춰야 하며, 프로그래밍 전류는 GST contact 사이즈, 구조, GST 저항, GST 사이즈, 두께, 열전도도 등에 의해서 결정된다. 프로그래밍 전류를 줄이는 방법으로는 GST 모듈의 저항을 증가시키는 방법과 열효율을 올리거나 열 손실을 줄이는 방법이 있다.

프로그래밍 전류를 줄이는 첫 번째 방법은 GST 모듈의 저항을 증가시키는 것이다. GST 모듈의 저항이 증가하면 같은 전류에서 많은 열이 나기 때문에 프로그래밍 전류를 줄일 수 있다. 이 때 Heating 소자는 GST 자체와 전극이다. GST의 저항은 질소를 도핑함으로써 증가시킬 수 있고, 전극의 저항은 전극 물질에 높은 비저항을 갖는 물질로 바꿈으로써 증가시킬 수 있다. (그림5)는 질소 도핑과 높은 비저항의 전극을 사용함으로써 프로그래밍 전류를 약 70% 가량 감소시킬 수 있음을 보여 주고 있다.

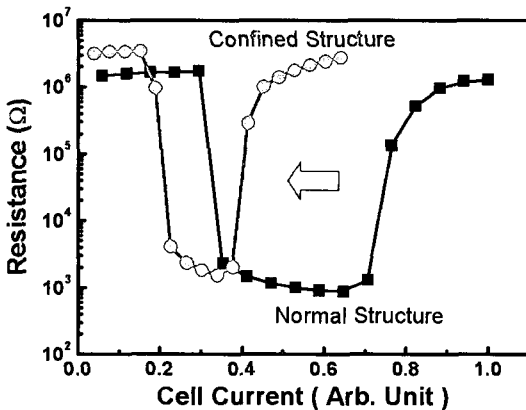
프로그래밍 전류를 줄이는 두 번째 방법은 열효율을 증가시키는 것이다. 열효율을 증가시키는 가장 간단한 방법은 GST 모듈의 사이즈를 감소시키는 방법이다. GST contact 사이즈를 감소시키면 전류 밀도가 증가하게 되어 GST의 온도를 높일 수 있다. (그림6)은 여러 가지 GST contact 사이즈에 대한 프로그래밍 전류를 보여 준다. GST contact 사이즈를 70nm에서 50nm로 감소시키기에 따라 프로그래밍 전류가 30% 정도 감소함을 알 수 있다. GST contact 사이즈를 줄여서 프로그래밍 전류를 줄이는 경우에는 contact 사이즈와 그 변동을 얼마나 작게 만드느냐가 가장 중요하다. contact은 기울기를 가지고 있어 contact 높이의 변화가 contact 사이즈의 변화를 유발한다. 그런데 일반적인 CMP process에서는 CMP후에 contact 높이의 변화가 크므로, contact 높이의 변화를 줄이기 위하여 multiple CMP 공정을 도입하였다. (그림7)에서 보는 바와 같이 multiple CMP 공정에 의해 contact 높이의 편차를 줄임으로써 contact 사이즈의 표준편차를 개선할 수 있다. 열효율을 개선하여 프로그래밍 전류를



〈그림 6〉 Contact 크기에 따른 쓰기 전류의 경향성



〈그림 7〉 Multiple CMP에 의한 contact 사이즈 변화량의 개선 정도

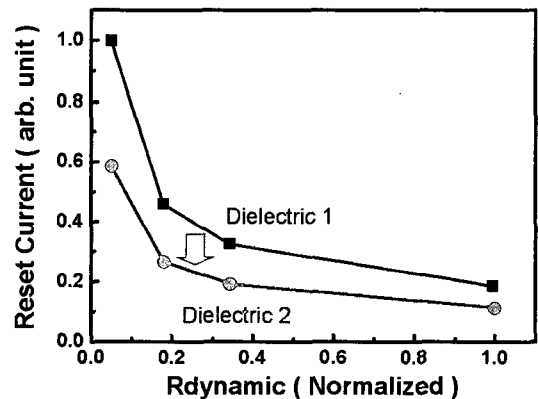


〈그림 8〉 GST 구조에 따른 R-I 특성

줄이는 또 다른 방법은 confined structure와 같이 셀 구조를 변경하는 방법이다. GST를 contact과 같은 작은 홀 내부에 국한시킴으로써, 전류의 집중을 높이고, BEC 경계면의 취약점을 제거할 수 있으며, 프로그래밍 부피를 최소화시켜 쓰기 전류를 감소시킬 수 있다. (그림8)은 일반적인 평면 구조와 confined 구조를 비교한 것으로 confined 구조에 의해 프로그래밍 전류를 50% 가량 감소시킬 수 있음을 알 수 있다.

마지막으로 프로그래밍 전류를 줄이는 방법은 열 손실을 줄이는 방법이다. (그림9)는 절연 물질에 따른 프로그래밍 전류의 변화를 보여 준다. 그래프에서 보는 바와 같이 절연 물질을 열 전도도가 낮은 물질로 바꿈으로써 프로그래밍 전류를 30% 가량 개선할 수 있다.

위에 언급한 공정들을 이용하여 0.7mA의 프로그래밍 전류를 확보하여 64Mb PRAM을 위한 집적 기술을 확보하였다.^{[3][4]}



〈그림 9〉 절연막의 종류에 따른 쓰기 전류의 변화

IV. Conclusion

PRAM, FRAM과 같은 신 메모리는 이상적

인 메모리 특성을 가지고 있으면서 기존 메모리의 문제점을 해결할 수 있는 잠재력을 가지고 있다. 그러나 아직 신 메모리는 검증 초기 단계이며 성숙된 제품이 되기 위해서는 작은 셀 사이즈, 신뢰성 등의 보다 많은 기술적 혁신이 필요하다.

참고 문헌

- [1] Y. M. Kang *et al.*, VLSI Tech. Dig., pp.102-103, 2005.
 [2] R. Neale, Electronic Engineering, pp. 67-78, 2001.
 [3] W.Y.Cho *et al.*, ISSCC, pp 40-41, 2004
 [4] Y. N. Hwang, *et al.*, IEDM Tech. Dig., 2004, pp. 893-896

저자 소개



정 기 태

1988년 2월 서울대학교 물리학 학사
 1990년 2월 서울대학교 물리학 석사
 1995년 8월 서울대학교 물리학 박사
 1995년 09월 - 2005 : 삼성 전자 반도체 연구소
 주관심 분야 차세대 메모리



이 상 영

1987년 03월 - 1988년 08월 삼성반도체통신 부천
 사업장 제품 기술
 1995년 09월 - 현재 삼성 전자 메모리 사업부 반도체 연구소
 주관심 분야 차세대 메모리



정 흥 식

1985년 2월 연세대학교 물리학 학사
 1987년 8월 연세대학교 물리학 석사
 1992년 2월 연세대학교 물리학 박사
 1992년 12월 - 2005 : 삼성 전자 반도체 연구소
 주관심 분야 차세대 메모리



김 기 남

1983년 03월 - 2005 : 삼성 전자 반도체 연구소
 2003년 01월 - 2005 : 삼성 FELLOW
 2003년 01월 - 2005 : IEEE FELLOW
 주관심 분야 메모리