



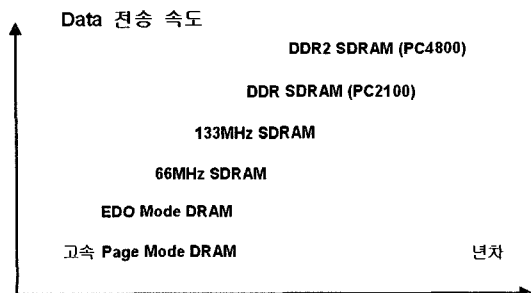
고속화 DRAM Need의 Technology 개발 전망

김윤기 (삼성전자 수석연구원), 진교영 (삼성전자 상무)

I. 고속화 DRAM의 요구

DRAM의 기억용량이 3년에 4배의 추세로 계속하여 증가되는 추세에 따라 컴퓨터의 주 Memory 용량은 1Mbit DRAM에 이어서 4M, 16M, 64Mbit 가 주류가 되는 경향을 보여 왔다.

이러한 양상의 변화는 64Mbit 이후 256Mbit이 아닌 128Mbit으로 2배의 증가 추세로 이어져 512Mbit 까지 도래되는 과정에서 대용량화의 추세는 확실하게 둔화되고 있다. (그림 1) 대용량에 대신하여 중요성을 더해 온 것은 고속화이다. 1990년대에 들어와 컴퓨터의 주역은 Mainframe에서 PC로 변화



〈그림 1〉 컴퓨터 주 기억용 DRAM 기술 추이

하였다. PC의 MPU는 눈부신 추세로 고속화하여, 동작주파수는 2년에 2배의 추세로 향상되었다. 주 메모리의 동작을 MPU에 맞추어 빠르게 하지 않으면, 시스템의 성능이 향상되지 않는다. 따라서 DRAM의 고속화 요구가 강하게 대두되고 있다.

DRAM의 제품사양은 본래, 고속화를 염두에 두고 있지 않는다. 고속의 Memory에는 DRAM이 아닌 SRAM이 사용되고 있었다. 그러나 PC 시스템에서 메모리의 고속화에 대한 요구가 강해진 결과, DRAM의 기술은 크게 변모하였다. 우선 고속 PAGE 모드의 개선 기술인, EDO (Extended Data Out) 모드가 등장, 이어서 Burst EDO등이 고려되었지만 주류는 되지 못하였고, 주류는 Synchronous DRAM (SDRAM) 으로 이행되었다.

SDRAM은 Clock 동기식이다. 그전까지의 비동기식 DRAM에 비해서 동작을 고속화하기 쉬워지고 동시에, 보드설계를 용이하게 할 수 있게되었다. Clock 주파수를 높이면 높일수록 SDRAM의 동작속도는 향상된다. SDRAM은 66MHz, 100MHz, 133MHz로 Clock 주파수를 높이고, 데이터 전송속도를

향상시키고 있다. 그 다음의 향상은 진행된 동일한 Clock 주파수에서도 데이터 전송속도를 2배로 하는 방법이다.

	2004 (DDR2)	2005 (DDR2/3)	2006 (DDR3)	2007 (DDR3)
Frequency (Main) (Minor) (Sample)	DDR400 DDR533 DDR667	DDR533 DDR667 DDR800	DDR667 DDR800 DDR1066	DDR800 DDR1066 DDR1333
VccP	1.6V	1.4V	1.3V	1.1V
VccA	1.5V	1.3V	1.2V	1.1V
Density	512MB	512MB	512MB 1GB	1GB

〈그림 2〉 DRAM 제품 Trend

Clock 신호의 Edge는 1주기에 2개가 있다. 논리수준이 올라갈 때와 내려갈 때이다. 통상은 어느 한쪽인가의 Edge에 동기 해서 데이터를 입출력 한다. 133MHz까지의 SDRAM은 이 방식으로 데이터를 입출력하고 있다. 데이터 전송속도를 더욱 높이기 위해서, 양쪽의 Clock Edge에 맞추어 데이터를 입출력시키는 DRAM이 DDR (Double Data Rate) SDRAM이다. (그림 2) 이렇게되면 데이터의 입출력이 Clock보다 2배 빠르게 된다. 100MHz의 Clock신호라면 입출력 Bit당 200Mhz/sec로 데이터를 전송할 수 있다. 그리고 최근에 DDR SDRAM을 더욱 고속화한 DDR2 SDRAM의 출하가 주류를 이루고 있다. Command 설정이나 기본 Timing설정 등은 DDR과 동일한 사양이다. 크게 다른 것은, 전원전압을 1.8V로 저 전압화 한 것과 종단 저항을 내장한 것이다. 전원 전압을 낮춤으로서 신호 진폭이 작아졌다. 동작속도를 높이면서 소비전력의 증가를 억제할 수 있다. 또한 Read/Write 동작에서 Posted CAS 라 부르는 모드를 준비하였다. RAS신호 (Active

Command) 입력 다음의 Clock에서, Read/Write Command를 DRAM에 입력한다. Command Bus와의 경합을 피할 수 있으므로 Bus의 이용 효율이 향상된다. DDR2 SDRAM에서는 이미 DDR2 400, 533의 출하가 진행되었고, 향후 대응하는 Chip set이 증가함과 동시에 저가격화가 진행됨에 따라서, 더욱 성능이 향상된 DDR2 SDRAM의 보급이 진행될 것이다.

그리고 차세대의 SDRAM인 DDR3 SDRAM의 개발이 진행되고 있다. DDR3에서는 입출력 Pin당 최대 데이터 전송속도에서 1.6Gbit/sec를 겨냥한다. DDR2의 2배의 Clock 속도이다.

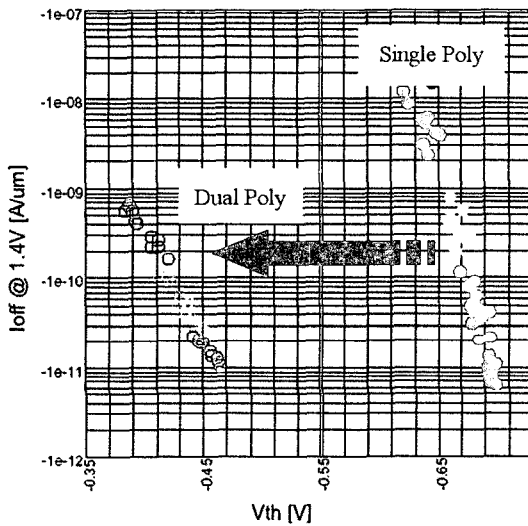
앞에서 거론한 DRAM의 제품의 특성 요구에 따라 이를 구현할 Technology의 Module 특성개발은 DRAM의 세대별 Shrink 추세를 벗어날 정도로 특성 개발 요구가 강해져 개발의 어려움이 증가 되고 있다.

다음으로 고속화 DRAM 요구에 따른 Technology 구현 방안에 대해 여러 각도의 세분화하여 살펴 보기로 하겠다.

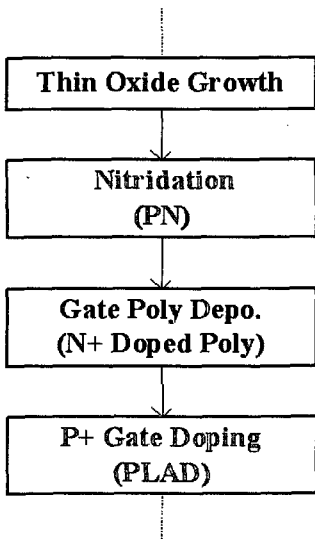
II. Transistor Technology

DRAM의 Support Transistor의 Technology는 SRAM과는 달리 자체의 Off leakage Current을 제어하고 이를 기반으로 On Current을 향상시키는 기술로 Speed을 대응하여 왔다. 초창기, N_MOS만으로 이루어지는 Device에서 P_MOS을 도입한 C_MOS로 전환하여 Speed의 향상을 도모하였고, 현재까지 추가Shrink로 Transistor의 특성을 향상시켜 왔다. 더 나은 Speed 향상을 위해, 최근

에 도입된 기술은의 Dual-Poly Gate로서 Poly Silicon을 N_MOS, P_MOS 나누어 Doping하는 기술을 적용, P_MOS의 Threshold Voltage을 한층 낮게 형성하는 방법으로 Speed을 향상시키는 기술이 도입되고 있다. (그림 3)



〈그림 3〉 Threshold Voltage Shift at Dual Poly Gate



〈그림 4〉 Dual - Poly Gate Process Sequence

기존 Single Poly Gate에서의 C_MOS의 P+ Gate로는 Low Voltage 및 High Speed을 대응하기에는 Threshold Voltage가 높아 효과적으로 Vth를 낮추는 방법의 일환으로 P+ Gate을 적용한 Dual poly Gate의 적용이 개발되고 있다. 이 Dual poly Gate의 적용 시점은, 추가 공정 비용과 공정의 복잡성이 수반되는 단점을 가지고 있어 여러 상황을 고려해 보아야 한다. (그림 4) 이의 적용시기를 늦추는 방법 또한 Low Cost 제품의 경쟁력 확보의 방법이기 때문이다.

또한 위의 Dual poly Gate을 적용하는 방법에서 있어 필수적인 P+ Gate 하부의 Oxide의 변경에 주목할 필요가 있다. 이전 DRAM 용 MOSFET의 근간인 순수 SiO2 Gate 절연막을 다른 재료로 대체한다는 것이다. SiO2에 소량의 N를 첨가한 SiOxNy Gate 절연막의 적용이 필수적이다. P+ Gate의 Boron Doping의 Gate Oxide로부터 Out-Diffusion을 해결하고 동시에 기 더욱 Scale-Down 된 Thin Oxide의 역할을 대신할 수 있는 기술이다. 가능한 EOT를 20A부근까지 감소시킬 수 있는 기술이라 할 수 있다. 이후 세대에서의 Gate Oxide기술의 한계는 Gate 절연막의 두께가 Gate의 길이, 접합깊이 (Junction Depth) 등 다른 Size에 비해 2 자리수 정도 작아서 미세화함에 있어서 최초로 한계를 맞이하게 되는 항목이다. 이를 극복하기 위한 개발 방향은 Gate Oxide의 물리적인 두께는 두꺼워도 전기적인 막 두께는 얇게 할 수 있는 High-K 막을 적용하는 것이나, 이의 개발은 여전히 실용화 문제에 대해 여러 난관이 있을 것이라 생각된다.

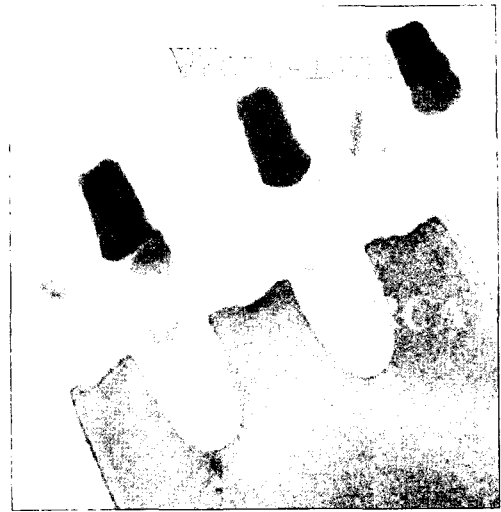
따라서, 고속화 DRAM 제품에 맞는

Transistor의 Technology의 구현은 더욱 Shrink된 작은 Size에서의 복잡해진 Channel Engineering 대응과 새로운 막질에 대한 개발이 필수적이며 고속화의 대표주자인 SRAM 적용되는 Transistor의 high performance logic technology용으로 개발된 기술을 DRAM에 cost-effective 하게 적용하는 것이 주요한 사항이 될 것으로 보인다.

조금 더 cost-effective 하게 하기 위해서는 저온화 공정을 기본으로 하여 peripheral 지역에 대한 산포 감소와 설계 기법, CAE tool 활용이 중요할 것으로 보인다

III. Cell Transistor Technology

고속화 DRAM을 대응하는 Cell Transistor의 개발은 기존 Planar Type의 shrink로서 근 20년 이상을 유지하여 왔다. 이 Planar Type의 한계성은 Gate 길이가 일정 이하에서는 Transistor가 Off상태에서 Source와 Drain간에 흐르는 Leakage 전류를 더 이상 감당할 수 없는 수준에 도달해 DRAM의 Retention Time 향상에 심각한 저해요소로 등장하게 된다. 이에 따라 Capacitor로부터의 전하 누설에 의한 보존 Data의 손실이 증가한다. 이 Leakage current의 근본적인 원인으로서는 Short Channel Effect가 일어나는 것을 막기 위하여 기판을 고농도로 Doping을 하여 발생하는 것이다. 이에 대한 해결책으로 Cell Transistor를 3차원화 시켜 Source와 Drain간의 거리를 확보하는 Recess Channel Transistor가 등장하게 되었다. (그림 5)



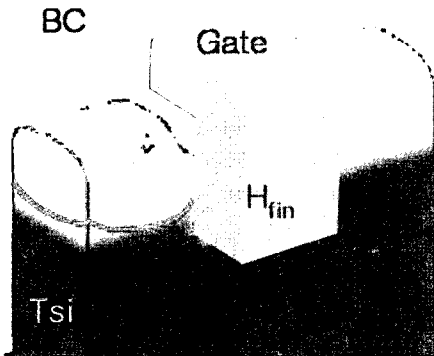
〈그림 5〉 RCAT Cell Transistor Vertical SEM

이것은 Silicon 기판에 일정량을 Recess 시켜 Gate 산화막 및 Gate 전극을 형성함으로써 Cell Transistor를 제작하는 기술이다. 이 Recess Channel Array Transistor (RCAT)^[1]에서는 Cell Transistor가 3차원 구조이기 때문에 Source 전극과 Drain 전극의 거리를 평면상의 Design Rule보다 크게 할 수 있다. 그 결과 전류가 Source에서 Drain으로 관통하기 어려워 지기 때문에 기판에 고농도의 불순물을 첨가할 필요가 없어진다. 이 때문에 접합 Leakage current가 감소되어 양호한 Data 보존 특성을 유지할 수 있다.

Cell Transistor의 고속화에 가장 큰 저해요소는 소비전력을 감소하기 위해 추진하는 내부전압의 감소이다. 내부전압은 Cell내의 Word-line Boosting (Vpp) 전압의 구동과 기판 Back-bias 전압 (Vbb)의 구동을 위해 사용되며 이 전압의 구동 Level이 1.0V 이하까지도 떨어질 전망이다. 이에 대응하는 Transistor의 자체 특성향상에는 구조적인 변화 및 물질의 변화가 없이는 형상구현에서

한계성이 드러나 여러 가지 설계적인 회로기술이 종전 이상의 연구가 필요하다.

Cell Transistor의 High Density와 맞물려 집적도 향상을 저해하는 요소중의 하나는 Standby Current와 산포이다. 이 중에서 Standby current에 관해서는, 이를 억제하기 위해 High-K Gate절연막 기술의 개발이 본격화되고 있다. 이에 따라 향후에는 Leakage current전류를 억제하면서 미세화를 추진하기 위해서는 Metal Gate 기술의 도입이 필수적이다. 또한 Transistor구조 자체를 Fin FET [2] 이나 Tri Gate (그림 6) 등의 3차원 입체구조로 이행함으로써 Sub Threshold Leakage current 증대를 억제할 수 있을 것이다.



〈그림 6〉 FINFET Cell Transistor

한편, 산포대책으로는 현재의 Channel 불순물에 한 Threshold Voltage 조절 대신, 불순물이 없는 초박막 Channel 과 Metal Gate에 의한 V_{th} 제어로 바꾸는 것이 예상된다. 미세가공에 기인하는 산포에 대해서는 공정적으로는 해결이 가능한 뚜렷한 해답이 보이지 않지만 이제까지의 공정 기술 발전을 가속화하고, Wafer 낱장 별로 in-line 최적화하

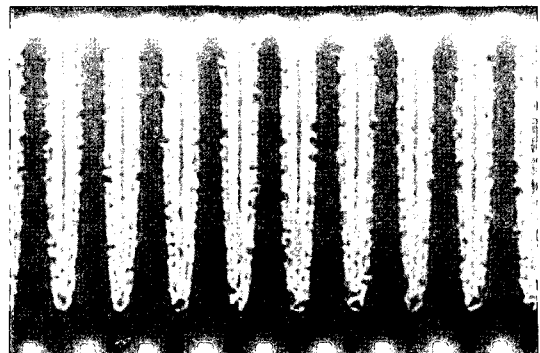
는 생산 기술 및 통계적인 기법을 철저히 적용하는 설계 기술로 대응하는 것이 한가지 방향이다.

IV. Cell Capacitor Technology

Cell Capacitor는 단위면적당 축적용량을 증가시키는 방향으로 전개된다.

Capacitor의 개발은 Retention Time 과 신뢰성 확보 관점에서 Cell Capacitor 용량의 확대를 지속적으로 추구하고 왔다. 초기에는 간단한 평판구조에서 시작하여 Hemispherical Silicon Growth (HSG) 기술의 적용으로 Shrink의 연장이 확보 되었고, 몇 세대에 걸쳐 HSG 적용기술은 여러 형태의 구조에 적용되었다. Memory Cell의 Shrink에 의한 HSG (그림 7) 적용유무에 대한 가능성은 HSG 에서 형성된 각기 Grain간의 최소간격과 상부 전극의 저항 Delay 없이 적용할 수 있는 최소 두께에 따라 좌우되며 이에 따라 한계는 DRAM Half pitch 70nm이하 공정에서 Capacitor 면적 감소에 따라 HSG 간이 맞는 부분이 발생한다.

이후의 기술에 대해서는 이 시점을 기준으로 Capacitor 개발 방향이 전환되고 있다.



〈그림 7〉 Cell Capacitor의 HSG적용

한가지 방법으로 구조적인 측면에서는 전극의 변환이 먼저 시도되어 전극을 Poly silicon에서 Metal로 전환 개발되어 현재는 상하부전극에 모두 Metal을 적용한 MIM (Metal-insulator-Metal) Capacitor³⁾(그림 8) 개발이 진행되고 있다.



〈그림 8〉 Metal insulator Metal Cell Capacitor

구조는 MIS(Metal-Insulator_silicon)에서 MIM (Metal-insulator-Metal)으로 발달되었고, Capacitor에 사용하는 유전체도 고유전율 (high-K) 재료를 도입하는 방향으로 전개된다. 한편으로는 Capacitor공정만의 개발이 한계를 맞이하게 되는 경우에 대비하여 이를 상쇄할 수 있는 주변공정에 대한 개발을 고려해야 한다. 가능한 부분으로는 Leakage 전류를 최대한 억제하는 Cell Transistor 구조, PN Junction 부위에서의 전기장 집중을 억제하는 Junction engineering등이 필요하며, 그 이외에 각종 배선 Line들의 Loading Capacitance의 감소 (Bit Line, Gate Poly 부근) 와 Parasitic 저항의 감소, 미세한 Noise Reduction 기법의 적용과 공정 채용, 특성

향상을 위한 설계 기법 등을 활용하면 현재 개발한 기술을 추가로 연장하여 사용할 수 있을 것으로 기대한다.

참고 문헌

- [1] J.Y. Kim et al., Symp. on VLSI Tech., p.11-12 (2003).
- [2] C. H. Lee, et. al., Symp. on VLSI Tech., .p130, (2004).
- [3] Se-Hoon Oh et. al., Symp. on VLSI Tech., p.73-74 (2003).

저자소개



김윤기

1986년 연세대학교 물리학과 학사
1986년 - 현재 삼성전자 메모리사업부 반도체연구소
수석연구원 재직
주관심 분야 DRAM Technology Integration



진교영

1985/1987/1994년 서울대학교 전자공학과 학사/석사/박사
1994년 - 1997년 Stanford University Post-Dr.
1997년 - 현재 삼성전자 메모리사업부 반도체연구소
상무 재직
주관심 분야 DRAM Technology Integration