

블루투스 기저대역을 위한 상관기와 액세스 코드 생성 모듈의 설계

Design of a Correlator and an Access-code Generator for Bluetooth Baseband

황 선 원*, 이 상 훈*, 신 위 재*

Sun-Won Hwang*, Sang-Hoon Lee*, Wee-Jae Shin*

요 약

본 논문에서는 블루투스 기저대역에 적용하기 위한 상관기와 액세스 코드 생성모듈의 설계에 대해 다룬다. 상관기와 액세스 코드 생성 모듈은 블루투스 유닛 사이의 연결설정과 패킷판별, 클럭 동기화를 수행한다. 상관기 모듈은 1Mb/s 전송속도를 가지는 입력신호에 대해 슬라이딩 윈도우 상관을 취하여 유용한 패킷판별과 클럭 동기화를 행하며, 그 구성은 Wallace tree 구조의 CSA(Carry Save Adder)와 임계 값 판별기로 구성된다. 액세스 코드 생성모듈은 블루투스 표준안에서 제시한 4단계의 생성과정에 따라 설계하였으며 BCH(Bose-Chadhuri-Hocquenghem)순회 부호기(cyclic code)와 제어장치로 구성된다. 의사 랜덤 시퀀스는 동기화 문제를 해결하기 위해 임의의 저장장치에 저장된 형태로 사용하였다. 본 논문에서 제시한 상관기와 액세스 코드 생성모듈은 하드웨어 묘사언어인 VHDL로 설계되었으며 시뮬레이션 및 테스트를 위해 Xilinx FPGA를 사용하여 검증하였다. 설계된 회로의 합성결과는 최대 4.689ns의 임계지연과 최대 7-bit까지의 상관허용 오차를 보여준다.

Abstract

We describe the design for a correlator and an access code generator in bluetooth system. These are used for a connection setting, a packet decision and a clock synchronization between Bluetooth units. The correlator consists of two blocks; carry save adder based on Wallace tree and threshold-value decision block. It determines on an useful packet and clock-synchronization for input signal of 1.0Mbps through the sliding-window correlating. The access-code generator also consists of two blocks; BCH(Bose-Chadhuri-Hocquenghem) cyclic encoder and control block. It generates the access-codes according to four steps' generation process based on Bluetooth standard. In order to solve synchronization problem, we make use of any memory as a pseudo random sequence. The proposed correlator and access-code generator were coded with VHDL. An FPGA implementation of these modules and the simulation results are proved by Xilinx chip. The critical delay and correlative margin based on synthesis show the 4.689ns and the allowable correlation-error up to 7-bit.

Key words : Bluetooth, correlator, access code, carry save adder, BCH cyclic code

I. 서 론

블루투스 무선 전송 기술은 기존의 유선망 대체와 이동

성, 이종간 장비와의 상호 접속성을 피하기 위해 저가격성, 저전력, 소형화를 만족하는 무선 통신 프로토콜로 1998년 블루투스 SIG(Special Intest Group)를 통해 제안되었다. 블루투스 운영 대역은 무면허 대역인 ISM(Industry Scientific Medicine)밴드를 사용하며 79채널에 대해 주파수 호핑 방식을 사용한다. 변조 방식은 각 채널에 대

*경남대학교 전자전기공학부

접수 일자 : 2005. 7. 13 수정 완료: 2005. 10. 23

논문 번호 : 2005-3-2

해 1Mb/s 전송속도를 갖는 GFSK(Gaussian Frequency Shift Keying) 방식을 사용한다. 송수신 장치는 625 μ s 간격의 슬롯 단위로 TDD(Time Division Duplex) 방식을 통해 전이중 통신을 행한다. 데이터는 패킷 단위로 전송되며 패킷은 1~3개의 슬롯을 점유할 수 있다. 패킷의 구조는 액세스 코드, 헤더, 페이로드(payload)로 구성되어 있다. 이중 액세스 코드는 블루투스 피코넷(piconet)에서 마스터와 슬레이브간 유용한 패킷판별과, 마스터 시스템 클럭에 동기화 하기 위한 클럭 동기정보를 제공한다. 블루투스 표준안에는 4개의 액세스 코드가 있으며 연결 상태에 따라 다르게 사용된다[1-2].

본 논문에서는 상태에 따라 4개의 액세스 코드를 생성하는 액세스 코드 생성 모듈과 수신된 액세스 코드에 대해 슬라이딩 윈도우 상관을 취해 유용한 패킷 판별과 클럭 동기신호를 제공하는 블루투스 상관기 모듈 설계를 제안한다[3].

II. 본 론

2.1 액세스 코드 생성 모듈

블루투스 유닛간 전송되는 모든 패킷은 액세스 코드로 시작한다. 액세스 코드는 피코넷(piconet)의 마스터와 슬레이브간 클럭 동기화와 데이터의 DC 오프셋 보상, 패킷 판별을 위해 사용된다.

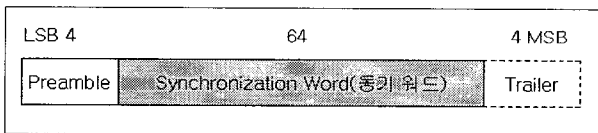


그림 1. 액세스 코드 포맷
Fig. 1. Access-code format

그림1은 액세스 코드 포맷을 보여준다. 액세스 코드는 72-bit로 구성되어 있다. 이 중 트레일러(trailer) 4-bit는 전송 패킷 내에 헤더 부분이 있는 경우에 사용된다. 따라서 호출(page), 조회(inquiry) 과정에서는 헤더가 사용되지 않으므로 68-bit가 사용된다. 액세스 코드는 장치간 연결 상태에 따라 4개의 타입으로 나눌 수 있다.

- Channel Access Code(CAC)
- Device Access Code(DAC)
- General Inquiry Access Code(GIAC)
- Dedicated Inquiry Access Code(DIAC)

CAC는 피코넷에 포함된 모든 유닛에서 데이터 송수신시 사용되는 액세스 코드이다. 이 액세스 코드는 마스터의 어드레스 48-bit 중 하위 24-bit(LAP : Lower Address Part)값으로부터 유도된다. DAC는 근거리 10m 범위내의 임의의 슬레이브 장치와 연결설정을 위한 호출 및 호출 응답패킷에 사용되는 액세스 코드이다. 호출 대상인 슬레

이브 장치의 LAP어드레스로 유도된다. GIAC는 모든 블루투스 유닛이 인식할 수 있는 액세스 코드이고, DIAC는 특정 범주에 속하는 장치에 내장된 블루투스 디바이스를 찾기 위한 액세스 코드이다. 이들은 블루투스 표준안에서 정의된 어드레스 값을 사용한다. GIAC는 General Inquiry LAP "0x9E8B33" 어드레스를 이용해 유도되고 DIAC는 Dedicated Inquiry LAP "0x9E8B00~0x9E8B3F" 어드레스를 통해 유도된다. 프리앰블(preamble)은 DC 오프셋 보상과 패킷 시작을 결정할 수 있도록 1과 0의 고정된 패턴을 가지는 4-bit 심벌이다. 동기워드의 LSB의 값이 1이면 1010, 0이면 0101패턴을 가진다. 트레일러 역시 DC오프셋 보상과 패킷 헤더의 시작을 나타내기 위해 사용되며 동기워드의 MSB값에 따라 프리앰블과 동일하게 적용된다. 동기워드는 액세스 코드의 핵심 부분이다. 4종류의 액세스 코드는 동기워드 생성과정에 사용되는 어드레스 타입에 의해 결정된다. 동기워드의 생성은 의사 랜덤신호(PN: Pseudo random Noise)와의 XOR연산 그리고 수정된 블록코드(64, 30)를 통해 이루어진다. 수정된 블록부호의 해밍거리는 14이다. 의사랜덤신호는 직교성이 뛰어난 신호로 생성과정에서의 XOR연산은 액세스 코드의 자기상관특성을 개선한다. 동기워드의 생성과정은 그림2와 같이 4단계로 이루어진다.

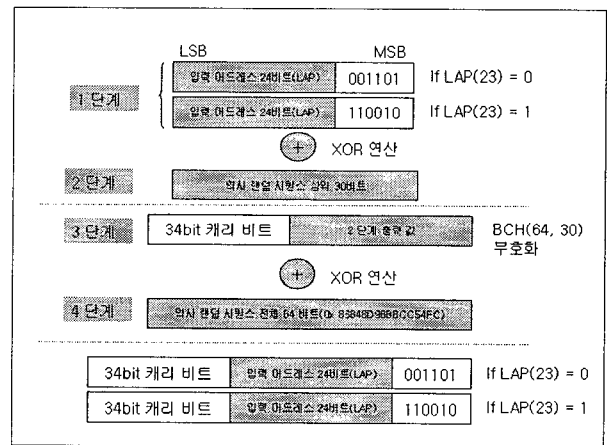


그림 2. 액세스 코드 생성도
Fig. 2. Access-code generation step

그림2의 동기워드 생성도에서 첫 번째 단계는 정보 시퀀스 생성이다. 동기워드 생성기의 입력으로 주어진 24-bit LAP어드레스에 Barker 시퀀스를 붙이는 과정으로 LAP의 MSB값에 따라 "001101", "110010"중 택일한다. Barker 시퀀스를 삽입하는 이유는 자기상관 특성을 개선하기 위해서다. 두 번째 단계는 의사랜덤신호의 1주기 시퀀스 값 중 상위 30바이트의 값과 정보 시퀀스와의 XOR연산을 행하는 것이다. 세 번째 단계는 부호워드 생성이다. 부호워드는 BCH(Bose-Chadhuri-Hocquenghem) 블록부호(64, 30) 생성기를 통해 만들어진다. 생성 다항식은 $g(D) = 260534236651$ 이며 8진수로 표기되어 있다. BCH 블록 부호기는 LFSR(Linear Feedback Shift Register)를

통해 구현되며 소요되는 플립플롭은 34개가 된다. 네 번째 단계는 의사랜덤시퀀스의 64-bit 전체와 생성된 부호워드와의 XOR연산을 행하는 것이다. 이 과정의 결과, 입력어드레스 LAP와 Barker 시퀀스는 원래 값을 유지하고 생성된 34개의 패리티 비트는 의사랜덤시퀀스와 XOR연산에 따른 직교성이 큰 신호가 된다. 해밍거리가 14인 BCH블록부호는 블루투스 상관기의 임계 값 선택을 결정한다.

그림3은 본 논문에서 설계한 동기워드 생성모듈의 블록 다이어그램이다. 생성모듈은 외부로부터 어드레스와 enable신호를 받는다. 입력과 동시에 동기워드 생성과정의 첫 번째 단계가 실행되며 나머지 단계는 제어장치의 제어신호에 따라 순차적으로 실행된다.

그림4는 BCH(64, 30) 블록부호생성기의 블록 다이어그램이다.

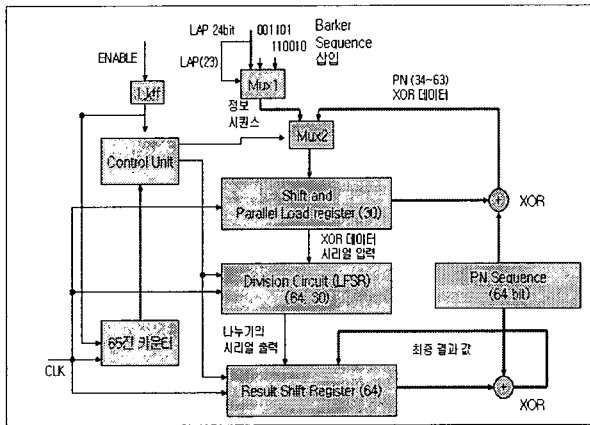


그림 3. 동기워드 생성 모듈

Fig. 3. Synchronization-word generation module

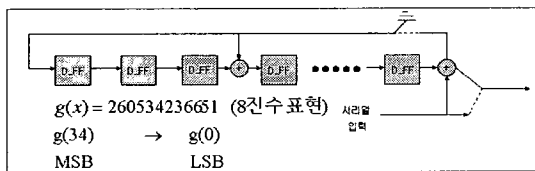


그림 4. BCH 블록부호 생성기 모듈

Fig. 4. BCH block-code generation module

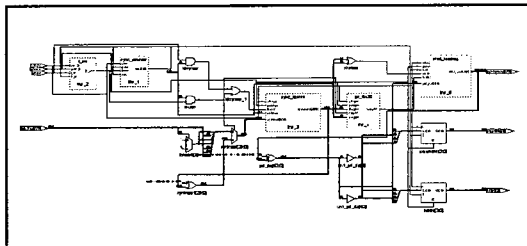


그림 5. 동기워드 생성기 모듈의 합성 회로도

Fig. 5. The synthesized circuit of synchronization-word generation module

생성 다항식에 의해 필요한 레지스터 수는 34개이며 정

보 시퀀스 30-bit 중 MSB값이 먼저 들어온다. 제시한 동기워드 생성모듈의 입력으로부터 출력까지는 66클럭의 소요가 있다. 그림5는 VHDL로 설계된 동기워드 생성기를 합성한 회로도를 보여준다.

2.2 블루투스 상관기 모듈

블루투스 상관기는 입력 액세스 코드의 64-bit 동기워드에 대해 슬라이딩 윈도우 상관을 취하여 패킷판별과 클럭 동기화를 위한 정보를 얻는다. 패킷 판별은 상관을 취한 값이 임계 값의 초과 여부에 따라 결정된다. 블루투스 표준안에서는 임계 값을 제시하지 않는다. 하지만 본 논문에서는 동기워드의 생성과정에서 해밍거리가 14인 블록부호를 실행함으로써 임계 값 선택은 57-bit 매치가 일어나면 기대되는 패킷으로 판정하였다. 클럭동기는 패킷 판별과 동시에 이루어진다. 블루투스 시스템 클럭은 3.2KHz 입력 클럭으로 동작하는 28-bit 카운터이다. 이 클럭은 블루투스 유닛간 송수신 타이밍을 결정하는 요소가 된다. TDD방식에 의한 송수신에서 유닛간 타이밍 오차를 위한 불특정 윈도우는 ±10μs 값을 가진다. 이 불특정 윈도우에 따른 유닛의 송수신 타이밍 결정의 오차는 ±10 μs를 초과할 수 없음을 나타내고 있다. 이러한 타이밍 오차는 마스터로부터 패킷을 수신하는 슬레이브에서 매 패킷 수신 때마다 클럭 오프셋 값을 구하고 이를 시스템 클럭에 더하여 송수신 타이밍을 보상한다. 슬레이브 수신기의 상관기 출력이 임계 값을 초과하는 순간은 마스터의 전송 심벌이 68-bit인 경우이므로 이를 통해 슬레이브는 클럭 동기화를 실행한다.

본 논문에서는 패킷판별과 클럭 동기화를 위해 사용되는 블루투스 상관기 모듈을 Wallace 트리 기반의 Adder를 사용하여 구현하였다[4-5]. 상관은 레지스터 내부에 저장된 기지의 동기워드 값과 입력 동기워드 값 사이의 각각 비트에 대해 곱을 행하고 이를 더하는 과정이다. 덧셈은 자리수가 동일한 64-bit에 대해 이루어져야 하므로 일반적인 덧셈 알고리즘을 사용할 경우 64-bit 만큼 직렬로 나열된 덧셈기로 구성해야한다. 이러한 방법은 임계경로를 크게 하여 연산결과 값을 얻는데 상당한 시간이 소요된다. 따라서 본 논문에서는 빠른 덧셈연산을 수행하기 위해 Wallace 트리 기반의 가산기를 채택하여 동일 자리수 덧셈의 단계를 줄였다.

블루투스 상관기는 입력패킷의 동기워드 값과 기저 동기워드 값과의 자기상관을 위해 그 출력 값이 임계값과 비교하여 초과하는 지 여부에 따라 유효한 패킷인지 아닌지를 검사한다. 블루투스 표준안에서는 장치사이의 타이밍 오차를 보상하기 위해 예상 패킷 입력시간보다 10 μ s 이전에서 시작하고 끝나는 시점보다 10 μ s 늦게까지 슬라이딩 윈도우 상관을 수행한다. 만약 상관 값의 출력이 임계값을 초과하는 경우 수신기는 마스터와의 클럭 동기화를 수행하고 패킷의 헤더와 페이로드 데이터를 계속해서 받게 된다. 이와 반대의 경우에는 패킷의 수신을 거부한다. 블루투스 심볼전송은 1Mb/s이며 이에 따라 상관기의 쉬프트 레지스터는 1MHz 클럭에 동작한다. 본 논문에서 제시한 블루투스 상관기의 임계값은 57이다. 이는 해밍거리가 14인 동기워드 생성기의 출력을 감안하면 7-bit의 오차까지 허용함을 의미한다. 그림11은 기저신호가 "0xEC4C69B54C 29A18D" 이고 이에 7-bit 오차를 가지는 "0xEC2C69B54C19C18C" 값을 예상 시간보다 5 μ s 늦게 입력했을 때의 시뮬레이션 결과이다. 두 신호 간 7-bit 오차를 가지므로 유효한 패킷으로 판정하여 cr_decision 출력이 1로 나타남을 볼 수 있다. 그림12는 동일한 기저신호에 11-bit 오차를 가지는 신호인 "0xEC2C8 9A54C19C18C" 값을 5 μ s 늦게 입력한 결과이다. 시뮬레이션 결과는 임계값을 초과하지 않음을 보여준다.

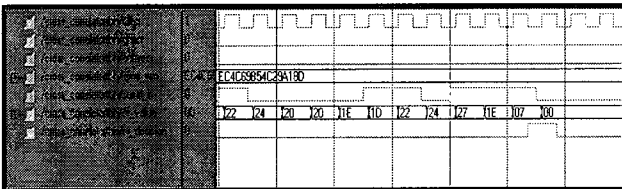


그림 11. 임계 값을 초과하는 입력신호에 대한 상관기의 시뮬레이션 결과

Fig. 11. The simulation result of the correlator for input over critical value

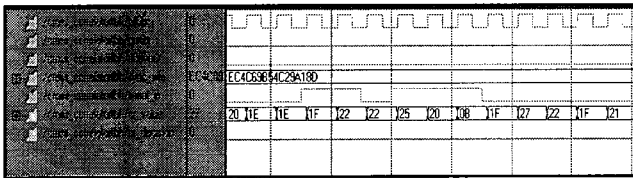


그림 12. 임계 값을 초과하지 않는 입력신호에 대한 상관기의 시뮬레이션

Fig. 12. The simulation result of the correlator for input under critical value

표 1과 표 2는 설계된 회로의 Xilinx FPGA 합성 결과와 기능을 요약한 것이다. 상관기 모듈의 임계지연(critical delay)은 4.689ns이다.

표 1. Xilinx FPGA 합성결과

Table 1. Xilinx implementation report

Device Utilization Summary		
Number of External GCLKIOBs	1 out of 4	25%
Number of External IOBs	98 out of 140	70%
Number of LOCed External IOBs	0 out of 98	0%
Number of SLICES	100 out of 1200	8%
Number of GCLKs	1 out of 4	25%
Max Delay	4.689ns	grstsw_c

표 2. 액세스코드 생성 및 상관기 FPGA 칩 요약

Table 2. FPGA summary of a correlator and an access-code generator

Target FPGA	Spartan XC2S100PQ208
Function	블루투스 액세스코드 생성 및 상관기능
Input Clock	1 MHz
Internal Clock	13 MHz(액세스코드생성모듈)/1 MHz(상관기모듈)
Performance	액세스코드생성시간 66클럭/상관허용오차 7-bit
Power Supply	+5V
Power dissipation	under 1.0W
Package	208pin PQFP

III. 결론

본 논문에서는 클럭동기와 패킷판별을 위한 블루투스 상관기 모듈과 연결상태에 따라 4개의 액세스 코드를 생성하는 액세스 생성 모듈을 설계하고 검증하였다. 상관기 모듈은 Wallace 트리 구조의 가산기를 사용하여 입력에서 출력까지 임계 경로를 축소하고 빠른 결과를 얻을 수 있도록 설계하였다. 액세스 생성 모듈은 블루투스 표준안에서 제시한 샘플 데이터를 가지고 검증하여 제시한 모듈의 정확성을 테스트하였다.

참고 문헌

- [1] "Specification of the Bluetooth System", ver. 1.1, specification vol. 1, Feb. 22 2001.
- [2] Robert Morrow, "Bluetooth Operation and Use", McGraw-Hill, 2002.
- [3] 황선원, 이상훈, 박남천, 신위재, "FPGA를 이용한 블루투스 상관기와 액세스 코드 생성 모듈의 설계", 한국신호처리시스템학회 추계학술대회 논문집, 제4권 2호, pp.171-174, 2003년 11월.
- [4] S.M. Pan and D.H. Madill, "Generalized Sliding Window Algorithm with Applications to Frame Synchronization", IEEE MILCOM '96, vol.3, pp.796-800, Oct. 1996.
- [5] Israel Koren, "Computer Arithmetic Algorithms", A K Petes Ltd, 2nd Edition 2002.



황 선 원(Sun-Won Hwang)

2002년 경남대학교 전자공학과(공학사)
2004년 경남대학교 전자공학과(공학석사)
관심분야 : FPGA, SoC설계, 전송시스템



이 상 훈(Sang-Hoon Lee)

1984년 고려대학교 전기공학과(공학사)
1987년 고려대학교 전기공학과(공학석사)
1998년 고려대학교 전기공학과(공학박사)
1987년-1991년 삼성전자(주) 주임연구원
1991년-1995년 한국전자통신연구원 선임연구원

1995년-2001년 한서대학교 전자공학과 조교수
2001년-현재 경남대학교 전자전기공학부 부교수
관심분야 : 고속디지털회로, FPGA, SoC설계



신 위 재(Wee-jae Shin)

1975년 동아대학교 전자공학과
1979년 동대학원 전자공학과(공학석사)
1989년 동대학원 전자공학과(공학박사)
1996년-1997년 대한전자공학회 부산경
남 지부장

1998년-1999년 대한전자공학회 학술위원
1998년 일본 Kyushu 대학 객원교수
2000년-현재 한국신호처리 · 시스템학회 부회장
1983년-현재 경남대학교 전자전기공학부 교수
관심분야 : 시스템지능제어 및 자동화, 신호처리
