

능동형 인덕터 Shunt Peaking을 이용한 0.25 μm CMOS TIA 설계 및 제작

Design and Fabrication of 0.25 μm CMOS TIA Using Active Inductor Shunt Peaking

조 인 호 · 임 영 석*

In-Ho Cho · Yeongseog Lim*

요 약

본 논문에서는 TSMC 0.25 μm CMOS RF-Mixed mode 공정 기술을 이용하여 초고속 광통신 시스템의 수신부에 사용되는 광대역 transimpedance amplifier를 설계하였다. 특히 광대역을 구성하기 위해 cascode와 common-source 구조에 active inductor shunt peaking을 이용하여 설계 및 제작하였으며, 측정 결과 gain 변화 없이 -3 dB 대역폭 특성이 cascode는 0.8 GHz에서 81 % 증가한 1.45 GHz, common-source는 0.61 GHz에서 48 % 증가한 0.9 GHz 결과가 나왔으며, 전체 파워 소비는 바이어스 2.5 V를 기준으로 37 mW와 45 mW이며, transimpedance gain은 61 dB Ω 과 61.4 dB Ω 을 얻을 수 있었다. 그리고 input noise current density도 상용 TIA와 거의 비슷한 $5 \text{ pA}/\sqrt{\text{Hz}}$ 와 $4.5 \text{ pA}/\sqrt{\text{Hz}}$ 를 가지며, out put Return loss는 전 대역에서 -10 dB 이하의 정합 특성을 보였다. 그리고 전체 chip 사이즈는 $1150 \times 940 \mu\text{m}^2$ 이다.

Abstract

This paper presents technique of wideband TIA for optical communication systems using TSMC 0.25 μm CMOS RF-Mixed mode. In order to improve bandwidth characteristics of an TIA, we use active inductor shunt peaking to cascode and common-source configuration. The result shows the 37 mW and 45 mW power dissipation with 2.5 V bias and 61 dB Ω and 61.4 dB Ω transimpedance gain. And the -3 dB bandwidth of the TIA is enhanced from 0.8 GHz to 1.45 GHz in cascode and 0.61 GHz to 0.9 GHz in common-source. And the input noise current density is $5 \text{ pA}/\sqrt{\text{Hz}}$ and $4.5 \text{ pA}/\sqrt{\text{Hz}}$, and -10 dB out put return loss is obtained in 1.45 GHz. The total size of the chip is $1150 \times 940 \mu\text{m}^2$.

Key words : Transimpedance Amplifier(TIA), CMOS, Active Inductor, Shunt Peaking

I. 서 론

초고속 멀티미디어 서비스 제공을 위한 FTTC, FTTO 구현 기술 개발이 전 세계적으로 활발히 진행 중에 있으나 이를 성공적으로 실현하기 위해서는 가입자 망과 연계된 구내 통신망의 고도화를 위한 기

술 확보가 필수적이다. 광 수신기는 광 검출기, TIA, main amplifier, 판별 및 타이밍 회로 등으로 구성되어 있으며, 광 수신 모듈의 개발에 있어서, 광 검출기와 TIA는 가장 핵심이 되는 부품이다. Fiber로 들어오는 광 신호를 전기 신호로 바꾸는 광 검출기와 이 미약한 전기 신호를 최소한의 잡음으로 원하

(주)에이스테크놀로지(Ace Technologies Corp.)

*전남대학교 전자컴퓨터정보통신공학부(School of Electronic, Computer, and Telecommunications Engineering, Chonnam National University)

· 논문 번호 : 20050630-073

· 수정완료일자 : 2005년 7월 17일

는 신호 레벨까지 증폭하는 TIA는 수광 소자와 함께 광수신 시스템의 수신 감도를 결정하는 주요 부분 회로로서 저잡음 특성과 아울러 광대역 증폭 특성, 넓은 동작 영역(dynamic range), 우수한 지터(jitter) 특성 등이 요구된다. 최근 광대역 광통신 시스템의 실현을 위해 수신단의 광대역화가 폭넓게 연구되고 있는데, 이러한 부품 제작 및 연구에 사용되는 공정 기술은 전송 속도가 높지 않은 경우 Si를 이용한 집적 회로로 많이 개발 및 연구되었으나, 전송 속도가 높아지면서 GaAs를 기본으로 한 MESFET, HEMT, HBT 등을 이용하여 연구되고 있다^[1]. 현재는 MOSFET 소자 공정이 0.25 μm , 0.18 μm 및 0.13 μm 로 scale down됨에 따라 차단 주파수가 증가하고, 전원 전압이 감소하여 저 전력 설계에 유리하며, 트랜스컨덕턴스의 증가로 소자의 고속 동작이 가능해졌다^{[2],[3]}. 이러한 CMOS 설계 및 공정 기술을 이용하여 본 논문에서는 active inductor shunt peaking을 이용한 광대역용 TIA 설계 및 제작, 측정하였다.

II. TIA 설계

TIA는 광 검출기와 함께 front end를 구성하여 입력 광신호를 전기 신호로 변환하여 최소한의 잡음으로 증폭하는 기능을 하며 광검출기와 한데 묶어 수신기의 optical front end라 불린다. 이러한 광 신호를 요구 전압으로 변환하는 데에는 대역폭을 넓게 유지 하면서 큰 저항을 쓸 수 있는 방법이 요구되는데, shunt-feedback transimpedance 구조가 그런 조건을 만족한다. Feedback TIA 기본 구조는 그림 1(a)와 같이 나타낼 수가 있다.

R_F 를 이용한 feedback 루프를 사용함으로써 이득이 감소되는 단점이 있지만 대역폭이 증가하고, 비선형 특성 및 잡음 특성이 향상하는 특성을 지니므로 광통신 수신단의 TIA에는 필수적으로 사용되어 지고 있다^[4]. 그림 1(b)와 같이 소신호 등가 회로를 통해 식 (1)과 같이 V_1 과 I_{IN} 를 구할 수가 있으며 이러한 식의 결과를 통하여 식 (2)와 같이 V_{OUT}/I_{IN} 을 구할 수가 있는데, 여기서 $g_m R_F$, $g_m R_D \gg 1$ 의 조건에서 식 (3)과 같이 표현할 수가 있다.

$$V_1 = I_{IN} R_F + V_{OUT} \text{ and } g_m(I_{IN} R_F + V_{OUT}) + V_{OUT}/R_D = I_{IN} \quad (1)$$

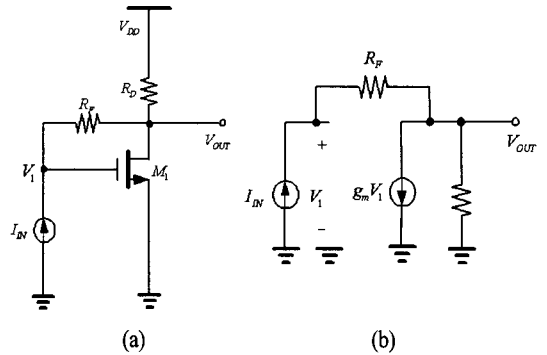


그림 1. (a) 피드백 TIA 기본 구조, (b) 소신호 등가 회로

Fig. 1. (a) Feedback TIA topology, (b) Its small-signal equivalent circuit.

$$\frac{V_{OUT}}{I_{IN}} = -\frac{g_m R_F - 1}{g_m R_D + 1} R_D \quad (2)$$

$$\frac{V_{OUT}}{I_{IN}} \approx -R_F \quad (3)$$

입력 측 저항은 식 (4)~(6)으로 구할 수가 있고 출력 저항도 식 (7)과 같이 표현할 수가 있다^{[5],[6]}.

$$R_{IN} = \frac{V_1}{I_{IN}} \quad (4)$$

$$= R_F - \frac{g_m R_F - 1}{g_m R_D + 1} R_D \quad (5)$$

$$= \frac{g_m R_F + R_D}{g_m R_D + 1} \quad (6)$$

$$R_{OUT} = R_D \parallel \frac{1}{g_m} \quad (7)$$

이러한 광대역 회로 설계를 위해 feedback 저항을 사용하여 cascode와 common-source 회로를 선택했는데, cascode 구조는 공통 소스 증폭단 다음에 공통 게이트 증폭단을 연결한 형태며 공통 게이트단이 출력 측 부하와 분리하는 역할을 하기 때문에 공통 소스 증폭단의 출력 저항이 작아지더라도, 부하가 입력 임피던스에 미치는 영향을 줄일 수 있고 큰 gain을 얻을 수 있는 장점을 가지며, common-source 회로는 게이트 단자와 소스 단자를 입력 포트, 드레인 단자와 소스 단자를 출력 포트에 하는 증폭기 구조를 가진다^[7].

그림 2(a)와 같이 광대역화를 위해 R_L 저항과 로드 캐패시턴스 C , L 를 이용한 shunt peaking을 이용하여 common-source 회로를 설계할 수가 있으며, 소신호 등가 회로로 표시하면 그림 2(b)와 같이 나타낼

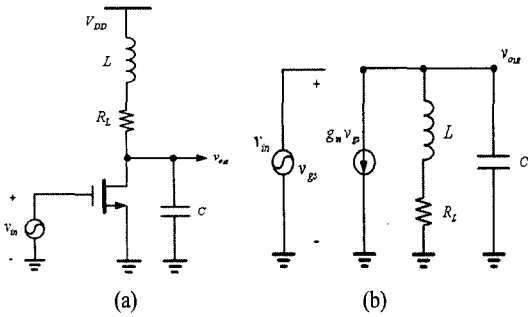


그림 2. (a) Common-source에 shunt peaking을 도입한 회로, (b) 소신호 등가회로
 Fig. 2. (a) Common-source with shunt peaking, (b) Its small-signal equivalent circuit.

수가 있다. 여기서 식 (8), (9)로 v_{out}/v_{in} 를 구할 수 있다^[8].

$$\frac{v_{out}}{v_{in}} = \frac{g_m R_L}{(1 + j\omega R_L C)} \quad (8)$$

$$\frac{v_{out}}{v_{in}} = \frac{g_m (R_L + j\omega L)}{1 + j\omega R_L C - \omega^2 LC} \quad (9)$$

식 (8)에서 v_{in} 은 입력 전압, v_{out} 은 출력 전압, g_m 은 전체적인 트랜스컨덕턴스를 나타낸다.

Shunt peaking 소자인 R_L, C, L 에 따른 관계는 식 (10), (11)을 이용하여 m 값으로 정의할 수가 있다.

$$L = mR_L^2 C \quad (10)$$

$$m = \frac{L/R_L}{R_L C} \quad (11)$$

이러한 식 (11)을 통해 shunt peaking 소자값을 결정해서 적용할 수 있으며 대역폭 변화와 factor(m)의 관계는 표 1에서 나타났다^[9].

CMOS 공정에서 증폭기로 사용하기 위해서는

표 1. Shunt peaking m 값에 따른 대역폭과의 관계
 Table 1. Relation between the amount of shunt peaking and bandwidth from.

Factor(m)	Normalized $w_{-3\text{ dB}}$	Response
0	1.00	No shunt peaking
0.32	1.60	Optimum group delay
0.41	1.72	Maximum flat
0.71	1.85	Maximum bandwidth

g_m 값과 소신호 출력 저항 값이 큰 saturation 영역에서 동작시키는 데 R_L 저항을 너무 크게 설계하면 드레인 전류가 감소하여 식 (12)와 같이 g_m 값이 낮아지므로 적당한 trade off가 필요하다.

$$g_m = \sqrt{2u_n C_{OX}} \sqrt{W/L} \sqrt{I_D} \quad (12)$$

그림 2(a)와 같은 common-source 구조에서 factor (m)을 0.32의 조건에 맞는 소자값을 사용하여 대역폭 증가를 하기 위해서 C 를 1 pF, R_L 을 1 K Ω 을 사용했을 때 인덕터 값은 320 nH가 필요하다^[10]. 이러한 값을 갖는 spiral 인덕터는 CMOS 공정상에서 구현이 불가능하며 인덕터를 포함한 shunt peaking 기술은 CMOS 공정상 one chip화 시키기에는 어렵다는 것을 알 수가 있다^[9].

지금까지 광대역화 연구는 저항 및 캐패시턴스, 인덕터 용량에 의한 shunt peaking 기술을 활용하여 대역폭 증가에 대한 연구를 했지만 기존의 공정을 활용하기에는 많은 제한을 두는 게 현실이다. 이러한 문제점을 보완하기 위하여 pMOS 및 인덕터 de-generation 방식을 이용하여 이미지 값은 pMOS의 C_{gs} 와 상쇄돼서 없앨 수가 있고, capacitive한 능동 소자의 입력 임피던스에 실제적인 값만 보이게 하는 효과가 있어 이득 최대점과 잡음 최소점을 동시에 만족하는 출력 추과 임피던스 매칭 즉 공진을 일으킬 수 있는데, 이러한 공진 현상 및 pMOS의 트랜스컨덕턴스(g_m)값과 출력 저항(r_o)의 추가로 인해 shunt peaking m 을 상승시켜 대역폭을 증가시켰으며, 좋은 신호 전달을 구현하기 위해 버퍼단을 두 단으로 설계하여 최적의 정합 특성을 얻을 수 있도록 구성하였다. 그림 3과 4는 본 논문에서 사용한 전체 회로도들 나타내며 M_P 의 출력 저항을 r_o 로 표시하고 peaking 인덕터는 $L_{degeneration}$ 로 표시하였다. $L_{degeneration}$ 은 인덕터의 L_d 와 M_P 의 g_m 성분이 포함된 것을 나타낸다.

식 (13)으로 M_P 의 g_m 과 r_o 성분 및 C_{gs} 를 포함한 Z_{out} 를 나타낼 수 있다.

$$Z_{out}(S) = \frac{v_x}{i_x} = r_o + \frac{1 + g_m r_o}{1 - \omega^2 C_{gs} L_d} s L_d \quad (13)$$

식 (11)을 이용하여 pMOS 소자를 추가한 m 값으로 식 (14)와 같이 표현할 수가 있다.

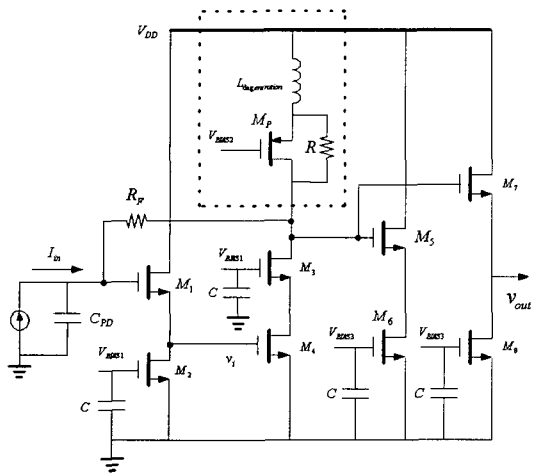


그림 3. pMOS 및 인덕터 degeneration 방식을 이용한 캐스코드 회로도
 Fig. 3. The cascode schematic of the pMOS and inductor degeneration.

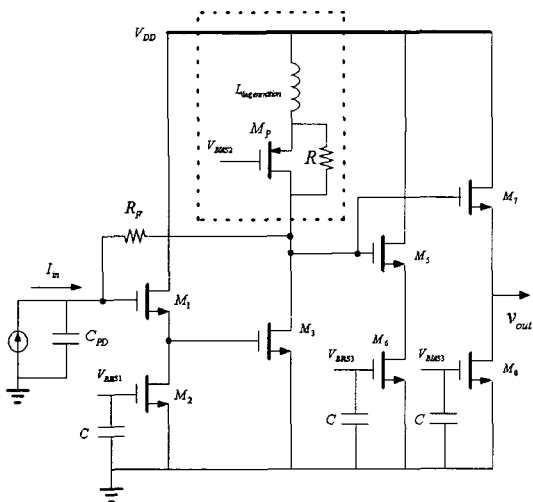


그림 4. pMOS 및 인덕터 degeneration 방식을 이용한 공통 소스 회로도
 Fig. 4. The common-source schematic of the pMOS and inductor degeneration.

$$m = \frac{L_{new}/r_o}{r_o C_L} = \frac{(1 + g_m r_o)L_d/r_o}{r_o C_L} \quad (14)$$

이러한 M_P 소자의 g_m 값과 r_o 의 추가로 shunt peaking m 값을 상승시킬 수가 있다^[11].

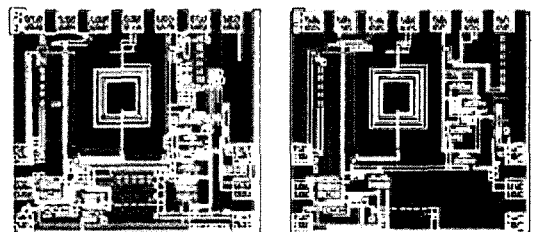
전체적인 회로 구조는 이득단과 버퍼단으로 구성 되어 있으며, 첫째단 M_1, M_2 는 버퍼로써 에미터 폴로워 구조를 가지며, 그림 3 둘째단 M_3, M_4 와 그

림 4 M_3 는 증폭 회로로서 잡음을 최소화하는 동시에 이득을 가진다. 셋째단 M_5, M_6, M_7, M_8 은 버퍼로써 증폭단에서 증폭된 신호를 다음 단으로 잘 전달시키고, 1.5 V 이하의 V_{DS} 을 구현하고 좋은 신호 전달 특성을 구현하기 위해 2단을 사용하였다. 또한 M_1 의 게이트단과 M_3 의 드레인 사이에 저항 R_f 를 연결하여 feedback 루프를 사용하였고, 저항 R 은 M_P 의 드레인과 소오스에 병렬로 추가시켜 current source에 출력 저항을 줄였으며, bias 부분은 current mirror 방식을 사용하였다. 전류 biasing할 때 각 bias 소자 게이트와 gnd 사이에 C 를 추가해 bypass용으로 10 pF를 사용하였고 $L_{degeneration}$ 는 15 nH를 사용하였으며 포토 다이오드(C_{PD})는 간단하게 전류 source와 캐패시턴스 600 fF로 모델링하여 사용하였다. 전체 회로의 공급 전압은 2.5 V를 사용하였다.

III. TIA 제작 및 측정

그림 5는 TIA layout된 회로를 보여준다. 왼쪽에서 입력 신호가 인가하고 오른쪽으로 출력이 나오도록 구성이 되어 있으며 공급 전원은 위쪽에, 접지는 왼쪽을 선택을 위해서 위쪽과 아래쪽 위치에 설계하였는데, spiral 인덕터는 크기가 커서 layout시 다른 부품과 거리가 가까우면 magnetic flux에 의한 coupling 현상을 가져오는데 이러한 부분을 고려하여 설계하였다.

Chip의 주파수 특성은 그림 6과 같이 HP8510C 네트워크 분석기와 DUT를 RF cable 및 bias T를 이용하여 연결하고 HP4142B를 통하여 DUT에 전원을 공급, HP83650B를 통해 고정된 입력 파워 레벨에서,



(a) 캐스코드 도면 (a) Cascode layout
 (b) 공통 소스 도면 (b) Common-source layout

그림 5. 도면
 Fig. 5. Layout.

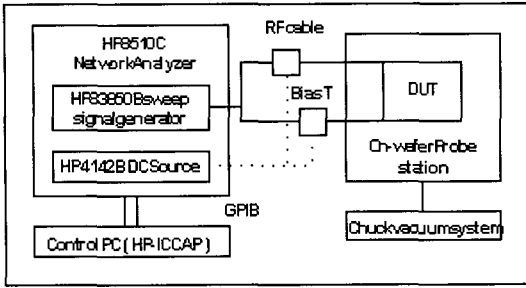


그림 6. 주파수 특성 측정 블록도
Fig. 6. Setup for frequency characteristic.

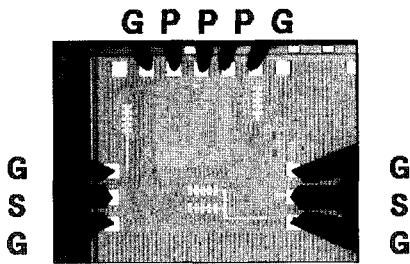


그림 7. 실제 제작된 칩 사진
Fig. 7. Photograph of the fabricated chip.

주파수를 sweep하여 DUT의 주파수 특성을 측정할 수가 있다. 이 측정을 통하여, chip의 입, 출력 return loss 및 소 신호 이득을 측정하고, transimpedance gain 값을 구할 수가 있다.

그림 7은 실제 제작된 칩 측정 사진을 보여준다. Chip size는 $1150 \times 940 \mu\text{m}^2$ 로 설계 및 제작하였다.

그림 8은 입력 전압을 2.5 V를 공급해 주었을 때 transimpedance gain과 -3 dB 대역폭 측정값을 보이며 기본 구조의 simulation 결과값과 비교해서 나타났다.

그림 9는 출력단의 정합 특성을 보여 주는데 cascode 회로는 1.45 GHz까지 -10 dB 이하, common-source는 1 GHz까지 -20 dB 이하의 정합 특성을 보임을 확인할 수 있었다.

Input noise current density는 그림 10과 같이 출력단에서 스펙트럼 분석기를 이용하여 잡음 전압 밀도를 측정 후, transimpedance gain으로 나누어 주어 입력 단으로 refer된 입력 잡음 전류 밀도를 구할 수 있다.

측정 결과 그림 11과 같이 cascode는 1.45 GHz에

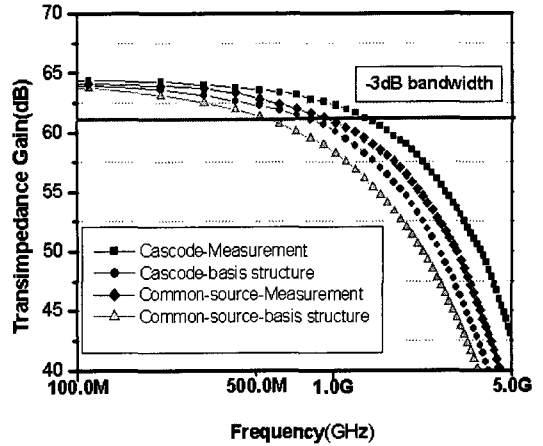


그림 8. 캐스코드 transimpedance gain과 -3 dB 대역폭 특성
Fig. 8. Measured transimpedance gain and -3 dB bandwidth.

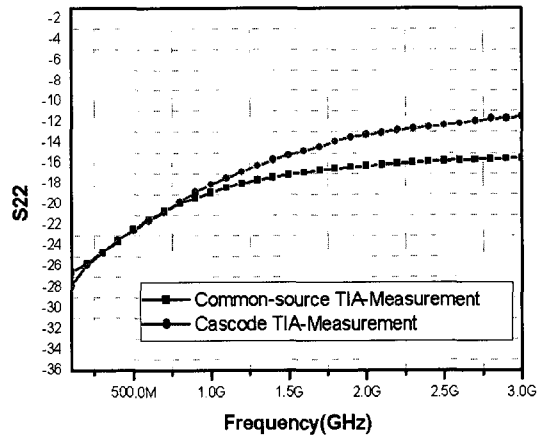


그림 9. 출력단의 정합 특성
Fig. 9. Measured output impedance.

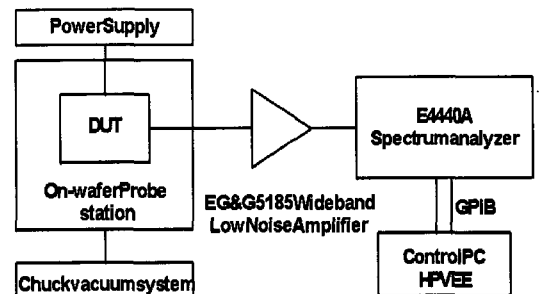


그림 10. Input noise current density 특성 측정 블록도
Fig. 10. Setup for Input noise current density characteristic.

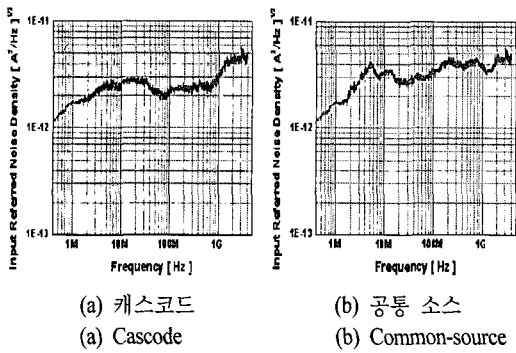


그림 11. 입력 잡음 전류 밀도
Fig. 11. Measured input noise current density.

표 2. 설계된 TIA에 대한 시뮬레이션 및 측정 결과치
Table 2. Overall performances of the designed TIA.

사 양	Cascode 기본구조	Cascode 제안된 회로 (측정치)	Common- source 기본구조	Common- source 제안된 회로 (측정치)
Active device (CMOS)	0.25 μm	0.25 μm	0.25 μm	0.25 μm
transimpeda- nce gain	61 dB Ω	61 dB Ω	61 dB Ω	61.4 dB Ω
-3 dB 대역폭	0.8 GHz	1.45 GHz	0.61 GHz	0.9 GHz
Input noise current density	4.5 $\text{pA}/\sqrt{\text{Hz}}$	5 $\text{pA}/\sqrt{\text{Hz}}$	3.5 $\text{pA}/\sqrt{\text{Hz}}$	4.5 $\text{pA}/\sqrt{\text{Hz}}$
Output Return loss	-12 dB	-15 dB	-25 dB	-20 dB
소비 전력	25 mW	37 mW	37 mW	45 mW

서 $5 \text{ pA}/\sqrt{\text{Hz}}$, common-source는 900 MHz에서 $4.5 \text{ pA}/\sqrt{\text{Hz}}$ 보임을 확인할 수 있었다.

표 2는 기본 회로 구조와 본 논문에서 사용된 회로의 측정 결과치를 비교해서 요약 정리하였다.

IV. 결 론

TSMC 0.25 μm CMOS RF-Mixed mode 공정 기술과 active inductor shunt peaking을 이용하여 광대역용 TIA를 설계하였다. 기존 cascode 및 common-source 구조회로에서 gain의 변화없이 -3 dB 대역폭이 cascode는 0.8 GHz에서 81 % 증가한 1.45 GHz, common-source는 610 MHz에서 48 % 증가한 0.9 GHz

결과가 나왔으며, 전체 파워 소비는 바이어스 2.5 V를 기준으로 37 mW, 45 mW이며 transimpedance gain은 61 dB Ω , 61.4 dB Ω 를 얻을 수 있었다. 그리고 input noise current density도 상용 TIA와 거의 비슷한 $5 \text{ pA}/\sqrt{\text{Hz}}$ 와 $4.5 \text{ pA}/\sqrt{\text{Hz}}$ 를 가지며, 출력단 정합 특성은 전 대역에서 -10 dB 이하의 정합 특성을 보였다.

참 고 문 헌

- [1] Sunderarajan S. Mohan, et al., "Bandwidth extension in CMOS with optimized on-chip inductors", *IEEE Journal of Solid-state Circuits*, vol. 35, no. 3, Mar. 2000.
- [2] Q. Huang, et al., "The impact of scaling down to deep submicron on CMOS RF circuits", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 7, Jul. 1998.
- [3] Behzad Razavi, *Design of Analog CMOS Integrated Circuitis*, McGraw-Hill, NewYork, 2001.
- [4] Yu-Chang Chen, Shey-Shi Lu, "Analysis and design of CMOS broadband amplifier with dual feedback loops", *IEEE Asia-Pacific Conference*, pp. 245-248, Aug. 2002.
- [5] Behzad Razavi, *Design of Analog CMOS Integrated Circuitis*, McGraw-Hill, Chicago, 2001.
- [6] Behzad Razavi, *Design of Integrated Circuits for Optical Communications*, McGraw-Hill, NewYork, pp. 106-110, 2003.
- [7] Adel S. Sedra, *Microelectronic Circuits*, Oxford University Press, New York, pp. 622-626, 1998.
- [8] Behzad Razavi, *Design of Integrated Circuits for Optical Communications*, McGraw-Hill, NewYork, pp. 110-114, 2003.
- [9] Thomas H. Lee, *The Design of CMOS Radio Frequency Integrated Circuit*, Cambridge University Press, New York, 1998.
- [10] James J. Morikuni, Sung-Mo Kang, "Analysis of inductive peaking in photoreceiver design", *Journal of Lightwave Technology*, vol. 10, no. 10, Oct. 1992.
- [11] Yong-Hun Oh, et al., "A 2.5 Gb/s CMOS trans-

impedance amplifier using a novel active inductor load", *IEEE European Solid-State Circuits Conference*,

ence, Sep. 2001.

조 인 호



1998년 2월: 광주대학교 전자공학과 (공학사)
2001년 2월: 전남대학교 전자공학과 (공학석사)
2002년 2월~현재: 전남대학교 전자정보통신공학과 박사과정
2004년 12월~현재: (주)에이스테크

놀로지 선임연구원

[주 관심분야] 이동통신 안테나, 능동 및 수동소자

임 영 석



1980년 2월: 서울대학교 전자공학과 (공학사)
1982년 2월: 서울대학교 전자공학과 (공학석사)
1989년 2월: 전북대학교 전자공학과 (공학박사)
1984년 9월~현재: 전남대학교 전자

자컴퓨터정보통신공학부 교수

[주 관심분야] 전자파 해석, RF 소자설계, 초고주파 회로 해석