

# MFC 기반 하이브리드 전자보ورد 검사를 위한 규칙기반 솔루션 설계

論 文

54D-9-2

## Design of a Rule-Based Solution Based on MFC for Inspection of the Hybrid Electronic Circuit Board

高 鈞 錫<sup>†</sup>  
(Yun-Seok Ko)

**Abstract** - This paper proposes an expert system which is able to enhance the accuracy and productivity by determining the test strategy based on heuristic rules for test of the hybrid electronic circuit board produced massively in production line. The test heuristic rules are obtained from test system designer, test experts and experimental results. The guarding method separating the tested device with circumference circuit of the device is adopted to enhance the accuracy of measurements in the test of analog devices. This guarding method can reduce the error occurring due to the voltage drop in both the signal input line and the measuring line by utilizing heuristic rules considering the device impedance and the parallel impedance. Also, PSA(Parallel Signature Analysis) technique is applied for test of the digital devices and circuits. In the PSA technique, the real-time test of the high integrated device is possible by minimizing the test time forcing n bit output stream from the tested device to LFSR continuously. It is implemented in Visual C++ computer language for the purpose of the implementation of the inference engine using the dynamic memory allocation technique, the interface with the electronic circuit database and the hardware direct control. Finally, the effectiveness of the builded expert system is proved by simulating the several faults occurring in the mounting process the electronic devices to the surface of PCB for a typical hybrid electronic board and by identifying the results.

**Key Words** : ICT(In-Circuit Tester), RLC Parallel Circuit, Electronic Board Test, Guarding Method

### 1. 서 론

생산라인에서 대량 생산되는 실장 PCB를 검사하여 표면실장 과정에서 발생할 수 있는 부품이나 회로의 결함을 확인하는 작업은 제품품질과 생산성에 직접적인 영향을 미친다. 따라서 전자 회로 보오드의 검사 및 생산성 개선을 위한 연구들이 있어 왔는데 회로의 전기적 연결성, 부품의 특성과 동작 원리의 다양성, 회로의 고집적화 등으로 인하여 부품이나 회로의 결함을 신속하고 정확하게 확인할 수 있는 검사전략을 결정하는 데에 많은 어려움을 겪고 있다.

연구초기에는 보오드 단위로 검사패턴을 입력하여 출력패턴을 검사하는 회로기능 검사기법이 제안되었다[1-2]. 그러나 기술의 발전에 힘입어 회로가 고집적화 됨으로써 검사패턴의 수가 폭발적으로 증가하였으며, 결함이 확인된 후에도 불량부품을 진단하기 위해 모든 부품을 검사장비를 이용하여 개별적으로 검사함으로써 많은 시간비용이 요구되었다[3-4]. 따라서 고장진단 시간을 줄이기 위해서 가능한 모든 상정사고들에 대한 고장패턴 지식베이스를 이용한 검사전략이 제안되었는데, 이 방법은 모든 고장경우들에 고장 데이터베이스를 구

축하는데에 높은 프로그래밍 비용이 필요로 하였다[5-6]. 이러한 문제를 해결하기 위해 각 부품을 개별적으로 검사함으로써 최소의 프로그래밍 검사비용으로 신속하게 고장부품을 확인할 수 있는 부품 검사기법이 제안되었다[8-9]. 그러나 회로기능의 디지털화가 급속히 추진되고 있는 상황에서 회로 보오드들이 부분적으로 아날로그 회로는 물론 디지털 회로를 포함하는 하이브리드 형태로 설계됨으로써 검사 생산성을 개선하고 검사 시스템의 설치 비용을 낮추기 위해서 하이브리드 보오드에 대한 검사전략 요구가 점차 증대되고 있다. 이 경우 아날로그는 물론 디지털 부품 검사를 위한 복합 검사전략이 요구되는데, 아날로그 부품검사의 경우 복잡한 하이브리드 회로의 연결성을 분석해서 측정하고자 하는 부품에 대한 가드 포인트, 검사 신호원, 지연시간 및 다양한 조건을 고려하여 최적한 검사전략을 결정해야 하고, 디지털 부품 검사의 경우 회로 연결성을 추적하여 극세피치이거나 열적으로 취약한 부품에 대한 클러스터를, 그리고 부품의 동작특성에 맞는 검사전략을 결정해야 한다. 그러나 이 문제는 하이브리드 회로의 연결성을 분석해야 하고 {전자부품, 패드, 검사 신호원, 지연시간}의 조합문제를 풀어야 함은 물론, 부품의 다양성 때문에 전문 검사 시스템 설계자의 경우라도 검사전략 설정과정에 엄청난 시간비용이 요구되고 있다.

따라서 본 연구에서는 생산라인에서 대량으로 생산되는 하이브리드 전자회로 보오드에 대해서 회로연결성 추적기능을 기반으로 휴리스틱 규칙들에 근거하여 검사전략을 수립함으로써 검사의 정확성을 확보하면서 검사 생산성을 개선할 수 있

<sup>†</sup> 교신전자, 正會員 : 남서울大學 電子情報通信工學部 副教授 · 工博  
Email : ysko@nsu.ac.kr

接受日字 : 2005年 4月 28日

最終完了 : 2005年 7月 21日

는 전문가 시스템을 제안한다. 아날로그 부품 검사의 경우 검사의 정확성을 기하기 위해서 측정하고자 하는 소자를 주변회로로부터 전기적으로 분리하기 위한 가당기법이 요구되는데, 제안되는 병렬회로 인식능력과 회로축약기능을 기반으로 최적한 가드 포인트와 가드비를 결정하도록 설계한다. 그리고 이 가드비를 기반으로 휴리스틱 규칙에 근거하여 신호선과 측정선 그리고 가드선의 전압강하로 인한 측정의 오차를 줄일 수 있는 가당기법이 채택되도록 설계한다. 또한 디지털 부품 및 회로의 검사를 위해서 회로 연결성 자동추적기능에 기반한 클러스터 결정기능이 설계되며 PSA(Parallel Signature Analysis)[12,15] 기법이 적용된다. 검사 전략은 Visual C++ 언어로 설계, 구현된다. 끝으로, 대표적인 하이브리드 보드에 대해 수개의 부품에 대한 고장을 모의하고 그 결과를 확인함으로써 제안된 검사전략의 유용성을 검증한다.

2. 검사원리

그림 1은 하이브리드 보드를 검사하기 위한 검사 시스템의 구성을 보인다. 먼저, 주 컴퓨터의 검사패턴 테이블에 정해진 순서에 따라 해당 부품에 대한 신호주입 및 측정이 가능하도록 스위칭 매트릭스의 전자 릴레이들을 원격제어하여 검사 신호부와 치구부 사이의 전기적 회로를 구성한다. 그리고 검사 부품의 타입에 따라 아날로그 검사부나 디지털 검사부를 제어하여 아날로그 직/교류신호나 디지털 검사패턴을 측정하고자 하는 부품에 인가한 다음, 그 결과를 측정하여 해석함으로써 실현된다.

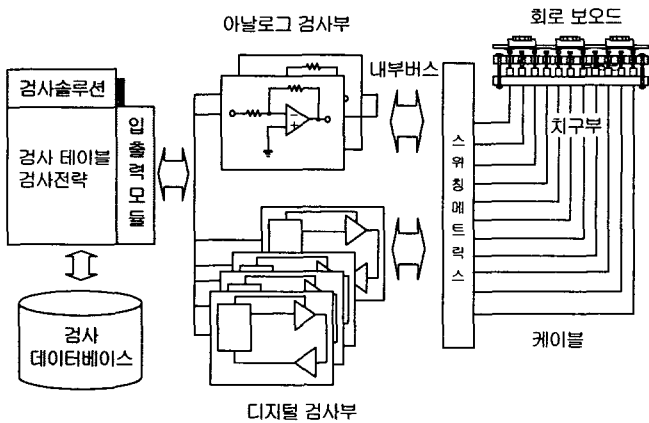


그림 1. 하이브리드 회로 보드 검사 시스템의 구성  
Fig. 1 The configuration of hybrid circuit board test system

2.1 아날로그 부품 검사

그림 2는 아날로그 부품과 디지털 부품이 모두 포함되는 대표적인 하이브리드 회로를 보이는데, D<sub>i</sub>는 i번째 부품을, □는 노드번호를 표시한다. 여기서 노드는 부품 핀과 핀사이의 패턴을 의미한다. 아날로그 부품들은 R, L, C 등과 같은 수동 소자들과 다이오드, 트랜지스터, op-amp 응용회로등과 같은 능동소자들을 포함한다. 아날로그 부품 검사에서는 이들 부품들의 미삽, 역삽, 오삽문제 그리고 납땜불량 등의 결함을 확인하게 된다. 그림 2에서 노드 {19,20}에 장착된 저항 R<sub>2</sub>를 검사

하기 위해서는 노드 19를 입력노드로 하여 전압신호를 인가한 후, 출력노드 20의 측정된 전류로부터 부품 값을 계산, 20KΩ ±ε [%]의 조건에 대한 만족여부를 검사하여 양불을 판정하게 된다. 그러나 그림 2와는 달리 실제 실장 PCB에서는 측정하고자 하는 R, L 또는 C 등의 노드들에 전기적인 병렬회로가 구성됨으로써 신호인가 후, 측정된 전류를 통해서 측정 부품에 대한 임피던스가 아니라 병렬 임피던스 값이 얻어져 측정 부품에 대한 정확한 값을 확인할 수 없다. 따라서 측정 부품 이외의 병렬경로들에 대해서 강제적인 접지를 실시, 병렬경로상의 전류가 측정부로 흐르지 못하도록 가당회로를 구성해야 하는데 이때 가당점에 따라 상당한 오차는 물론 측정회로 자체가 불안정해질 수 있기 때문에 각 병렬회로들을 분석, 임피던스를 계산하여 적절한 가당점과 가당기법을 선택해야 한다. 또한 검사 신호원, 지연시간 등 다양한 검사조건에 따라 상당한 오차를 포함할 수 있기 때문에 검사 시스템 설계자는 최적한 가드 포인트, 검사 신호원, 지연시간 및 다양한 조건을 고려하여 최적한 검사전략을 결정한다. 그러나 이 문제는 전문적 회로분석은 물론 (전자부품, 패드, 검사 신호원, 지연시간)의 조합문제이기 때문에 고도의 전문성과 상당한 시간적 노력이 요구된다.

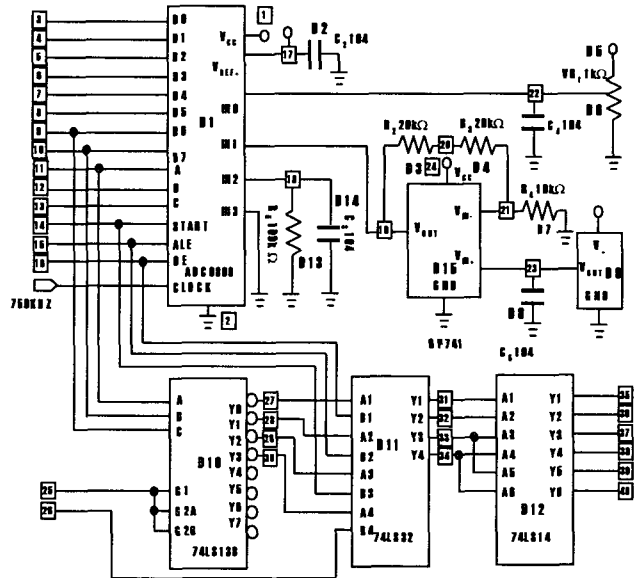


그림 2 대표적인 하이브리드 회로  
Fig. 2 Typical hybrid electronic circuit

2.2 디지털 부품 검사

그림 2에서 74LS138, 74LS32 그리고 74LS14 등의 디지털 부품들은 내부고장은 물론 표면실장과정에서 고착1 또는 고착0의 결함을 경험하게 된다. 디지털 검사는 검사하고자 하는 부품에 대해 가능한 모든 검사패턴을 입력 핀들에 순차적으로 가하면서, 대응하는 출력핀들부터 출력되는 이진 출력 데이터 패턴들을 관찰함으로써 실현된다. 예들들어, 74LS32를 검사하는 경우 입력노드들 {27,14,28,15,29,16,30,26}에 가능한 2<sup>8</sup>=256개의 검사패턴들을 순차적으로 인가하면서 출력노드들 {31,32,33,34}로부터 발생하는 256개의 출력패턴들을 감시, 출력패턴들 중 하나의 패턴이라도 정상 출력패턴과 동일하지 않

은 경우, 부품 또는 회로의 불량률 판정한다. 그러나 이 과정은 정상패턴과 출력패턴의 비교작업을 256번이나 반복해야 하기 때문에 검사 생산성을 심각하게 저하시킬 수 있다.

따라서 이 문제를 해소하기 위해 특성 다항식을 표시하는 LFSR(Linear Feedback Shift Resister) 회로에 기반하는 SA(Signature Analysis) 기법을 적용하게 된다[3,4,12]. 먼저, SSA(Serial Signature Analysis) 기법을 74LS32의 출력노드 {33}에 적용하는 경우, 검사 시스템으로부터 256개의 검사패턴들이 입력노드들에 연속적으로 인가되면 출력노드 {33}에서는 256개의 비트 스트림이 연속적으로 발생하게 되는데, 이 비트 스트림을 LFSR 회로에 연속적으로 인가시키면 LFSR 회로는 자신을 표시하는 특성 다항식으로 이진 나눗셈을 실현, 그 나머지를 내부 레지스터에 표시하게 된다. 이 나머지를 시그네이처라 하며, 정상 시그네이처와 비교, 양불을 판정함으로써 반복적인 확인절차를 피해 상당한 검사시간의 개선을 기할 수 있다. 특히 출력이 n비트인 경우 SSA와의 n:1 관계를 해소하기 위해 PSA(Parallel Signature Analysis) 기법이 도입될 수 있다. PSA 기법은 결합검출회로의 구조가 간단할 뿐만 아니라 검사시간을 효율적으로 줄일 수 있다[12,15]. 다른 한편으로 노드 {27,28,29,30}이 초극세 피치이거나 열적을 취약하여 검사 핀을 세울 수 없는 경우, 73LS138이나 74LS32는 검사가 불가능하게 된다. 이 문제는 {73LS138, 74LS32}를 클러스터로 설정하여 검사를 실시함으로써 해결될 수 있는데 노드로부터 회로 연결성을 추적하여 클러스터를 설정해야 하기 때문에 상당한 어려움이 따른다.

### 3. 검사 전문가 시스템 설계

검사 시스템은 전자회로 데이터베이스로부터 메모리 상에 전자회로 모델을 구축한 다음, 기본적인 검사데이터를 작성한다. 다음 테이블에 작성된 각 부품들에 대해 순차적으로 전문가 시스템의 추론엔진을 구동하여 검사를 위한 전략을 설정하게 된다. 전문가 시스템은 추론엔진의 전기적 연결성 추적기능과 규칙추론을 통해 가딩기법, 클러스터 설정 등 검사전략을 설정하게 된다. 다음 수립된 전략에 따라 검사회로를 구성하고 검사신호를 주입한다. 다음 검사결과를 확인, 부품의 양부를 판정할 수 있도록 한다.

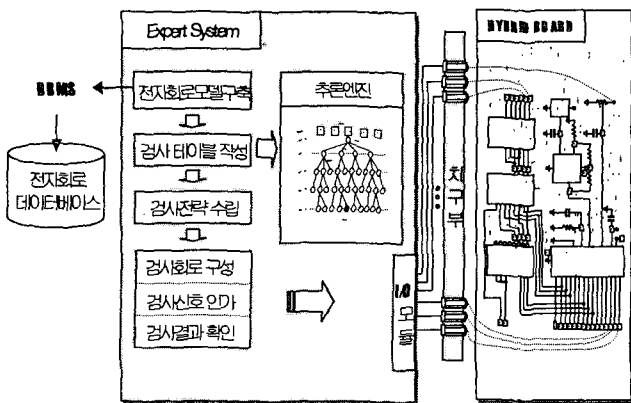


그림 3 하이브리드 보드 검사 전문가 시스템 구조  
Fig. 3 The structure of expert system for hybrid board test

### 3.1 전자회로 모델링 및 데이터베이스 설계

전자회로는 부품 테이블(DT), 부품 핀 테이블(DPT) 그리고 패턴 테이블(PT)로 구성된다. 부품 테이블은 부품의 ID, 부품종류, 부품타입 그리고 부품번호등을 포함한다. 부품타입은 AD 또는 DD를 표시하는데, AD는 아날로그 부품을 DD는 디지털 부품을 표시한다. 부품 테이블과 부품 핀 테이블과의 관계는 1:n 관계로써 부품번호를 통해서 관계된다. 디지털 부품의 경우 어드레스 핀, 데이터 핀 등 다양한 핀이 존재한다. 부품 핀 테이블은 핀 번호, 핀 타입, PAD 번호 그리고 패턴 번호 등을 표시하는데, 이 패턴 번호를 통해 패턴 테이블과 관계된다. 패턴 테이블은 부품 번호를 통해 부품 테이블과 관계되며 또한 패턴번호를 통해 부품 핀 테이블과 관계된다. 패턴번호는 노드번호를 의미하며 접착 푸루브와 1:1 관계로 표시된다. 그림 5는 전자회로 모델링 관계를 보인다.

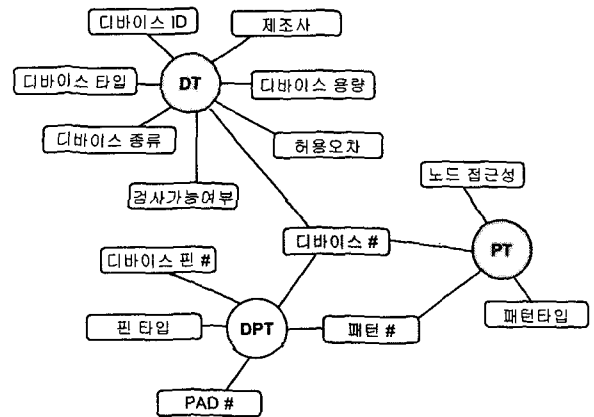


그림 4 전자회로 데이터베이스 설계  
Fig. 4 Design of electronic circuit database

### 3.2 추론엔진(탐색엔진) 설계

전자부품 탐색을 위한 탐색트리에는 그림 5와 같이 설명될 수 있다. 탐색트리는 노드와 브랜치로 표시되는데, 노드는 전자회로 패턴, 브랜치는 부품을 표시한다. 초기노드는 아날로그 부품의 경우 측정하고자 하는 부품의 신호입력 노드, 디지털 부품의 경우 극세피치이거나 신호인가가 불가능한 부품의 입력노드이다. 만약, 초기노드에 4개의 전자부품이 연결되어 있다고 가정한다면 초기노드는 그림 5와 같이 4개의 브랜치로 확장된다. 이때 너비반복 탐색법이 적용되면  $B_{0,1}$ 을 시작으로  $B_{0,2}, B_{0,3}, B_{0,4}$ 순으로 브랜치가 탐색되어 부품  $\{D_{0,1}, D_{0,2}, D_{0,3}, D_{0,4}\}$ 에 대한 정보가 수집, 저장된다. 여기서  $B_{i,j}$ 는 깊이  $i$ 에서  $j$ 번째 브랜치를 의미하며  $D_{i,j}$ 는  $B_{i,j}$ 에 해당하는 부품을 표시한다. 특히,  $B_{0,j}$ 에 대한 탐색과정에서 회로 연결성 추적을 통해 부품  $D_{0,j}$ 에 대한 다른 측 회로 패턴들 즉 노드들  $\{N_{1,1}, N_{1,2}, N_{1,3}, N_{1,4}\}$ 를 깊이 1의 확장노드로 얻는다.

그리고 깊이 0의 모든 브랜치 탐색이 완료되면,  $\{N_{1,1}, N_{1,2}, N_{1,3}, N_{1,4}\}$  중에서 먼저 첫 번째 노드  $N_{1,1}$ 을 탐색노드로 하고 그 탐색노드의 확장 브랜치들  $\{B_{1,1}, B_{1,2}\}$ 가 순차적으로 탐색된다. 이때 측정부품이 아날로그 부품인 경우 병렬회로를 얻기 위한 탐색조건은 탐색노드가  $N_{1,1}$ 이 되어야 한다. 즉 목적노드 ●는  $N_{1,1}$ 을 의미한다. 전문가 시스템은 다시 두 번째 노드

$N_{1,2}$ 에 대한 확장 브랜치들  $\{B_{1,3}, B_{1,4}, B_{1,5}\}$ 가 순차적으로 탐색하고 이 작업이 완료되면 깊이 1의 나머지 노드들  $\{N_{1,3}, N_{1,4}\}$ 에 대해서 탐색과정을 반복하여 다음 깊이 노드들  $\{N_{2,1}, N_{2,2}, N_{2,3}, N_{2,4}, N_{2,5}, N_{2,6}, N_{2,7}, N_{2,8}\}$ 이 얻어진다. 그리고 다시 이 노드들을 탐색하여 확장 브랜치들을 얻게 되며 이 브랜치들로부터 깊이 3의 노드들을 확인하게 된다. 이 과정에서 깊이 3의 두 번째 노드  $N_{3,2}$ 가 목적노드로 확인됨으로써 첫 번째 병렬회로 경로  $P_1 = \{N_{1,1}, N_{2,1}, N_{3,1}\}$ 를 얻게 된다. 그리고 이 과정은 계속되어 최종적으로 병렬회로들  $P_2 = \{N_{1,1}, N_{2,1}, N_{3,1}, N_{4,1}\}$ ,  $P_3 = \{N_{1,1}, N_{2,1}, N_{3,1}, N_{4,2}\}$ 를 추론하게 되며, 각각의 병렬회로  $P_1, P_2, P_3$ 에 대해 휴리스틱 규칙 HR 1-3]을 적용하여 최적한 가드 노드 및 가딩 기법을 결정하게 된다.

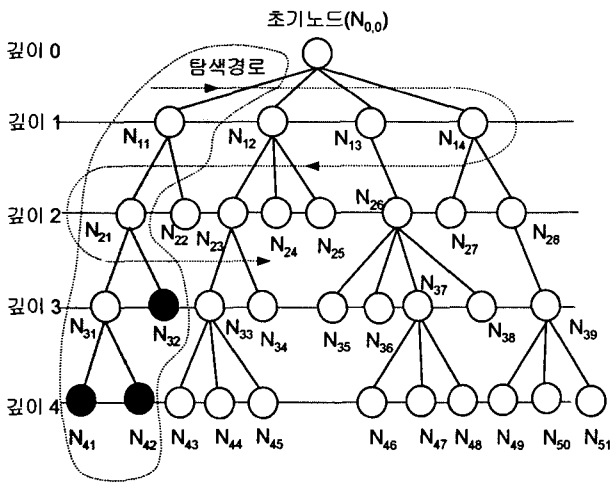


그림 5 너비우선 탐색전략  
Fig. 5 Breadth-first search method

반면에 디지털 부품인 경우 모두 입력핀을 세울 수 있는 부품 노드가 목적노드가 된다. 따라서  $\{N_{1,1}, N_{2,1}, N_{3,1}\}$ 이 극세피치인 경우 점선으로 둘러싸인 노드들  $\{N_{4,1}, N_{4,2}, N_{3,2}\}$ 가 검사 클러스터 후보가 될 수 있다. 이 추론과정을 거쳐서 검사전략 수립을 위해 핵심적인 가드노드, 가딩전략 그리고 검사 클러스터가 설정될 수 있다.

3.3 검사 휴리스틱 규칙(HR:Heuristic Rule)

검사전략은 아날로그 부품을 검사하기 위한 검사전략과 디지털 부품을 검사하기 위한 전략들이 포함되는데 여기에서는 다양한 규칙들 중에서 병렬회로 정보로부터 직렬회로로 축약하기 위한 규칙 HR 1-3]을 설명하며 또한 가드전략을 결정하기 위한 규칙들 HR 1-8]을 표 1에, 저항, 콘덴서 및 아날로그 부품 추정관련 규칙들 HR 9-20]을 표 2에 그리고 디지털 부품 및 A/D 변환기에 관련된 규칙들 HR 21-30]을 표 3에 보인다. 추론엔진으로부터 추정된 병렬회로 정보로부터 직렬회로 정보를 얻기 위한 축약과정은 직렬회로만이 남을 때까지 HR 1-2]를 반복함으로써 얻는다.

HR 01] 병렬회로를 우선 직렬회로로 축약한다. 이 규칙은 병렬회로 경로에 대한 순수 병렬회로에 대한 합성 임피던스를 구해 직렬회로를 축약하기 위한 규칙이다.

HR 02] 직병렬회로의 직렬회로를 우선 축약한다. 이 규칙은 직병렬 회로의 직렬회로에 대한 합성 임피던스를 구해 순수한 병렬회로를 얻기 위한 규칙이다.

다음 최종적으로 얻어진 각 병렬회로 경로  $P_n$ 에 대해 각 노드에 대한  $Z_a, Z_b$ 를 구한 다음  $Z_a Z_b$ 를 계산한다. 그림 6은 기본적인 6단자 가딩법을 보인다[03]. S, I는 소스노드와 측정노드를 그리고 G는 병렬 임피던스 성분 보상을 위한 가드노드를 의미한다.  $Z_x(\omega)$ 는 검사대상 부품의 임피던스,  $Z_a, Z_b$ 는 주변 병렬 임피던스 성분이다. 만일 소스노드에 전압  $V_{in}$ 을 인가하는 경우 신호선, 측정선에서  $Z_s(\omega), Z_l(\omega)$ 의 임피던스 성분으로 인해 측정오차가 발생할 수 있다. 또한 병렬저항성분으로 인한 우회전류  $I_z$ 를 제거하기 위한 가드선에서 조차  $Z_g(\omega)$ 의 임피던스 강하가 발생하여  $I_z$ 중 일부 전류가 우회하여 오차를 발생시킬 수 있다. 그림 6에서 노드 S와 I를 흐르는 전류  $I_x$ 는 식 (1)과 같이 표시할 수 있다.

$$I_x = I_{in} \frac{(Z_a + \frac{Z_g Z_b}{Z_g + Z_b})}{(Z_a + \frac{Z_g Z_b}{Z_g + Z_b}) + Z_x} \quad (1)$$

반면에 노드 S에서 노드 G를 거쳐  $Z_g$  성분에 의해 노드 B로 흐르는 전류성분  $I_z$ 는 식 (2)로 표시할 수 있다.

$$I_z = I_{in} \frac{Z_x}{(Z_a + \frac{Z_g Z_b}{Z_g + Z_b}) + Z_x} \cdot \frac{Z_g}{Z_g + Z_b} \quad (2)$$

따라서 가드에러는 식 (3)으로 표시된다.

$$\frac{I_z}{I_x} = \frac{Z_g Z_x}{Z_a(Z_g + Z_b) + Z_g Z_b} \quad (3)$$

이때  $Z_a, Z_b$ 가  $Z_g$ 보다 상대적으로 크고  $Z_g = 1\Omega$ 이라 가정하면 식(3)은  $Z_x/Z_a Z_b$ 로 간략화될 수 있는데, 만약,  $Z_a, Z_b$ 가 수십 $\Omega$ 이고  $Z_x$ 가 수십k $\Omega$ 이라면 가드에러는 수백[%]가 되 큰 측정오차를 발생시킬 수 있다.

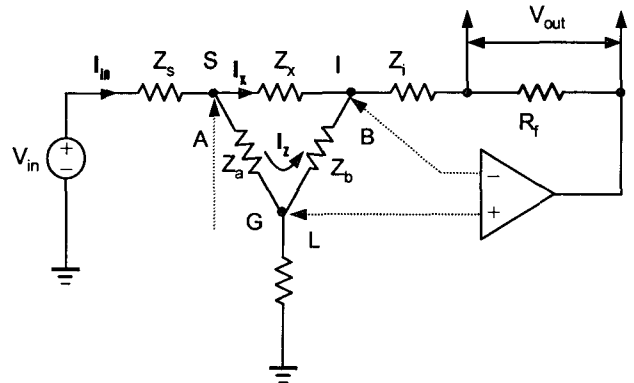


그림 6 육단자 가딩법  
Fig. 6 Six-terminal guarding method

이를 보상하기 위한 수개의 기법들이 존재한다. 그 중 센스 선 A, B, L를 그림 6과 같이 도입하여 직렬 임피던스, 병렬 임피던스 그리고 가드선의 임피던스를 보상함으로써 측정의 정확성을 제고하는 기법이 6단자 가당법이다. 이와같이, 가드비에 따라 측정오차가 상이한 차이를 보이기 때문에 표 1에 보인바와 같이 적절한 가당법이 선택되어야 한다.

HR 04] 검사부품의  $D_{TYPE} \in AD$ 이고 병렬 임피던스  $Z_p$ 가  $0 \Omega$ 이고 검사부품의 임피던스  $Z_x > 250 \Omega$ 인 경우 GM을 2단자 가당법으로 한다. 이 규칙은 검사부품의 부품타입이 아날로그 계열이고 주변 병렬 임피던스 성분이 없는 경우 2단자 측정법을 써서 부품 임피던스를 직접 측정을 하기 위한 규칙이다. 여기서  $G_r = Z_x / Z_a Z_b$ 이다.

HR 10] 검사부품의  $D_{TYPE} \in AD$ 이고 병렬 임피던스  $Z_p < 250 \Omega$ 이거나 또는  $G_r > 1000$ 인 경우 GM을 6단자 가당법으로 한다. 이 규칙은 검사부품의 부품타입이 아날로그 계열이고 주변 병렬 임피던스 성분 있는 경우 특히 가드비  $G_r > 1000$ 인 경우 6단자 가당법을 써서 측정오차를 최소화하기 위한 규칙이다.

표 1 가당회로 구성 전략

Table 1. The strategies of guarding circuit configuration

HR	<DTYPE>	<GM(가당기법)>	<Zp(검사부품)>	<Zr(병렬Z)>	<Gr(가드비)>
4	AD	2단자	$Z_x > 250 \Omega$	없음	-
5	AD	4단자	$10 \Omega < Z_x < 250 \Omega$	없음	-
6	AD	개선된 4단자	$Z_x < 10 \Omega$	없음	-
7	AD	3단자 가당	-	$Z_a Z_b > 250 \Omega$	$G_r \leq 10$
8	AD	4단자 가당	-	$Z_a Z_b > 250 \Omega$	$10 < G_r \leq 100$
9	AD	확장 4단자 가당	-	$Z_a Z_b > 250 \Omega$	$100 < G_r \leq 1000$
10	AD	6단자 가당	-	$Z_a Z_b < 250 \Omega$	$G_r > 1000$

HR 11] 검사부품의  $D_{TYPE} \in AD$ 이고  $D_{KIND} \in R$ 이고  $50 < D_{VALUE} < 500 \Omega$ 인 경우 <SOURCE>를 9로 하고 <DTIME>을 2로 한다. 이 규칙은 검사부품의 부품타입이 아날로그 계열이고 부품종류가 저항이며 그 용량이  $5 \Omega$ 보다 크고  $500 \Omega$ 보다 작은 경우 검사원을 9번 즉, 직류 정전류 20mA로 하고 검사신호 인가 후 출력 측정시까지의 지연시간을 3번 즉, 10ms로 한다.

표 2 아날로그 부품 검사전략

Table 2. Analog device test strategy

HR	<DTYPE>	<DKIND>	<DVALUE>	<SOURCE>	<DTIME>
11	AD	R	$5 \Omega \sim 50 \Omega$	9	2
12	AD	R	$500 \Omega \sim 5k \Omega$	A	4
13	AD	L	$1 \mu H \sim 50 \mu H$	4	1
14	AD	L	$50 \mu H \sim 500 \mu H$	4	2
15	AD	C	$30 \mu F \sim 300 \mu F$	2	7
16	AD	C	$300 \mu F \sim 3.0mF$	2	8
17	AD	C	$3.0mF \sim 50mF$	1	8
18	AD	D	0.1~5V	9	1
19	AD	Z	0.1~30V	E	1
20	AD	T	0.1~5V	D	1

HR 14] 검사부품의  $D_{TYPE} \in AD$ 이고  $D_{KIND} \in L$ 이고  $500 \mu H < D_{VALUE} < 5mH$ 인 경우 <SOURCE>를 4로 하고 <DTIME>을 3으로 한다. 이 규칙은 검사부품의 부품타입이 아날로그 계열이고 부품종류가 코일이며 그 용량이  $500 \mu H$ 보다 크고  $5mH$ 보

다 작은 경우 검사원을 3 즉, 교류 정전압 1.6KHz 0.2V<sub>rms</sub>로 하고 지연시간을 6 즉 200ms로 한다. HR 20] 검사부품의  $D_{TYPE} \in AD$ 이고  $D_{KIND} \in D$ 이고  $0.1V < D_{VALUE} < 5V$ 인 경우 <SOURCE>를 D로 하고 <DTIME>을 1로 한다. 이 규칙은 검사부품의 부품타입이 아날로그 계열이고 부품종류가 트랜지스터이며 그 용량이 정격전압이 0.1~5V인 경우 검사원을 D 즉, 직류 정전압 0.1~5V(0.1V 증분방식)로 하고 측정 시작까지의 지연시간을 1 즉, 5ms로 한다.

표 3 디지털 부품의 검사전략

Table 3 Test strategies of digital devices

HR	<DTYPE>	<DKIND>	<TPIN>	<DPIN>	<OPIN>	<P>	<D>	<R>
21	DD	ROM	{A <sub>0</sub> :A <sub>N</sub> }	-	{Q <sub>0</sub> :Q <sub>M</sub> }	C	N	1
22	DD	RAM	{A <sub>0</sub> :A <sub>N</sub> }	{D <sub>0</sub> :D <sub>M</sub> }	{D <sub>0</sub> :D <sub>M</sub> }	C	Y	2
23	AC	ADC	{S <sub>0</sub> :S <sub>N</sub> }	{V <sub>0</sub> :V <sub>K</sub> }	{Q <sub>0</sub> :Q <sub>M</sub> }	R	N	1
24	DC	DAC	{D <sub>0</sub> :D <sub>N</sub> }	-	{V <sub>0</sub> }	R	N	1
25	DD	래치	{D <sub>0</sub> :D <sub>N</sub> }	-	{Q <sub>0</sub> :Q <sub>N</sub> }	C	N	1
26	DD	FF	{D <sub>0</sub> :D <sub>N</sub> }	-	{Q <sub>0</sub> :Q <sub>M</sub> }	C	N	1
27	DD	카운터	{CK}	{D <sub>0</sub> :D <sub>N</sub> }	{Q <sub>0</sub> :Q <sub>N</sub> }	C	Y	2
28	DD	LOGIC	{D <sub>0</sub> :D <sub>N</sub> }	-	{Q <sub>0</sub> :Q <sub>M</sub> }	C	N	1
29	DD	디코더	{S <sub>0</sub> :S <sub>N</sub> }	-	{Q <sub>0</sub> :Q <sub>M</sub> }	C	N	4
30	DD	인코더	{S <sub>0</sub> :S <sub>N</sub> }	{D <sub>0</sub> :D <sub>M</sub> }	{Q <sub>0</sub> }	C	Y	4

HR 27] 검사부품의  $D_{TYPE} \in DD$ 이고  $D_{KIND} \in$  카운터인 경우, <TPIN>은 {CK}, <DPIN>은 {D<sub>0</sub>:D<sub>N</sub>}, <QPIN>은 {Q<sub>0</sub>:Q<sub>N</sub>}로 하고 <P>는 "C", <R>은 "2"로 한다. 이 규칙은 검사 핀을 클락 핀{CK}, 데이터 핀을 {D<sub>0</sub>:D<sub>N</sub>}, 출력 핀을 {Q<sub>0</sub>:Q<sub>M</sub>}, 검사패턴 생성방식 <P>를 "C", 그리고 검사패턴 반복횟수 <R>을 2로 설정한다. 이 규칙은 먼저 데이터 핀을 통해 00H를 로드한 후 클락을 클락핀 (CK)에 인가, 출력핀 {Q<sub>0</sub>:Q<sub>N</sub>}이 결과를 출력하도록 하고 검사패턴 방식이 연속패턴 방식, "C"이므로 2<sup>N</sup>개의 클락이 인가될 때까지 연속적으로 이루어진다. 다음 검사패턴 생성횟수 R이 "2"이므로 데이터 핀{D<sub>0</sub>:D<sub>N</sub>}을 통해 다시 00H를 로드한 후 앞의 클락입력 과정을 반복함으로써 카운터 계열의 부품에 대한 데이터 핀{D<sub>0</sub>:D<sub>N</sub>}, 클락핀 (CK), 출력핀 {Q<sub>0</sub>:Q<sub>M</sub>}의 내부결함이나 고착0 또는 고착1 결함을 확인할 수 있다.

HR 28] 검사부품이  $D_{TYPE} \in DD$ 이고  $D_{KIND} \in LOGIC$ 인 경우, <TPIN>은 {D<sub>0</sub>:D<sub>N</sub>}, <QPIN>은 {Q<sub>0</sub>:Q<sub>M</sub>}으로 하고 <P>는 "C", <R>은 "1"로 한다. 먼저 검사 핀 {D<sub>0</sub>:D<sub>N</sub>}에 00H가 인가된다. 그리고 이 과정은 검사패턴 반복횟수 R이 "1"이므로 최대 어드레스가 인가될 때까지 연속적으로 이루어진다. 이 과정을 통해 {D<sub>0</sub>:D<sub>N</sub>} 또는 {Q<sub>0</sub>:Q<sub>M</sub>}의 고착0, 고착1 결함의 유무를 확인할 수 있다.

### 6. 시뮬레이션 결과

본 연구에서는 최근 기능의 디지털화가 보편적으로 추진되는 환경 하에서 생산라인에서 자주 직면하게 되는 아날로그 부품과 디지털 부품이 혼재하는 하이브리드 전자회로 보오드에 대한 검사지원 솔루션을 개발하였다. 따라서 본 연구에서는 제안된 솔루션의 유효성 검증을 위해 그림 8의 하이브리드 보오드에 대한 DB를 구축한 후, 개발된 전문가 시스템을 이

용해 검사전략을 수립, 수개의 고장 경우 모의를 통해 제안된 검사 전략의 유효성을 확인한다.

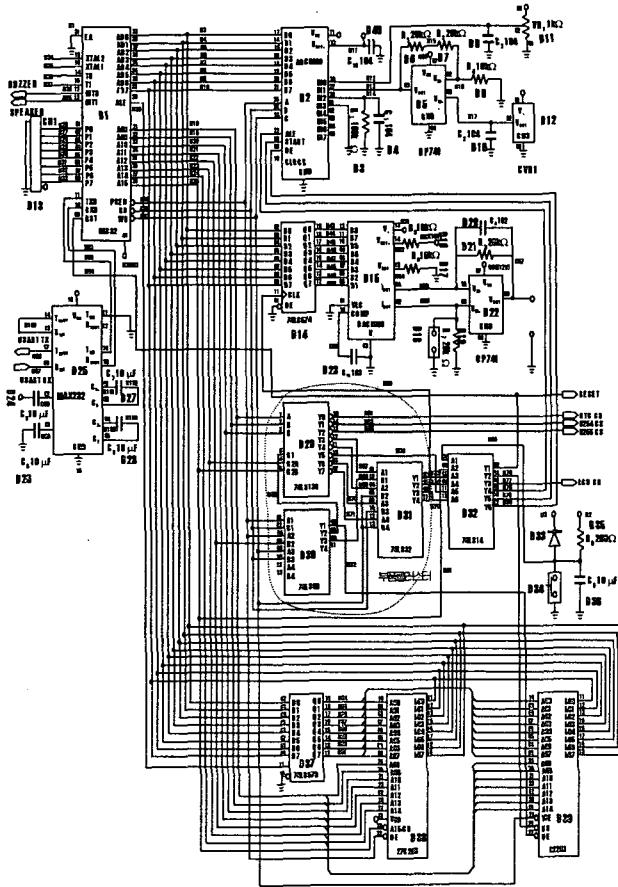


그림 8 성능평가를 위한 하이브리드 회로  
Fig. 8 Hybrid circuit for performance evaluation

6.1 검사 테이블 작성

전문가 시스템은 구축된 회로 DB로부터 데이터를 검색, 연결성을 추적하여 검사 테이블을 작성하게 된다. 그림 9는 Visual C++의 MFC로 개발된 전문가 시스템의 검사 테이블 출력화면을 보이는데 특히, 그림 10은 전문가 시스템의 추론 기능에 의해서 휴리스틱 규칙에 기반하여 수립된 검사전략을 보인다. 그리고 추론된 검사 테이블의 내용은 표 4에 자세히 보인다. 표 4에서 D/R은 지연시간/반복횟수를 의미한다.

6.2 실험적 고찰

본 연구에서는 표 4에 보인 검사전략의 유효성을 확인하기 위해서 부품 표면 실장과정에서 대표적으로 발생할 수 있는 아날로그 부품이나 디지털 부품에 대한 수개의 고장사례들을 모의한다. 이때, 디지털 부품 검사의 경우는 검사패턴 발생장치(H/W) 및 MUX회로를 구현하기 어렵기 때문에 디지털 부품의 고장 IO 특성과 PSA 특성을 에뮬레이션하는 프로그램을 개발, 활용하였다. 즉 에뮬레이션 S/W의 각 부품에 대해 표 5에 정의된 결함(고장타입,고장핀)을 설정한 후, 검사명령을 실행, 에뮬레이션 부품 프로그램으로부터 발생하는 출력패

턴을 PSA에 통과시킴으로써 표 5에 보인 측정값을 얻는다.

번호	부품명	부품번호	단위	범위	결과	비고
2	AD Converter	ADC08D	0.0000	F	16.00	10000
3	AD Resistor	RL 10000.0000	Y	30.00	1000	1000
4	AD Capacitor	C1	0.0000	F	30.00	1000
5	Op Amp	LM741-1	0.0000	F	10.00	1000
6	AD Resistor	R2 20000.0000	Y	10.00	1000	1000
7	AD Resistor	R3 20000.0000	Y	10.00	1000	1000
8	AD Resistor	R4 10000.0000	Y	10.00	1000	1000
9	AD Capacitor	C2	0.0000	F	30.00	1000
10	AD Resistor	R5 10000.0000	Y	10.00	1000	1000
11	AD Capacitor	C3	0.0000	F	30.00	1000
12	AD Variable Resistor	VR1	1000.0000	F	10.00	1000
13	AD Analog Programmer	CPM1	0.0000	F	10.00	1000
14	AD Capacitor	C4	0.0000	F	30.00	1000
15	AD FlipFlop	74LS204	0.0000	F	10.00	1000
16	AD DA Converter	DACT08D	0.0000	F	10.00	1000
17	AD Resistor	R6 10000.0000	Y	10.00	1000	1000
18	AD Resistor	R7 10000.0000	Y	10.00	1000	1000
19	AD DA Converter	DACT08D	0.0000	F	10.00	1000
20	AD Resistor	R8 10000.0000	Y	10.00	1000	1000
21	AD E-Pin Switch	SP11	0.0000	F	10.00	1000
22	AD Resistor	R9 10000.0000	Y	10.00	1000	1000
23	AD Capacitor	C5	0.0000	F	30.00	1000
24	AD Resistor	R9 20000.0000	Y	10.00	1000	1000
25	AD Op Amp	LM741-2	0.0000	F	10.00	1000
26	AD Capacitor	C6	0.0000	F	30.00	1000
27	AD Resistor	R10 10000.0000	Y	10.00	1000	1000
28	AD 1255C Counter	MAX232	0.0000	F	10.00	1000

그림 9 전문가 시스템에 의해서 작성된 검사 테이블 화면  
Fig. 9 Test table window obtained from expert system

번호	부품명	부품번호	단위	범위	결과	비고
1	AD Converter	ADC08D	0.0000	F	16.00	10000
2	AD Resistor	RL 10000.0000	Y	30.00	1000	1000
3	AD Capacitor	C1	0.0000	F	30.00	1000
4	Op Amp	LM741-1	0.0000	F	10.00	1000
5	AD Resistor	R2 20000.0000	Y	10.00	1000	1000
6	AD Resistor	R3 20000.0000	Y	10.00	1000	1000
7	AD Resistor	R4 10000.0000	Y	10.00	1000	1000
8	AD Resistor	R5 10000.0000	Y	10.00	1000	1000
9	AD Capacitor	C2	0.0000	F	30.00	1000
10	AD Resistor	R6 10000.0000	Y	10.00	1000	1000
11	AD Capacitor	C3	0.0000	F	30.00	1000
12	AD Variable Resistor	VR1	1000.0000	F	10.00	1000
13	AD Analog Programmer	CPM1	0.0000	F	10.00	1000
14	AD Capacitor	C4	0.0000	F	30.00	1000
15	AD FlipFlop	74LS204	0.0000	F	10.00	1000
16	AD DA Converter	DACT08D	0.0000	F	10.00	1000
17	AD Resistor	R7 10000.0000	Y	10.00	1000	1000
18	AD Resistor	R8 10000.0000	Y	10.00	1000	1000
19	AD DA Converter	DACT08D	0.0000	F	10.00	1000
20	AD Resistor	R9 10000.0000	Y	10.00	1000	1000
21	AD E-Pin Switch	SP11	0.0000	F	10.00	1000
22	AD Resistor	R10 10000.0000	Y	10.00	1000	1000
23	AD Capacitor	C5	0.0000	F	30.00	1000
24	AD Resistor	R11 10000.0000	Y	10.00	1000	1000
25	AD Op Amp	LM741-2	0.0000	F	10.00	1000
26	AD Capacitor	C6	0.0000	F	30.00	1000
27	AD Resistor	R12 10000.0000	Y	10.00	1000	1000
28	AD 1255C Counter	MAX232	0.0000	F	10.00	1000

그림 10 전문가 시스템에 의해서 추론된 검사전략  
Fig. 10 Test strategies obtained by expert system

반면에, 아날로그 부품의 경우는 솔루션이 제안한 방법대로 검사회로를 구성, 검사패턴 인가 후 측정값을 얻도록 함으로써 제안된 전략의 유효성을 입증할 수 있도록 하였다. 그 중 몇 개의 고장모의 결과를 설명하면 다음과 같다.

TC 1] 아날로그 부품 R<sub>1</sub>에 80kΩ이 오삽된 경우를 모의한다. 전문가 시스템은 HR 3]에 의해 가당기법 GM을 1 즉, 2 단자법, HR 7]에 의해 신호원을 A, 지연시간을 6으로 즉, 정전압 DC 0.3V 그리고 지연시간을 200ms로 제안하였다. 이 전략에 따라 출력 단에서 얻어진 전류 값이 3.7μA이므로 환산치는 식(4)에 의해 약 81kΩ이 된다.

$$R_x = \frac{V_{IN}}{I_M} = \frac{0.3}{0.0000037} = 81,081(\Omega) \quad (4)$$

이 값은 정격 값 100kΩ에 대한 허용오차 10%를 초과하여 18.9%의 오차에 해당하기 때문에 다른 값의 저항이 오삽되었음을 확인할 수 있다.

표 4 전문가 시스템으로부터 얻어진 검사 테이블

Table 4 Test table obtained from expert system

부품 번호	부품 타입	부품 종류	부품 ID	부품 정격	허용 오차	검사 여부	입력 핀	출력 핀	가드 핀	검사 신호	가딩 기법	D/R
1	DD	MP	80C32			N						
2	AC	AC	ADC0809			N	{12}	{3,...,10}		R		1
3	AD	R	R1	100kΩ	10%	Y	{14}	{1}		A	1	6
4	AD	C	C1	1X10 <sup>4</sup> pF	30%	Y	{14}	{1}		3	3	4
5	AD	OPAMP	OP7411			N						
6	AD	R	R2	20kΩ	10%	Y	{13}	{15}		A	1	2
7	AD	R	R3	20kΩ	10%	Y	{15}	{16}		A	1	2
8	AD	C	C2	1X10 <sup>4</sup> pF	30%	Y	{12}	{1}		3	3	3
9	AD	R	R4	10kΩ	10%	Y	{16}	{1}		A	1	2
10	AD	C	C3	1X10 <sup>4</sup> pF	30%	Y	{17}	{1}		3	2	3
11	AD	VR	VR1	1kΩ	10%	N						
12	AD	CVR	CVR1	5V		N						
13	AD	CN	CN1	8PIN		N						
14	AD	D/FF	74LS574			Y	{3,...,10}	{43,...,50}		C		1
15	DC	DC	DAC0800			N	{43,...,50}	{57}		R		1
16	AD	R	R5	10kΩ	10%	Y	{52}	{1}		A	1	2
17	AD	R	R6	10kΩ	10%	Y	{54}	{1}		A	1	2
18	AD	S	PBS2			N						
19	AD	R	R7	20kΩ	10%	Y	{56}	{1}		A	1	2
20	AD	C	C4	1X10 <sup>4</sup> pF	30%	Y	{55}	{57}		4	3	4
21	AD	R	R8	20kΩ	10%	Y	{55}	{57}		A	1	2
22	AD	OPAMP	OP7412			N						
23	AD	C	C11	1X10 <sup>3</sup> pF	30%	Y	{58}	{2}		4	3	4
24	AD	C	C5	10μF	30%	Y	{1}	{98}		2	1	6
25	AD	MAX232	RS0512VC	5/12V		N						
26	AD	C	C6	10μF		Y	{99}	{1}		2	1	6
27	AD	C	C7	10μF		Y	{101}	{102}		2	1	6
28	AD	C	C8	10μF	5	Y	{103}	{104}		2	1	6
29	DD	디코더	74LS138			Y	{18,19,20}	{61,...,71}		C		
30	DD	AND	74LS08			Y	{40,41,42,22}	{71,72,66}		C		
31	DD	OR	74LS32			Y	{18,19,20,23,40,41,42}	{73,74,75,59}		C		4
32	DD	NOT	74LS14			Y	{65,...,75}	{94,...,80}		C		1
33	AD	D	1N673			Y	{65}	{2}		9		1
34	AD	S	PBS2			N						
35	AD	R	R9	100Ω	10%	Y	{65}	{2}		A	1	6
36	AD	C	C9	10μF	30%	Y	{65}	{1}		2	1	6
37	DD	래치	74LS573			Y	{3,...,10}	{84,...,91}		C		1
38	DD	EPROM	27C256			Y	{84,...,91}	{3,...,10}		C		1
39	DD	RAM	62256			Y	{84,...,91}	{3,...,10}		C		2
40	AD	C	C10	0.01μF	30%	Y	{11}	{1}		3	1	4

TC 16] 아날로그 부품 C<sub>6</sub>가 미삽된 경우를 모의한다. 전문가 시스템은 HR 2]에 의해 가딩기법 GM을 1 즉, 2단자법, HR 7]에 의해 신호원과 지연시간을 각각 2, 6 즉, 정전압 AC 160Hz, 0.3V<sub>rms</sub>, 지연시간을 200ms로 제안하였다. 이 전략에 따라 전압계 기록 값 V<sub>M</sub>= 0.292V, 전류계 기록 값 I<sub>M</sub> = 1.58mA이므로 리액턴스 값 X<sub>C</sub> = 185.7Ω, 콘덴서 값은 식(2)에 의해 5.4μF이 된다.

$$C = \frac{I_M}{2\pi f V_M} = \frac{0.0016}{2 \times 3.14 \times 160 \times 0.292} = 5.4 \mu F \quad (5)$$

이 값은 정격 값 10μF에 대해 86.8%의 측정오차를 보임으로써 허용오차 30%를 초과, 불량임을 확인할 수 있다.

TC 19] 디지털 부품 74LS138에서 셀렉터 핀 2번에 고착 1 결합이 발생한 경우를 모의한다. 결합부품이 디코더 계열이므로 전문가 시스템은 HR 29]를 기반으로 표 4의 29번에 검사전략을 제시하였다. 따라서 노드 {18,19,20}을 입력핀, 노드 {61,...,68}을 출력핀으로 설정하고 HR 29]에 근거하여 입력 핀에 연속적으로 검사패턴들을 인가시킨다. 이때, 출력 스트림은 LFSR에 연속적으로 입력되어 LFSR에 시그네이처 661A를 남기는데, 이 값은 정상상태시의 시그네이처인 8827과 다르므로 고장 검출기는 최종적으로 1을 출력, 디코더 74LS138에서 결합이 발생하였음을 알 수 있다

표 5 고장모의 결과

Table 5 Test results

TC #	부품 번호	부품 타입	부품 ID	부품 정격	고장 타입	고장핀 오삽부품	정상 값	측정 값	측정 오차	검사 결과
1	3	AD	R1	100kΩ	-	80kΩ	100000	81081	18.9	NP
2	4	AD	C1	1X10 <sup>4</sup> pF	-	-	9898	8372	17.3	P
3	6	AD	R2	20kΩ	오삽	10kΩ	20000	11600	42.0	NP
4	7	AD	R3	20kΩ	-	-	20000	21300	8.2	P
5	8	AD	C2	1X10 <sup>4</sup> pF	-	-	9947	11120	19.2	P
6	9	AD	R4	10kΩ	-	-	10000	10560	8.2	P
7	10	AD	C3	1X10 <sup>4</sup> pF	오삽	10μF	9947	117	98.1	NP
8	14	AD	74LS574	-	고착1/고착0	3.4/	9E4F	F5AF	100	NP
9	16	AD	R5	10kΩ	오삽	2kΩ	10000	2148	78.5	NP
10	17	AD	R6	10kΩ	납땜불량	-	10000	100000	900	NP
11	19	AD	R7	20kΩ	오삽	30kΩ	20000	5450	72.7	NP
12	20	AD	C4	1X10 <sup>4</sup> pF	미삽	0Ω	19607	100000	410	NP
13	21	AD	R8	20kΩ	-	-	20000	21140	5.7	P
14	23	AD	C11	1X10 <sup>3</sup> pF	-	-	9947	10935	10.0	P
15	24	AD	C5	10μF	미삽	-	99	100000	1009	P
16	26	AD	C6	10μF	오삽	5μF	99	185	86.8	NP
17	27	AD	C7	10μF	-	-	99	112		P
18	28	AD	C8	10μF	오삽	2μF	99	510	415	NP
19	29	DD	74LS138	-	고착1/고착0	2/	8827	661A	100	NP
20	30	DD	74LS08	-	고착1/고착0	1,3/6,8	C063	E82F	100	NP
21	31	DD	74LS32	-	고착1/고착0	C{29,30}	0F87	E61D	100	NP
22	32	DD	74LS14	-	-	-	5A5E	5A5E	100	P
23	33	AD	1N279	-	단락	-	0.7	0.07	90.0	NP
24	35	AD	R9	300Ω	오삽	10Ω	300	12	96.0	NP
25	36	AD	C9	10μF	-	-	99	110	11.1	P
26	37	DD	74LS573	-	고착1/고착0	4.5/13,14	9E4F	D977	100	NP
27	38	DD	27C256	-	고착1/고착0	9.7/15,18	33CF	A3D0	100	NP
28	39	DD	62256	-	고착1/고착0	6.5/12,19	090D	.542B	100	NP
29	40	AD	C10	0.01μF	정상	-	9947	11519	15.8	P

TC 21] 디지털 부품 74LS32의 입력핀 노드 집합 {67,68,69,70,71}이 극세피치이거나 열적으로 취약한 부품으로 직접 디지털 신호 입력이 불가능한 경우이며, 각각 TC19, TC20에서와 같이 74LS138의 2번핀에 고착 1결합을, 74LS08의 1,3번핀에 고착 1결합, 6, 8핀에 고착0 결합을 모의한다. 전문가 시스템은 추론엔진의 너비우선탐색기능을 기반으로 74LS32의 입력노드들을 추적하여 클러스터 입력단에 직접 연결된 74LS138, 74LS08을 우선적으로 탐색, {74LS138, 74LS08, 74LS32}를 확인, 부품 74LS138과 74LS08의 입력핀 {18,19,20,23,40,41,42}를 입력핀 노드집합, 74LS32의 출력핀 {73,74,75,59}를 출력핀 노드집합으로 결정하였다. 그리고 입력핀 노드들에 연속적으로 검사패턴들을 인가, 출력핀 출력스트림이 LFSR에 연속적으로 입력되도록 하였다. 이때 LFSR이 시그네이처로 E61D를 보이는데 정상상태시 0F8D와 다르므로 고장 검출기는 1을 출력, 부품 클러스터에서 결합이 발생하였음을 확인할 수 있다. TC19와 TC20은 TC21과 달리 입력핀 노드 집합 {67,68,69,70,71}이 정상적인 검사환경을 가지는 경

우를 가정하고 모의한 것이다.

이상과 같이, 전자부품의 표면실장 과정에서 발생할 수 있는 아날로그 부품의 미삽, 역삽, 납땀불량 그리고 디지털 부품의 고착 0 또는 고착 1 결함 모의에 대해서 각 결함이 정확하게 검출됨으로써 점사전략의 유효성을 확인할 수 있다. 그러나 현재 HR 23-24에 대해서는 보다 충분한 실험적 검토가 요구돼 본 연구의 실험결과에서 포함되지 않는다.

### 7. 결 론

본 연구에서는 생산라인에서 대량으로 생산되는 하이브리드 전자회로 보오드에 대해서 휴리스틱 규칙들에 근거하여 검사전략을 수립함으로써 검사의 정확성을 확보하면서 검사 생산성을 개선할 수 있는 전문가 시스템을 제안하였다. 아날로그 부품 검사에서 검사의 정확성을 기하기 위해, 측정하고자 하는 소자를 주변회로부터 전기적으로 분리하기 위한 가딩법을 활용하는데 특히, 검사부품과 병렬저항 성분의 크기를 고려한 휴리스틱 규칙에 기반하여 신호선과 측정선 그리고 가드선의 전압강하로 인한 측정오차를 줄일 수 있는 가딩기법이 채택되도록 설계하였다. 또한 디지털 부품 및 회로의 검사를 위해서 PSA 기법이 적용되었다. PSA기법은 n비트 출력이 병렬로 LFSR에 연속적으로 인가되어 검사 시간을 최소화함으로써 고집적 디지털 부품의 부품검사 시간을 크게 줄일 수 있다. 검사 휴리스틱들은 검사 시스템 설계자나 전문가, 실험적 고찰 그리고 문헌등을 통해 수집되었다. 검사 전략은 전자회로의 연결성을 표시하기 위해 필요한 동적 메모리 할당 기법이나 데이터베이스는 물론 하드웨어의 직접제어를 위해 Visual C++ 언어로 설계, 구현되었다. 그리고 끝으로, 대표적인 하이브리드 보오드에 대해서 고장이 모의, 그 결과를 확인함으로써 제안된 검사전략의 유용성을 확인하였다. 아날로그 부품들의 미삽, 역삽, 오삽 등의 결함은 물론 디지털 부품의 내부결함이나 표면실장과정에서 발생할 수 있는 고착0 결함, 고착1 결함을 모의하였는데, 정확한 측정결과를 보임으로써 제안된 검사전략의 유용성을 확인할 수 있었다.

### 참 고 문 헌

[01] Jon Turino, "Functional Testing's Place In Electronics Manufacturing", Evaluation Engineering, pp 58-61, September 1984.  
 [02] Reynold, "In-Circuit McTesters ? or the Future of In-Circuit Test", Evaluation Engineering, pp 8-15, February 1987.  
 [03] David T. Crook, "Analog In-Circuit Component Measurements: Problems and Solutions", Hewlett-Packard Journal, pp 34-42 march 1979.  
 [04] Steve J Baker, "Analog-Component Faults Yield to In-Circuit Testing", GenRad journal pp 15-20, 1984.  
 [05] Peter Hansen, "Ensuring ASIC Testability at the Board Level Tools and Strategies", ATE & Instrumentation Conference, pp 33-43 1987.  
 [06] John J. Arena, "Calculating the Effective Pattern Rate for High-Speed Board Test Applications", IEEE

Trans. Industrial Electronics, Vol. 36, No. 2, pp 164-174, May 1989.

[07] Ed O. Schiotzhauer, "User-Oriented Software for an Automatic Circuit-Board Tester", Hewlett-Packard Journal, pp 22-27, March 1979.  
 [08] Edward S. Hirtelt, "Knowledge Representation In an In-Circuit Test Program Generator", International Test Conference, pp 773-777, 1984.  
 [09] Kenneth Jessen and Mike Bullock, "Safeguarding Devices under Test", Electronics Manufacture & Test, pp 35-38, July/August 1985.  
 [10] R. A. Frohwerk, "Signature Analysis: A New Digital Field Service Method", Hewlett-Packard J., pp. 2-8, May 1977.  
 [11] N. Benowitz, D. F. Calhoun and et. al., "Fault Detection/Isolation Results From AAFIS Hardware Built-In Test", NAECON' 76 RECORD, pp. 215-222, 1976.  
 [12] B. W. Johnson, Design and Analysis of Fault-Tolerant Digital Systems, Addison-Wesley Publishing Company, 1989.  
 [13] John J. Shedletsky, "Random Testing: Practicality vs. Verified Effectiveness", IBM T. J. Watson Research Center.  
 [14] James E. Smith, "Measures of Effectiveness of Fault Signature Analysis", pp. 510-514, IEEE Trans. On Computer, Vol. C-29, No. 6, June 1980.  
 [15] Bernd Konemann, Joachim Mucha and Gunther Zwihoff, "Built-In Logic Block Observation Techniques, pp. 37-41, IEEE Test Conference, 1979.  
 [16] 윤덕용, 어셈블리와 C언어로 익히는 8051 마스터, 오음사, 2001.

## 저 자 소 개



### 고 윤 석(高 銳 錫)

1984년 2월 광운대 공대 전기공학과 졸업.  
 1986년 2월 광운대 대학원 전기공학과 졸업(석사). 1996년 2월 광운대 대학원 전기공학과 졸업(박사). 1986년 3월~1996년 3월 한국 전기연구소 선임연구원. 1996년 4월~1997년 3월 포스코 경영연구소 연구위원. 1997년 3월~현재 남서울대학교 전자정보통신공학부 교수.